

Εξαμηνιαία εργασία για το μάθημα

«Προγραμματισμός Ενσωματωμένων Συστημάτων σε Περιβάλλοντα Edge»

18/5/2022

Θέμα 1: Υλοποίηση Convolution acceletator σε FPGA μέσω High Level Synthesis

Η συνέλιξη (convolution) είναι μια σημαντική λειτουργία στην επεξεργασία σήματος και εικόνας καθώς και σε εφαρμογές μηχανικής και βαθιάς μηχανικής μάθησης. Η συνέλιξη λειτουργεί σε δύο σήματα (είτε 1D σήματα είτε σε 2D π.χ. εικόνες). Στην περίπτωση της 2D συνέλιξης, μπορείτε να θεωρήσετε το ένα ως την εικόνα "εισόδου" και το άλλο (που ονομάζεται πυρήνας) ως "φίλτρο" στην εικόνα εισόδου. Η λειτουργία της συνέλιξης παράγει μια εικόνα εξόδου, η οποία έχει μετασχηματιστεί σύμφωνα με τη λειτουργία που προδιαγράφεται στον πίνακα του πυρήνα/φίλτρου. Έστω:

- G(c, u, v) ο πίνακας του πυρήνα, όπου c: αριθμός καναλιών του πίνακα πυρήνα, u: ύψος του πίνακα πυρήνα G και v: πλάτος του πίνακα πυρήνα G.
- D(c, x, y) ο πίνακας της εικόνας εισόδου, όπου c : αριθμός καναλιών του πίνακα εισόδου D, x: ύψος του πίνακα D και y: το πλάτος του πίνακα D.

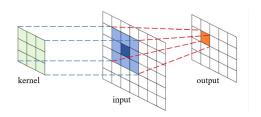
Η συνέλιξη μεταξύ του πίνακα της εικόνας εισόδου D(c, x, y) και του πίνακα του πυρήνα G(c, u, v) εκτελείται μέσω της λειτουργίας dot-product:

$$Y_{x,y} = \sum_{c=1}^{C} \sum_{r=1}^{u} \sum_{r=1}^{v} D_{c,x+r,y+r} G_{c,r,r}$$

, η οποία μπορεί να περιγραφεί ως εξής: Ο πυρήνας G(c, u, v) εφαρμόζεται πάνω στον πίνακα εισόδου D(c, x, y). Τα στοιχεία στην αντίστοιχη θέση του πίνακα εισόδου D(c, x, y) και του πυρήνα G(c, u, v) πολλαπλασιάζονται και τα γινόμενα τους αθροίζονται ως μία έξοδος (ένα dot-product). Ο πίνακας του πυρήνα ολισθαίνει στον πίνακα εισόδου κατά μία θέση και επαναλαμβάνει τη λειτουργία του dot-product, δηλ. κάθε βήμα υπολογίζει μια θέση του πίνακα εξόδου Y με μέγεθος $(c, x - u + 1, y - v + 1)^1$. Το παρακάτω σχήμα απεικονίζει ένα βήμα της διαδικασίας συνέλιξης².

¹ Σε περίπτωση που επιθυμούμε ο πίνακας εξόδου Y να έχει τις ίδιες διαστάσεις με τον πίνακα εισόδου D, μπορούμε να εφαρμόσουμε την τεχνική zero-padding στον πίνακα D.

² Για μια γραφική επεξήγηση της λειτουργίας της συνέλιξης μπορείτε να βρείτε πληροφορίες: https://towardsdatascience.com/intuitively-understanding-convolutions-for-deep-learning-1f6f42faee1



Έστω ότι έχετε στη διάθεση σας ένα FPGA τύπου Xilinx Zynq-7000 με τα εξής χαρακτηριστικά {#LUT: 14400, #FF: 28800, #DSP: 66, #BRAM: 50} με speed grade -3. Ζητούμενα:

- 1) Να υλοποιηθεί μέσω HLS ένας επιταχυντής υλικού για τη λειτουργία της συνέλιξης και να προσομοιωθεί η λειτουργία του σε επίπεδο RTL. Να θεωρήσετε εικόνα εισόδου 128x128 pixel (έστω το κάθε pixel αποτελείται από 8-bit) με 1 κανάλι εισόδου, π.χ greyscale εικόνα.
- 2) Να προχωρήσετε σε σύνθεση τον επιταχυντή και να καταγράψετε την κατανάλωση των υπολογιστικών πόρων υλικού του FPGA για την περίπτωση που εφαρμόζονται πυρήνες διαφορετικού μεγέθους, $2x^2$, $4x^4$ και $8x^8$. Να θεωρήσετε πυρήνες εξομάλυνσης, για τα στοιχεία των οποίων ισχύει η ακόλουθη σχέση: G(u, v) = 1 / N x M, όπου N και M οι διαστάσεις του εκάστοτε πίνακα.
- 3) Να εξάγετε και να προτείνετε κατάλληλες "στρατηγικές" χρήσης HLS directives (θεωρήστε κατ'ελάχιστο συνδυασμούς με memory και loop HLS directives), οι οποίες θα παράγουν μια βελτιστοποιημένη υλοποίηση σε ότι αφορά τον χρόνο εκτέλεσης για κάθε έναν από τους επιταχυντές υλικού του ερωτήματος 2, με διαφορετικό μέγεθος πυρήνα. Να εξηγήσετε και αξιολογήσετε τα κέρδη της βελτιστοποίησης.
- 4) Να επαναλάβετε τη μελέτη του ερωτήματος 2 για δυο διαφορετικές συσκευές FPGA της επιλογής σας, μια με περισσότερα και μια με λιγότερα resources.

Παραδοτέα:

- 1. Τεχνική αναφορά [Περιγραφή Ανάλυση Συμπεράσματα]
- 2. Annotated C/C++ κώδικας ή/και Tcl scripts
- 3. Dataset αξιολόγησης
- 4. Demo για την ημέρα της εξέτασης

Θέμα 2: Υλοποίηση Ενσωματωμένου Συστήματος με χρήση Verilog ή Arduino

Ένα (υποτυπώδες) σύστημα συναγερμού βασίζεται σε ένα Ενσωματωμένο Σύστημα (ΕΣ) και χρησιμοποιείται για την προστασία ενός μικρού χώρου. Το ΕΣ έχει τέσσερις εισόδους (Motion1, Motion2, Reed και Code) και δύο εξόδους (Active, Alarm).

- Οι είσοδοι **Motion1 και Motion2** είναι συνδεδεμένες σε δύο αισθητήρες κίνησης εντός του χώρου. Όταν ανιχνευτεί κίνηση ενεργοποιούνται, δηλαδή δίνουν έξοδο 1.
- Η είσοδος **Reed** είναι συνδεδεμένη σε αισθητήρα τύπου Reed Switch στην πόρτα εισόδου. Όταν ανιχνευτεί άνοιγμα της πόρτας ενεργοποιείται, δηλαδή δίνει έξοδο 1.
- Η είσοδος Code είναι 5 bit και οδηγείται από ένα υποτυπώδες πληκτρολόγιο με 32 πλήκτρα, αριθμημένα από το 0 μέχρι το 30 και 1 πλήκτρο Arm. Ανάλογα με το τί πλήκτρο πατάει ο χρήστης, ο αντίστοιχος δυαδικός αριθμός εγγράφεται στα 5 bit του σήματος Code ή 31 στην περίπτωση του Arm.
- Η έξοδος **Active** δείχνει πως ο συναγερμός έχει ενεργοποιηθεί
- Η έξοδος **Alarm** είναι συνδεδεμένη σε μια σειρήνα και ενεργοποιείται όταν ανιχνευτεί κίνηση ή άνοιγμα της πόρτας, ενώ ο συναγερμός είναι ενεργός

Κάθε φορά που ο χρήστης πατάει το πλήκτρο **Arm**, ο συναγερμός οπλίζει και ενεργοποιεί την έξοδο **Active**. Ο ενεργός συναγερμός μπορεί να αφοπλιστεί μόνο με το πλήκτρο με τον αριθμό 4. Όσο είναι οπλισμένος ο συναγερμός, αν ανιχνευτεί κίνηση ή άνοιγμα της πόρτας, τότε ενεργοποιείται η σειρήνα (σήμα **Alarm**) μέχρι ο χρήστης να τον αφοπλίσει μέσω του πλήκτρου 4. Σε κάθε άλλη περίπτωση, η σειρήνα δεν ενεργοποιείται και η έξοδος **Active** είναι ανενεργή.

Ζητούμενα:

- Α. Υλοποιήστε και επαληθεύστε ένα module σε Verilog το οποίο να υλοποιεί τις ανωτέρω προδιαγραφές
- Β. Υλοποιήστε σύστημα σε Arduino το οποίο να υλοποιεί τις ανωτέρω προδιαγραφές.

Παραδοτέα

- 1. Τεκμηρίωση του ΕΣ που θα περιλαμβάνει:
 - Περιγραφή της υλοποίησης
 - Κώδικα Verilog & Arduino
 - Screenshots από την εκτέλεση του Verilog κώδικα στο Icarus ή στο Edaplayground(https://www.edaplayground.com/)
 - Screenshots από την εκτέλεση του Arduino στον εξομοιωτή Tinkercad (https://www.tinkercad.com/)
- 2. Επίδειξη την ημέρα της εξέτασης

Σημείωση: Η εργασία είναι ατομική ή ομαδική (αυστηρά μέχρι 2 άτομα) και τα παραδοτέα της θα πρέπει να ανέβουν στο e-class το αργότερο 2 μέρες πριν την ημερομηνία εξέτασης του μαθήματος (όπως θα οριστεί στο πρόγραμμα της εξεταστικής)