

# Proyecto Diseño Lógico 2

## CAN Opener

Integrantes: José Bentancour  
Damián Vallejo

Tutor: Leonardo Etcheverry

# Introducción:

- El proyecto se basa en la implementación de un “sniffer” de una red CAN de un automóvil
- CAN es un protocolo de comunicación utilizado ampliamente en la industria automotriz desarrollado por la empresa alemana Bosch
- Mediante este protocolo la CPU (ECU) del auto se comunica con los varios periféricos del mismo (tablero, luces, sensores, etc.)

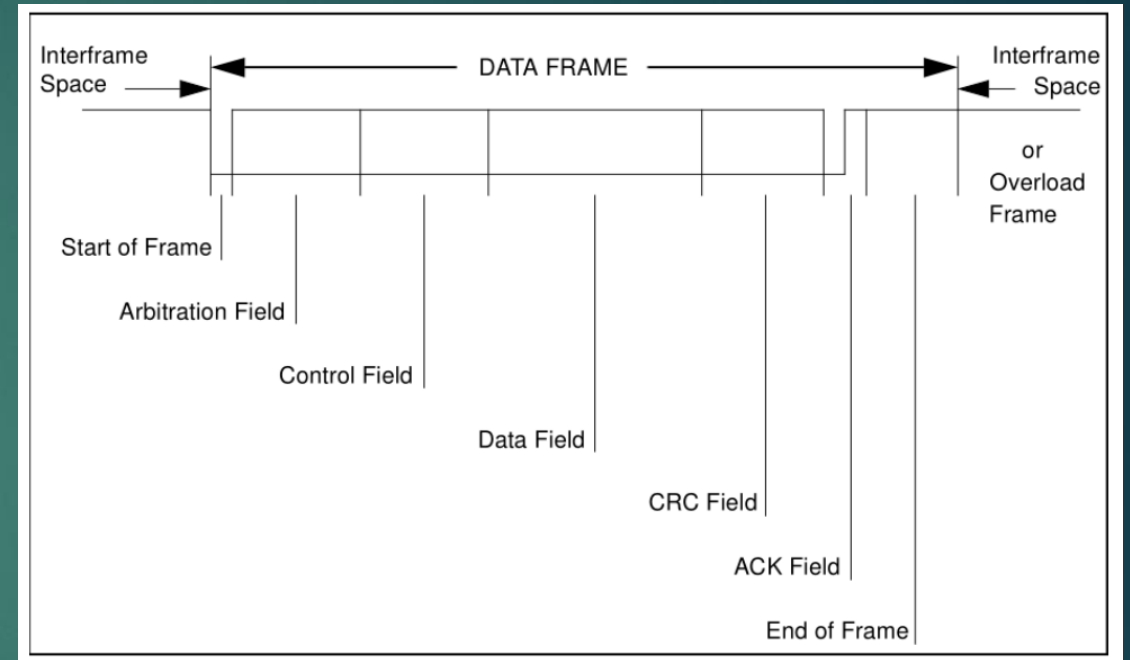
# Objetivos:

- Implementar un receptor CAN en VHDL
- Implementar un programa en el procesador NIOS II de la placa DE0 y visualizar los mensajes recibidos en una consola en una computadora
- Establecer la comunicación entre las dos etapas a través de una interfaz Avalon

# Receptor CAN:

## Mensaje CAN

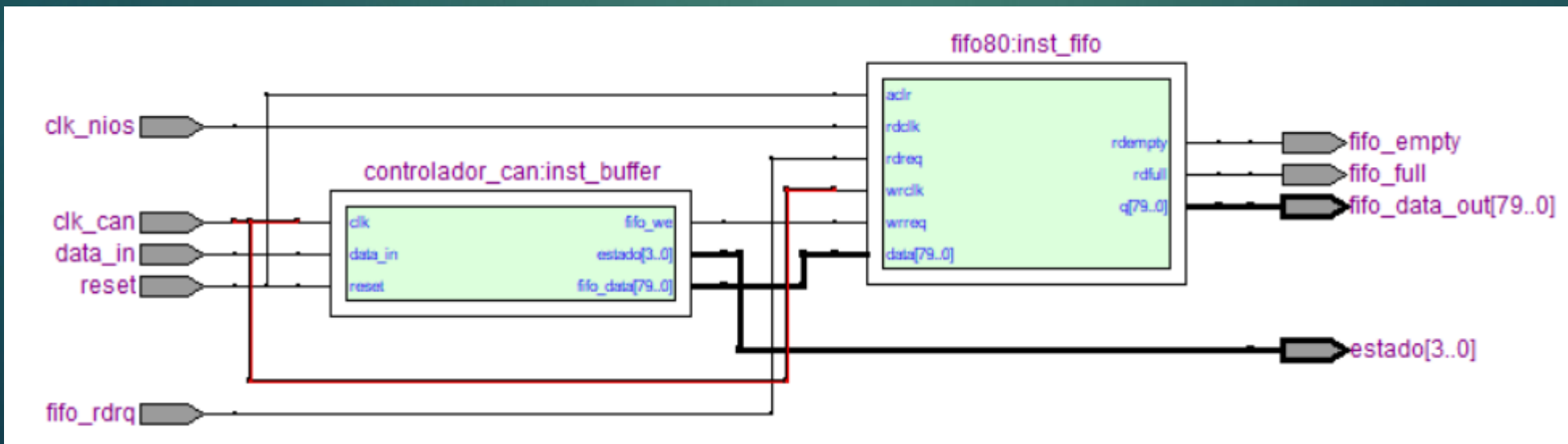
- Un mensaje CAN está constituido por distintas partes o “frames”
- Es un protocolo “activo por nivel bajo”, esto es que al no haber actividad en el bus, el mismo mantiene una señal igual a “1”
- El mensaje está compuesto por un “0” inicial (start of frame), un campo de arbitraje, control, payload, CRC, acuso de recibo y end of frame.
- Para evitar errores no se permite más de 5 bits con la misma polaridad y se rellena forzosamente con un bit de polaridad opuesta (bit stuffing) los campos del mensaje (salvo el acuso de recibo y end of frame)



# Receptor CAN:

## Implementación

- Se crea una máquina de estados con un estado por frame que guarda en un shift register por estado el contenido del frame
- Se verifica el CRC y se guarda en una bandera su correctitud
- Se identifican y desechan los bits de stuffing, además de comprobar su correcta polaridad
- Al terminar el mensaje se guarda en un registro FIFO la información de interés (arbitraje, largo de data, payload y correctitud de CRC)



# Interfaz Avalon:

## Implementación

- Se utiliza una interfaz Avalon Memory Mapped Interface (Avalon-MM), la cual permite lectura y escritura basada en direcciones, es una interfaz típica Maestro-Esclavo
- Esta interfaz mapea los datos recibidos y los estados del FIFO y receptor CAN en direcciones de memoria
- Como el bus de datos del procesador NIOS es de 32 bits se utilizaron 3 direcciones para transmitir los datos

Offset	Byte3	Byte2	Byte2	Byte0
0x00	Status	DataLen	AddresH	AddresL
0x01	Data3	Data2	Data1	Data0
0x02	Data7	Data6	Data5	Data4



# SoC:

## Implementación

- Se utiliza el microprocesador NIOS II de la placa DE0 corriendo el software que permite la visualización de datos
- OnChip memory memoria RAM y ROM donde se almacena y corre la aplicación
- Parallel IO interface para manejar los LEDs de la placa para debugueo
- JTAG UART interface para la comunicación con la computadora a través de USB Blaster
- El software que corre en el microprocesador comprueba constantemente la presencia de nuevos datos recibidos e imprime en la consola su contenido

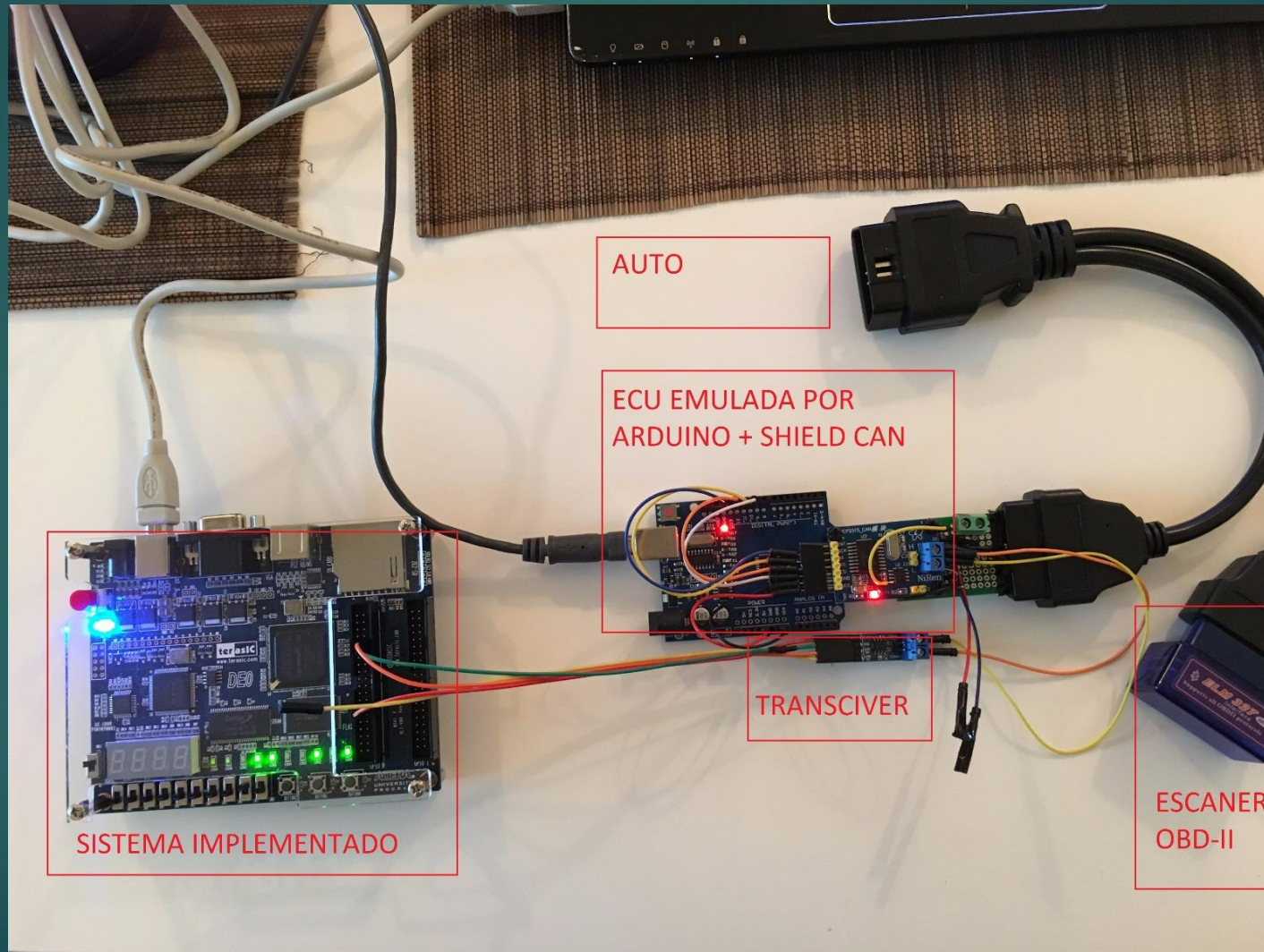
▢ <b>cpu</b>	Nios II Processor				
instruction_master	Avalon Memory Mapped Master	clk_0			
data_master	Avalon Memory Mapped Master				
jtag_debug_module	Avalon Memory Mapped Slave				
▢ <b>jtag_uart</b>	JTAG UART				
avalon_jtag_slave	Avalon Memory Mapped Slave	clk_0			
▢ <b>onchip_memory2</b>	On-Chip Memory (RAM or ROM)				
s1	Avalon Memory Mapped Slave	clk_0			
▢ <b>pio_led</b>	PIO (Parallel I/O)				
s1	Avalon Memory Mapped Slave	clk_0			
▢ <b>can_opener_inst</b>	can_opener				
slave	Avalon Memory Mapped Slave	clk_0			

	IRQ 0	IRQ 31	
	0x00004300	0x00004fff	
	0x00005020	0x00005027	
	0x00002000	0x00003fff	
	0x00005000	0x0000500f	
	0x00005010	0x0000501f	



# Pruebas:



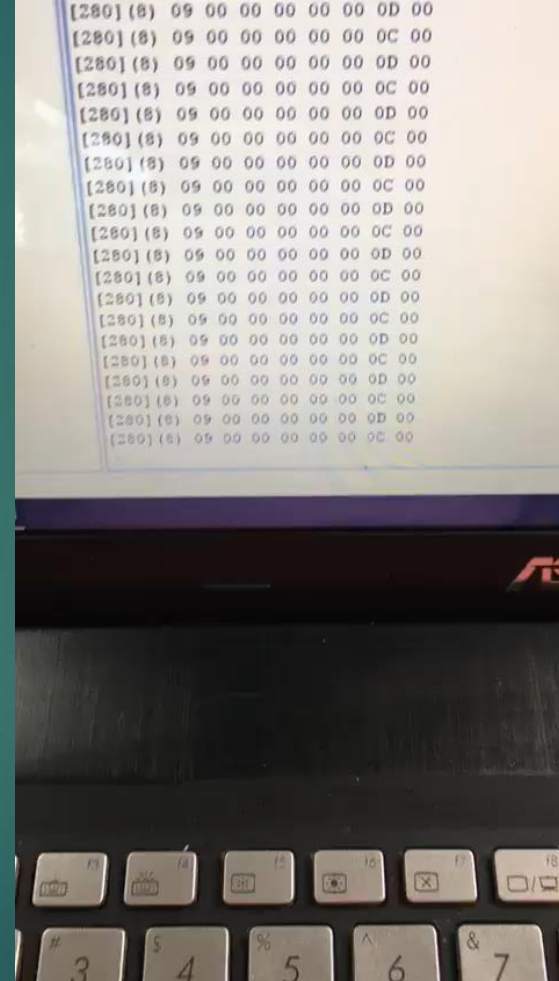
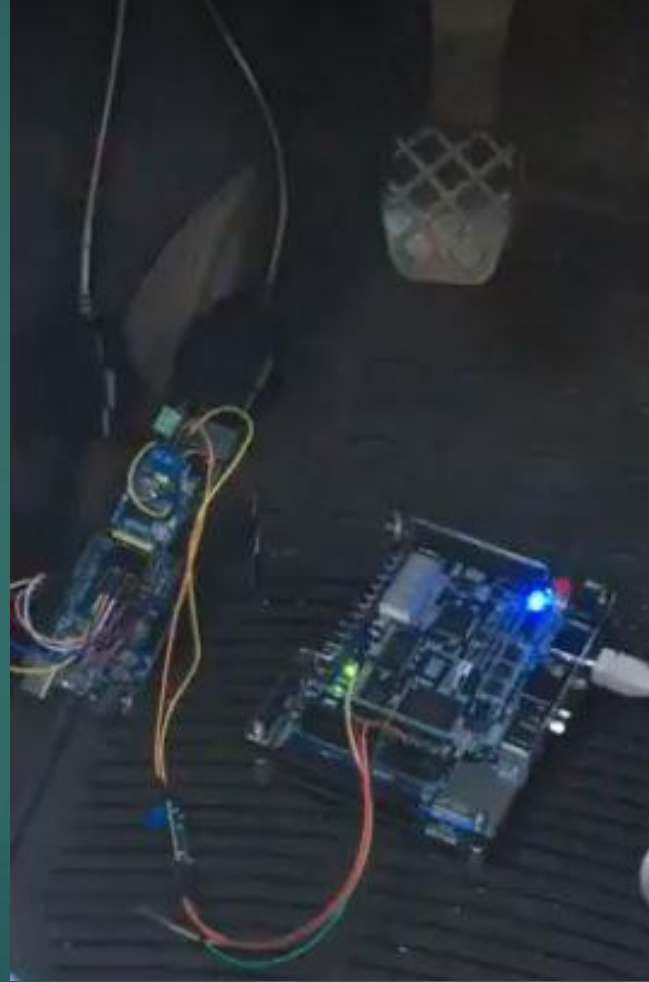
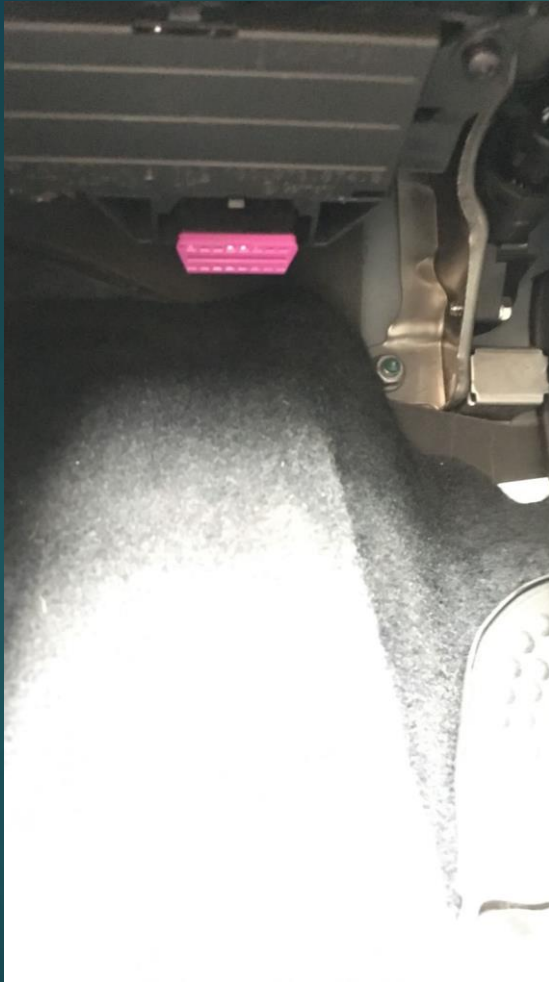


# Pruebas:

- Para el desarrollo y validación del bloque VHDL se utilizaron formas de onda (.vwf) conteniendo un mensaje fijo en el entorno de desarrollo Quartus
- Para la validación del sistema completo se realizaron varias pruebas:
  - Se creó un bloque VHDL que inyecta una señal con un mensaje conocido de manera cíclica en la entrada can\_rx
  - Se conectó el escáner ELM327 y configuró el MCP2515 en modo recepción y verificó que el sistema recibiese el mensaje
  - Con el escáner desconectado y el MCP2515 en modo transmisión constante se verificó que el sistema recibiese los mensajes
  - Finalmente se conecta el sistema al puerto CAN de un auto y se verifica la recepción de mensajes



# Pruebas:



# Conclusiones:

- Se implementó un receptor CAN con verificación de CRC en VHDL
- Se implementó una interfaz Avalon Memory Mapped para comunicar el bloque VHDL con el procesador NIOS II de la placa DE0
- Se lograron observar distintos mensajes en la consola y el cambio de los mismos al realizar diferentes acciones en un auto (accionar el acelerador, prender luces, abrir puertas, etc.)

# Aspectos a mejorar:

- Sincronización del reloj del bloque VHDL con el inicio de los mensajes CAN
- Transmisión de datos
- Configuración de parámetros en tiempo de ejecución





Gracias