

# Digital Design Practical Exercise 3:

## Finite State Machine

### Yêu cầu báo cáo:

Trong báo cáo nên có các phần sau:

- Source code VHDL của các phần thực hành (những phần phải viết code)
- Kết quả chạy mô phỏng, giải thích kết quả (dưới dạng dễ hiểu; chỉ ra các điểm lý thú, cần chú ý trong các dạng sóng mô phỏng để giải thích cho kết quả)
- Trả lời các câu hỏi trong phần hướng dẫn
- Liên kết đến các phần lý thuyết đã học và những kiến thức mà các bạn đã tìm hiểu thêm.

### Chuẩn bị

Tạo thư mục lab3 trong ổ C. Sau đó, lưu tập tin lab3.zip vào thư mục C:\lab3 và giải nén file này.

Chuyển thư mục làm việc trong modelsim đến thư mục này bằng cách dùng lệnh:

```
cd C:/lab3
```

## Phần 1: Máy trạng thái Moore và Mealy để xác định chuỗi bit '110'

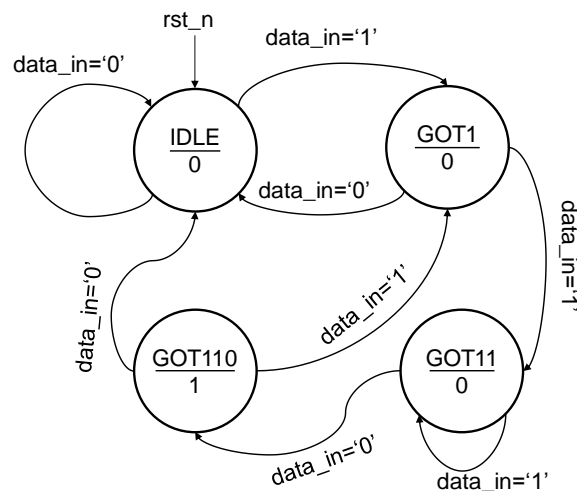
Trong bài thực hành này, chúng ta sẽ tìm hiểu về một máy trạng thái dùng để xác định chuỗi bit '110'. Danh sách các cổng vào ra của máy trạng thái này như sau:

STT	Tên tín hiệu	Chế độ	Độ rộng bit	Miêu tả
1	clk	In	1	Tín hiệu xung nhịp đồng hồ. Thanh ghi trạng thái của bộ xác định chuỗi bit '110' thay đổi ở sườn lên của tín hiệu clk.
2	rst_n	In	1	Tín hiệu reset. <ul style="list-style-type: none"><li>- Khi rst_n = '0', thiết kế này ở chế độ reset.</li><li>- Khi rst_n = '1', thiết kế này ở chế độ hoạt động.</li></ul>
4	data_in	In	1	Dữ liệu đầu vào. Chuỗi dữ liệu sẽ được lấy mẫu ở các sườn lên của tín hiệu xung nhịp đồng hồ.
6	detect_110_out	Out	1	Tín hiệu đầu ra. Detect_110_out = '1' khi dữ liệu đầu vào có chứa chuỗi 110; các trường hợp khác

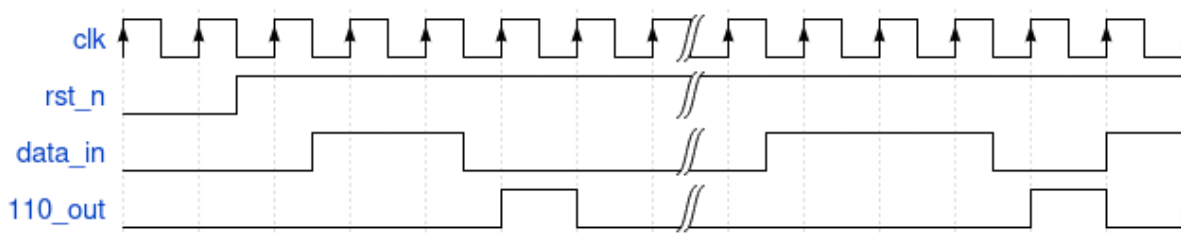
				detect_110_out = '0'.
--	--	--	--	-----------------------

Hình 1 và Hình 3 lần lượt là sơ đồ chuyển trạng thái của máy trạng thái Moore và Mealy của bộ xác định chuỗi bit '110'. Hình 2 và Hình 4 là lược đồ thời gian của các đầu vào và đầu ra của hai máy trạng thái này.

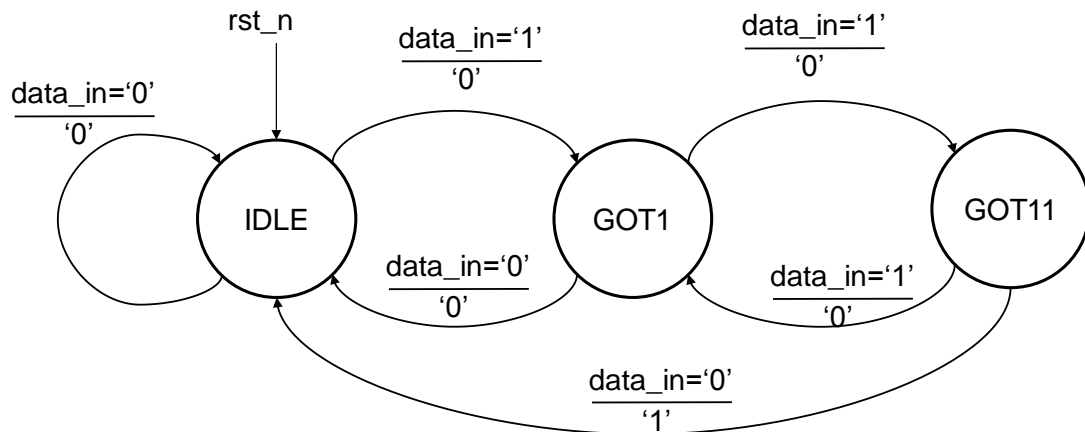
1. Viết kịch bản kiểm tra (testbench) cho hai thiết kế của máy trạng thái Moore và Mealy trong Hình 1 và Hình 3. Máy trạng thái được miêu tả có hoạt động đúng với sơ đồ trạng thái trong Hình 1 và Hình 3 (liên hệ với code ví dụ của hai máy trạng thái này, và liên kết đến bài giảng về máy trạng thái, và nguyên tắc thiết kế máy trạng thái).
2. Trình bày sự khác nhau giữa hai mô hình máy trạng thái Moore và Mealy. Từ đó nên sự khác nhau trong quy trình thiết kế hai loại máy trạng thái này (cách thiết kế các trạng thái, chuyển trạng thái, đầu vào và đầu ra).
3. Dựa vào kết quả mô phỏng trong mục 1 và liên kết với phần lý thuyết trong mục 2, chỉ ra sự khác nhau trong kết quả mô phỏng hai loại máy trạng thái. Kịch bản kiểm tra của bạn có kiểm tra được tất cả các bước chuyển trạng thái trong Hình 1 và Hình 3? Hãy chỉ ra trên dạng sóng các kịch bản này.
4. Hai mô hình máy trạng thái này có ưu điểm và nhược điểm gì? Khi nào thì nên dùng chúng.



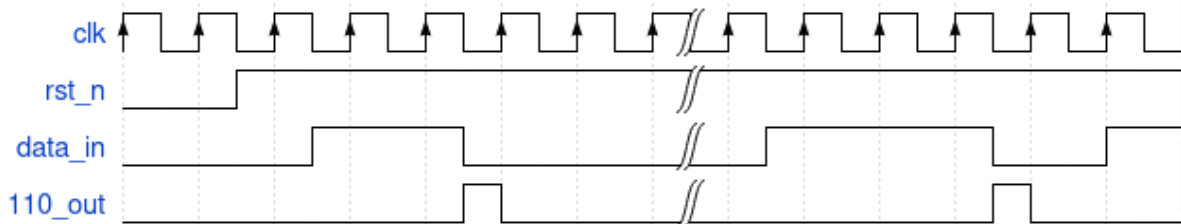
Hình 1. Sơ đồ trạng thái của một máy trạng thái Moore để xác định chuỗi 110.



Hình 2. Lược đồ thời gian của các đầu vào và đầu ra của bộ xác định chuỗi bit '110' sử dụng máy trạng thái Moore.



Hình 3. Sơ đồ chuyển trạng thái của một máy trạng thái Mealy để xác định chuỗi 110.

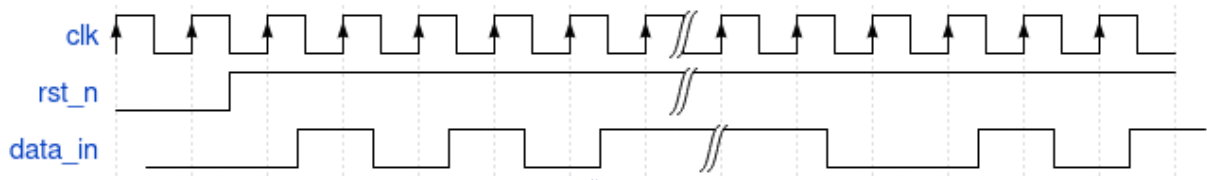


Hình 4. Lược đồ thời gian của các đầu vào và đầu ra của bộ xác định chuỗi bit '110' sử dụng máy trạng thái Mealy.

## Phần 2: Thiết kế, mô hình hóa, và mô phỏng một máy trạng thái để xác định chuỗi 101.

1. Thiết kế máy trạng thái dùng để xác định chuỗi bit '101'. Máy trạng thái vừa thiết kế sử dụng mô hình máy trạng thái nào?
2. Mô hình hóa máy trạng thái trong mục 1 sử dụng ngôn ngữ VHDL (gợi ý: tham khảo mã nguồn trong phần 1).
3. Viết kịch bản kiểm tra (testbench) cho máy trạng thái vừa được thiết kế trong mục 2 với chuỗi dữ liệu đầu vào là ngày, tháng, năm sinh của bạn.
4. Mô phỏng thiết kế trong mục 2 với kịch bản kiểm tra trong mục 3.

5. Với chuỗi đầu vào '10101', máy trạng thái được thiết kế trong mục 1 nhận 1 chuỗi '101' hay là 2 chuỗi '101'? Tại sao?



Hình 5. Ví dụ về chuỗi bit '101' liên tiếp.

6. Bonus: Thiết kế máy trạng thái theo mô hình khác với mô hình đã chọn trong mục 1.