

Laboratory Exercise 1:

Combinational Logic Design & Testbench

Yêu cầu báo cáo:

Trong báo cáo nên có các phần sau:

- Source code VHDL của các phần thực hành (những phần phải viết code)
- Kết quả chạy mô phỏng, giải thích kết quả (dưới dạng dễ hiểu và dễ thấy)
- Trả lời các câu hỏi trong phần hướng dẫn
- Liên kết đến các phần lý thuyết đã học và những kiến thức mà các bạn thấy

Phần 1

Cho bảng chân lý như sau:

Input			Output
X	Y	S	$m=F(X,Y,)$
0	0	0	0
1	0	0	1
0	1	0	0
1	1	0	1
0	0	1	0
1	0	1	0
0	1	1	1
1	1	1	1

Nhiệm vụ:

1. Viết phương trình logic của hàm F (dùng minterm hoặc maxterm).
2. Thực hiện các phương pháp tối giản logic (nếu có thể).
3. Hoàn thành chương trình VHDL miêu tả hoạt động của mạch logic tổ hợp được cho trong bảng chân lý:
 - Tạo thư mục lab1 trong ổ C
 - Tạo tập tin mux21.vhd trong thư mục lab1 với nội dung như sau:

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY mux21 IS

    PORT (
        x : IN  STD_LOGIC;
        y : IN  STD_LOGIC;
        s : IN  STD_LOGIC;
        m : OUT STD_LOGIC);

END ENTITY mux21;
```

```

ARCHITECTURE df OF mux21 IS

BEGIN  -- architecture df

    m <= '0';                                -- to be completed

END ARCHITECTURE df;

```

- Viết phương trình của m dựa theo bảng chân lý bằng ngôn ngữ VHDL.
- Chạy modelsim và biên dịch thiết kế trong mục 3 bằng cách sử dụng các lệnh sau trong cửa sổ dòng lệnh của modelsim:

```

cd C:/lab1
vlib work
vcom mux21.vhd
vsim work.mux21(df)

```

- Tạo tín hiệu đầu vào dùng lệnh force:

```
force <signal name> <value> <time>, <value> <time>, ...
```

Ví dụ:

```
force x 0 0ns, 1 250ns
```

- Tạo tín hiệu đầu vào cho ba tín hiệu x, y, và s bằng cách sử dụng lệnh force. Sau đó thực hiện các lệnh sau:

Thêm tín hiệu vào cửa sổ hiển thị dạng sóng (waveform viewer):

```
add wave -r /*
```

Chạy mô phỏng:

```
run <time>
```

- Kiểm tra lại giá trị mô phỏng có hợp với bảng chân lý bằng cách nhìn trong cửa sổ hiển thị dạng sóng. Kết quả mô phỏng (bao gồm cách tạo lệnh force và dạng sóng mô phỏng thể hiện kết quả phép toán nên có trong báo cáo).

Phần 2

- Biến đổi phương trình logic trong phần 1 chỉ sử dụng phép toán logic (cổng logic) NAND.
- Hoàn thành phần miêu tả kiến trúc dùng ngôn ngữ VHDL của mạch điện trong phần 1 chỉ sử dụng cổng logic NAND.

```

ARCHITECTURE df_nand OF mux21 IS

BEGIN  -- architecture df_nand

    m <= '0';                                -- to be completed

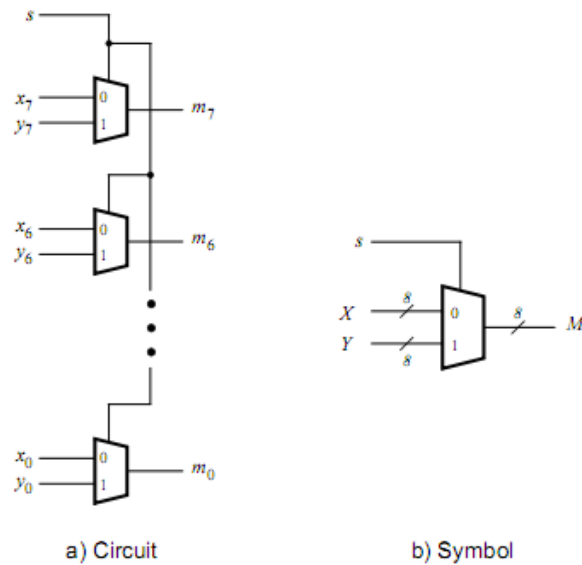
END ARCHITECTURE df_nand;

```

- Biên dịch, chạy mô phỏng và kiểm tra tính đúng đắn của thiết kế sử dụng các câu lệnh đã học trong phần 1. Mã nguồn VHDL, kết quả mô phỏng và các lệnh thực hiện cần đưa vào trong báo cáo.

Phần 3

Sử dụng thiết kế mux21 để thiết kế bộ hợp kênh với 2 đầu vào 8-bit mux21_8bit với sơ đồ như sau:



- Viết chương trình VHDL để thực hiện mạch điện này sử dụng mẫu dưới đây:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY mux21_8bit IS

    PORT (
        x : IN  STD_LOGIC_VECTOR(7 DOWNTO 0);
        y : IN  STD_LOGIC_VECTOR(7 DOWNTO 0);
        s : IN  STD_LOGIC;
        m : OUT STD_LOGIC_VECTOR(7 DOWNTO 0));

END ENTITY mux21_8bit;

ARCHITECTURE df OF mux21_8bit IS
    COMPONENT mux21 IS
        PORT (
            x : IN  STD_LOGIC;
            y : IN  STD_LOGIC;
            s : IN  STD_LOGIC;
            m : OUT STD_LOGIC);
    END COMPONENT mux21;
BEGIN -- ARCHITECTURE df
    mux21_0: mux21
        PORT MAP (
            x => ,
            y => ,
            s => ,
            m => );

    mux21_1: mux21

```

```

    PORT MAP (
        x => ,
        y => ,
        s => ,
        m => );
END ARCHITECTURE df;

```

2. Chạy mô phỏng sử dụng các câu lệnh như trong phần 1. Kiểm tra tính đúng đắn của thiết kế. Giải thích kết quả mô phỏng (mã nguồn VHDL và dạng sóng trong quá trình chạy mô phỏng phải được đưa vào trong báo cáo).
3. Hoàn thành kịch bản kiểm tra (testbench) của bộ mux21_8bit:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY mux21_8bit_tb IS

END ENTITY mux21_8bit_tb;

ARCHITECTURE test OF mux21_8bit_tb IS

    -- component ports
    SIGNAL x : STD_LOGIC_VECTOR(7 DOWNTO 0);
    SIGNAL y : STD_LOGIC_VECTOR(7 DOWNTO 0);
    SIGNAL s : STD_LOGIC;
    SIGNAL m : STD_LOGIC_VECTOR(7 DOWNTO 0);

    CONSTANT delay : TIME := 10ns;

BEGIN -- ARCHITECTURE test

    -- component instantiation
    DUT : ENTITY work.mux21_8bit
        PORT MAP (
            x => x,
            y => y,
            s => s,
            m => m);

    -- waveform generation
    WaveGen_Proc : PROCESS
    BEGIN
        -- insert signal assignments here
        x <= (OTHERS => '0');
        y <= (OTHERS => '0');
        s <= '0';
        WAIT FOR delay;
    END PROCESS WaveGen_Proc;
END ARCHITECTURE test;

```

4. Chạy mô phỏng thiết kế. Giải thích kết quả chạy mô phỏng. Kịch bản kiểm tra của bạn có bao gồm tất cả các khả năng của tín hiệu đầu vào?
(Mã nguồn của kịch bản kiểm tra và dạng sóng của phần mô phỏng phải được đưa vào trong báo cáo).
5. Nêu sự khác nhau trong phong cách thiết kế và miêu tả hành vi của mạch điện sử dụng ngôn ngữ VHDL trong phần 1, phần 2 và phần 3. Theo bạn, những phong cách thiết kế này có ưu điểm và nhược điểm gì và khi nào thì nên sử dụng chúng.
6. Bonus: Viết kịch bản tự động kiểm tra tính đúng đắn của thiết kế.