

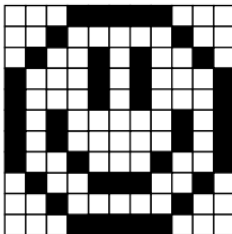
Digitale Systeme

vormals “Technische Grundlagen der Informatik 1”

Kapitel 3: Gatter und CMOS-Technik

Prof. Dr.-Ing. Sebastian Möller

**Technische Universität Berlin
Quality and Usability Lab
Institut für Theoretische Informatik und Softwaretechnik
Fakultät IV – Elektrotechnik und Informatik**



0	0	0	1	1	1	1	1	0	0	0
0	0	1	0	0	0	0	0	1	0	0
0	1	0	0	1	0	1	0	0	1	0
1	0	0	0	1	0	1	0	0	0	1
1	0	0	0	1	0	1	0	0	0	1
1	0	1	0	0	0	0	0	1	0	1
1	0	1	0	0	0	0	0	1	0	1
1	0	0	1	0	0	0	1	0	0	1
0	1	0	0	1	1	1	0	0	1	0
0	0	1	0	0	0	0	0	1	0	0
0	0	0	1	1	1	1	1	0	0	0

- ✓ Was heißt „digital“?
- ☐ Was ist eine logische Operation?
- ☐ Wie rechnet man mit Boolescher Algebra?
- ☐ Gibt es mehrstellige logische Operationen?



a	b	$a \wedge b$		a	b	$a \neq b$	$a \vee b$	$\overline{a \vee b}$	$a \equiv b$	\bar{b}	\bar{a}	$a \rightarrow b$	$\overline{a \wedge b}$
0	0	0	0	0	0	0	0	1	1	1	1	1	1
0	1	0	0	0	1	1	1	0	0	0	1	1	1
1	0	0	0	1	0	0	1	0	0	1	0	0	1
1	1	0	1	0	1	0	1	0	1	0	0	1	0

- ✓ Was heißt „digital“?
- ✓ Was ist eine logische Operation?
- ☐ Wie rechnet man mit Boolescher Algebra?
- ☐ Gibt es mehrstellige logische Operationen?



Register-Transfer
Schaltnetze & Schaltwerke
Gatter
Transistoren
Halbleiter

Umformung Boolescher Ausdrücke

Seien a, b, c logische Variablen, dann gelten folgende Regeln:

§1 Negation der Negation

$$\bar{\bar{a}} = a$$

§2 Kommutativgesetz

$$a \cdot b \cdot c = c \cdot a \cdot b$$

$$a + b + c = c + a + b$$

§3 Assoziativgesetz

$$a \cdot (b \cdot c) = (a \cdot b) \cdot c$$

$$a + (b + c) = (c + a) + b$$

§4 Distributivgesetz

$$a \cdot (b + c) = (a \cdot b) + (a \cdot c)$$

$$a + (b \cdot c) = (a + b) \cdot (a + c)$$

§5 Idempotenzgesetz

$$a \cdot a = a$$

$$a + a = a$$

§6 Komplementgesetz

$$a \cdot \bar{a} = 0 \text{ (Kontradiktion)}$$

$$a + \bar{a} = 1 \text{ (Tautologie)}$$

§7 0-1-Gesetz

$$a \cdot 1 = a$$

$$a \cdot 0 = 0$$

$$a + 1 = 1$$

$$a + 0 = a$$

§8 Absorptionsgesetze

$$a \cdot (a + b) = a$$

$$a + (a \cdot b) = a$$

$$(a \cdot b) + (a \cdot \bar{b}) = a$$

$$(a + \bar{b}) \cdot b = a \cdot b$$

$$(a \cdot \bar{b}) + b = a + b$$

$$(a + b) \cdot (a + \bar{b}) = a$$

§9 De Morgan'sche Regeln

$$\overline{a \cdot b} = \bar{a} + \bar{b}$$

$$\overline{a + b} = \bar{a} \cdot \bar{b}$$

10§ Resolutionsregel

$$(a + b) \cdot (\bar{b} + c) = (a + b) \cdot (\bar{b} + c) \cdot (a + c)$$

11§ Konsensusregel

$$(a \cdot b) + (\bar{b} \cdot c) = (a \cdot b) + (\bar{b} \cdot c) + (a \cdot c)$$

Mit Hilfe von Wertetabellen kann die Gültigkeit der genannten Regeln bewiesen werden!

- ✓ Was heißt „digital“?
- ✓ Was ist eine logische Operation?
- ✓ Wie rechnet man mit Boolescher Algebra?
- ☐ Gibt es mehrstellige logische Operationen?

Beispiel

Funktionsbündel $\sigma(a,b,c) = (x, y, z, t)$

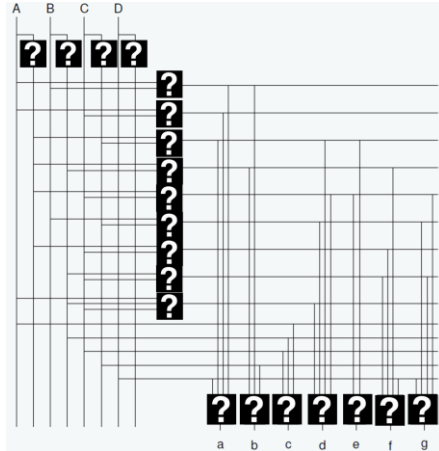
a	b	c	x	y	z	t
0	0	0	1	1	1	0
0	0	1	1	1	1	1
0	1	0	1	0	1	0
0	1	1	0	0	1	0
1	0	0	0	0	0	1
1	0	1	1	0	0	0
1	1	0	1	0	0	0
1	1	1	1	1	0	1

- ✓ Was heißt „digital“?
- ✓ Was ist eine logische Operation?
- ✓ Wie rechnet man mit Boolescher Algebra?
- ✓ Gibt es mehrstellige logische Operationen?



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

1. Motivation und Einführung
2. Logik und Boolesche Algebra
3. Gatter und CMOS-Technik
 - Realisierung Logischer Operationen
 - Halbleitertechnik
 - pn-Diode
 - Transistortypen
 - Schaltkreisfamilien und MOS-Schaltungstechnik
 - Fertigung integrierter Schaltungen
4. Zahlendarstellung und Codes
5. Schaltnetze und Normalformen
6. Optimierung von Schaltnetzen
7. Standard-Schaltnetze
8. Speicherelemente und programmierbare Logik
9. Synchrone Schaltwerke
10. Register-Transfer-Entwurf und Mikroprogrammierung
11. Anwendungen Digitaler Systeme



- Register-Transfer
- Schaltnetze & Schaltwerke
- Getter
- Transistoren
- Halbleiter

- ☐ Wie werden logische Funktionen technisch realisiert?
- ☐ Was sind typische Logikgatter?
- ☐ Wie wird aus elektrischen Strömen diskrete Logik?
- ☐ Wie funktionieren Transistoren?



Gattersymbolik

- grafische Darstellung, der die Grundstruktur einer Schaltung zu entnehmen ist
- Terme der Funktion werden durch Grundgatter symbolisiert.
- Funktionalität der Gatter entspricht den Grundfunktionen der Booleschen Algebra.
- Die Anzahl der in den jeweiligen Termen involvierten Eingangsvariablen spiegelt sich in der Anzahl der Eingänge eines jeden Gatters wieder.
- Die Negation von Eingangsvariablen und Termen wird durch eingangs- oder ausgangsseitige Kreise symbolisiert.

Register-Transfer
Schaltnetze & Schaltwerke
Gatter
Transistoren
Halbleiter



Gattersymbolik

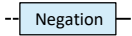
Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

Negation	Konjunktion	Disjunktion	NAND	NOR	Äquivalenz	Antivalenz
DIN 40900	DIN 40900	DIN 40900	DIN 40900	DIN 40900	DIN 40900	DIN 40900
alte Darstellung	alte Darstellung	alte Darstellung	alte Darstellung	alte Darstellung	alte Darstellung	alte Darstellung
US-Norm	US-Norm	US-Norm	US-Norm	US-Norm	US-Norm	US-Norm

Symbolische Darstellung verschiedener Logikgatter. Aus D.W. Hoffmann, 2014, Abb. 5.16.



Schalterlogik

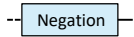


Wahrheitstabelle

x	y
0	1
1	0



Schalterlogik

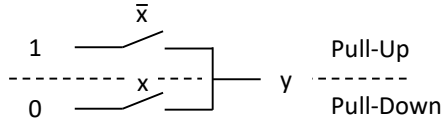


Wahrheitstabelle

x	y
0	1
1	0



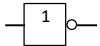
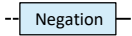
Schalterlogik



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Schalterlogik



Wahrheitstabelle

x	y
0	1
1	0



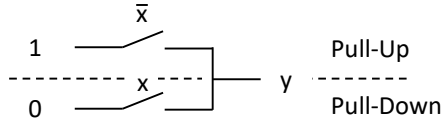
Pegel (positive Logik)

x	y
L	H
H	L

0 -> L

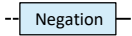
1 -> H

Schalterlogik





Schalterlogik



Wahrheitstabelle

x	y
0	1
1	0

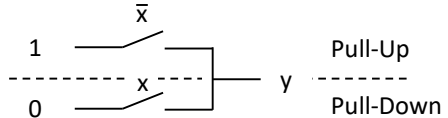


Pegel (positive Logik)

x	y
L	H
H	L

0 -> L
1 -> H

Schalterlogik



Transistorschaltung

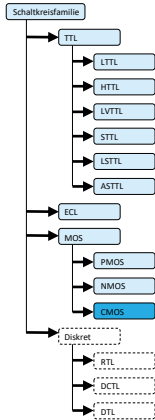
?



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

Schaltkreise

Hardwareschaltungen mit Eingangssignalen x_1, x_2, \dots, x_n und Ausgangssignalen y_1, y_2, \dots, y_n



- Basistechnologien bestimmt durch Transistortypen
- dadurch festlegen auf Betriebsspannung und Signalpegel
- nur in Einzelfällen miteinander kombiniert (über Zwischenglieder)

Schaltkreisfamilien. Aus: D.W. Hoffmann, 2014, Abb. 5.1.

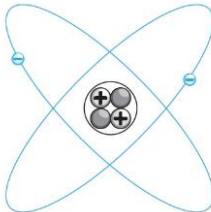


1. Motivation und Einführung
2. Logik und Boolesche Algebra
3. Gatter und CMOS-Technik
 - ✓ Realisierung Logischer Operationen
 - Halbleitertechnik
 - pn-Diode
 - Transistortypen
 - Schaltkreisfamilien und MOS-Schaltungstechnik
 - Fertigung integrierter Schaltungen
4. Zahlendarstellung und Codes
5. Schaltnetze und Normalformen
6. Optimierung von Schaltnetzen
7. Standard-Schaltnetze
8. Speicherelemente und programmierbare Logik
9. Synchrone Schaltwerke
10. Register-Transfer-Entwurf und Mikroprogrammierung
11. Anwendungen Digitaler Systeme



Bohr'sches Atommodell

- Atome setzen sich aus Protonen, Neutronen und Elektronen zusammen
- Protonen (+) und Elektronen (–) weisen dieselbe Ladungsmenge auf
- Im Normalzustand ist ein Atom ladungsneutral (gleiche Anzahl positiver (+) und negativer (–) Ladungen)



Heliumatom im Bohr'schen Atommodell. Aus: D.W. Hoffmann, 2014, Abb. 2.2.

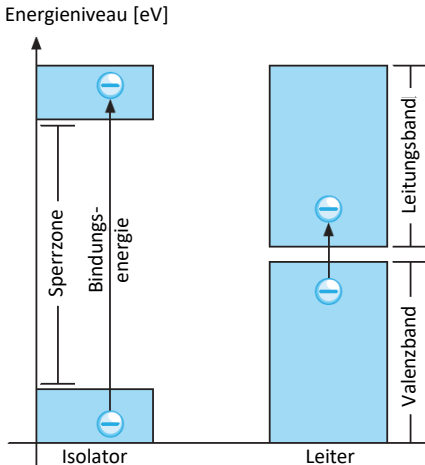


Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

- Elektronen bewegen sich auf **Schalen** (K, L, M, ...) um den Atomkern
- Energieniveau bestimmt, auf welcher Schale sich ein Elektron befindet
- Schalen unterscheiden sich durch Anzahl maximal aufnehmbarer Elektronen:
 - K: 2 Elektronen
 - L, M: 8 Elektronen
- Elektronen in ungesättigten Schalen: **Valenzelektronen**
- Elektron kann durch Aufnahme und Abgabe von Energie zwischen Schalen wechseln



Bändermodell



Bändermodell: Energieniveaus.

Aus: D.W. Hoffmann, 2014, Abb. 2.4.

Register-Transfer

Schaltnetze & Schaltwerke

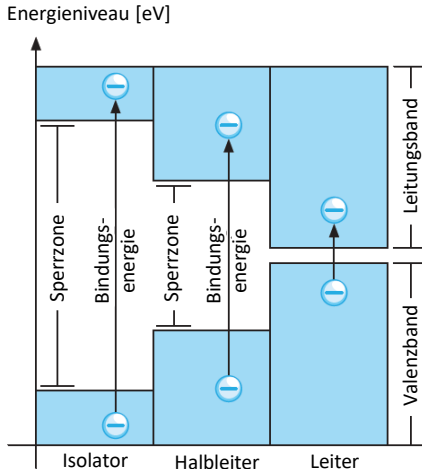
Gatter

Transistoren

Halbleiter



Bändermodell



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

Bändermodell: Energieniveaus und Halbleiter im Bändermodell.
 Aus: D.W. Hoffmann, 2014, Abb. 2.5.



- Register-Transfer
- Schaltnetze & Schaltwerke
- Getter
- Transistoren
- Halbleiter**

IA	IIA	IIIB	IVB	VB	VIB	VIIIB	VIIIIB			IB	IIB	IIIA	IVA	VA	VIA	VIIA	VIIIA
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1 H																	2 He
3 Li	4 Be											5 B	6 C	7 N	8 O	9 F	10 Ne
11 Na	12 Mg											13 Al	14 Si	15 P	16 S	17 Cl	18 Ar
19 K	20 Ca	21 Sc	22 Ti	23 V	24 Cr	25 Mn	26 Fe	27 Co	28 Ni	29 Cu	30 Zn	31 Ga	32 Ge	33 As	34 Se	35 Br	36 Kr
37 Rb	38 Sr	39 Y	40 Zr	41 Nb	42 Mo	43 Tc	44 Ru	45 Rh	46 Pd	47 Ag	48 Cd	49 In	50 Sn	51 Sb	52 Te	53 I	54 Xe
55 Cs	56 Ba		72 Hf	73 Ta	74 W	75 Re	76 Os	77 Ir	78 Pt	79 Au	80 Hg	81 Tl	82 Pb	83 Bi	84 Po	85 At	86 Rn
87 Fr	88 Ra		104 Rf	105 Db	106 Sg	107 Bh	108 Hs	109 Mt	110 Ds	111 Rg	112 Uub						
			57 La	58 Ce	59 Pr	60 Nd	61 Pm	62 Sm	63 Eu	64 Gd	65 Tb	66 Dy	67 Ho	68 Er	69 Tm	70 Yb	71 Lu
			89 Ac	90 Th	91 Pa	92 U	93 Np	94 Pu	95 Am	96 Cm	97 Bk	98 Cf	99 Es	100 Fm	101 Md	102 No	103 Lr

Halbleiter im Periodensystem. Aus: D.W. Hoffmann, 2014, Abb. 2.10.



Reine Halbleiter

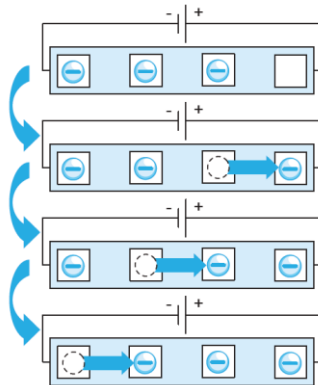
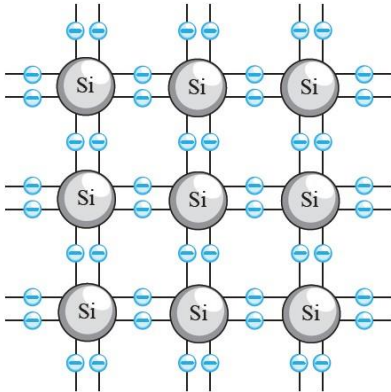
Isolatoren	
Material	Widerstand
Hartgummi	$10^{16} \Omega \text{m}$
Bernstein	$10^{14} \Omega \text{m}$
Halbleiter	
Material	Widerstand
Silizium (rein)	$10^2 \Omega \text{m}$
Germanium (rein)	$10^0 \Omega \text{m}$
Germanium (dotiert)	$10^{-4} \Omega \text{m}$
Leiter	
Material	Widerstand
Platin	$10^{-7} \Omega \text{m}$
Silber	$10^{-8} \Omega \text{m}$

- Beispiel: Silizium
- 14 Elektronen in 3 Schalen:
 - K-Schale: 2
 - L-Schale: 8
 - M-Schale: 4
- Anordnung im Kristallgitter

Spezifische Widerstände. Aus: D.W. Hoffmann, 2014, Tab. 2.1.

Reine Halbleiter

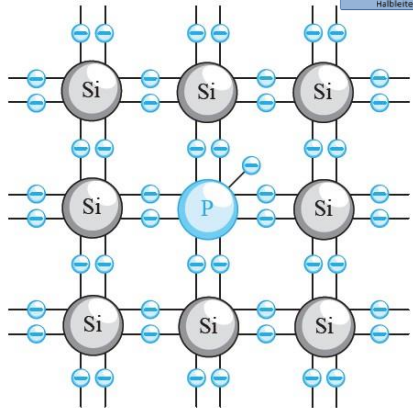
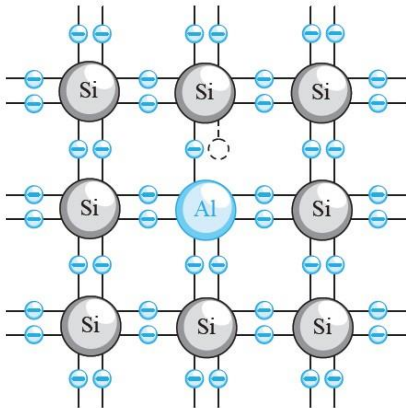
Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Links: Struktur des Siliziumkristalls; rechts: Eigenleitung.

Aus: D.W. Hoffmann, 2014, Abb. 2.6 und 2.7.

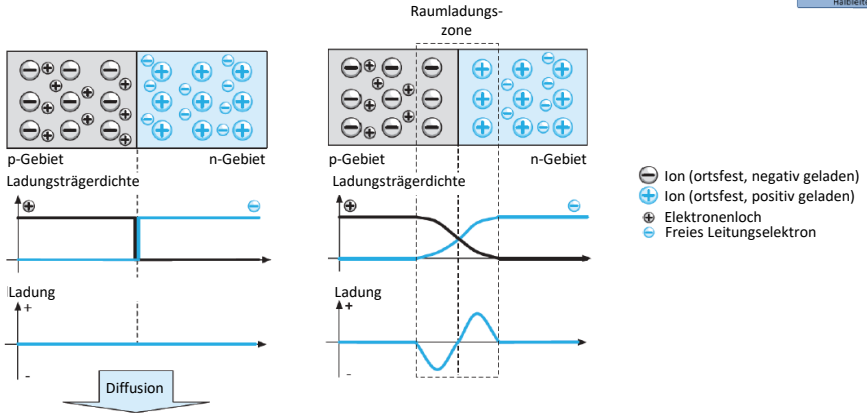
Dotierte Halbleiter



Dotierte Halbleiter. Links: p-Leiter; rechts: n-Leiter.

Aus: D.W. Hoffmann, 2014, Abb. 2.9 und 2.10.

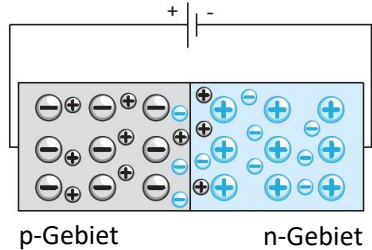
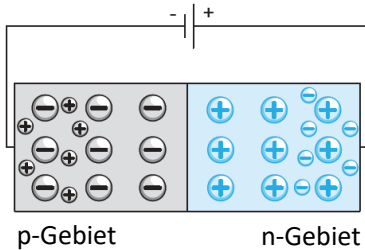
Aufbau einer Halbleiterdiode



Hableiterdiode vor (links) und nach (rechts) Diffusion.
 Aus: D.W. Hoffmann, 2014, Abb. 2.12.

Halbleiterdiode mit anliegender Spannung

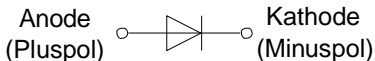
Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Links: Spannung in Sperrrichtung; rechts: Spannung in Durchlassrichtung.

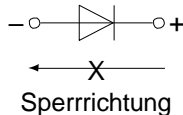
Aus: D.W. Hoffmann, 2014, Abb. 2.13 und 2.14.

Symbol für Diode



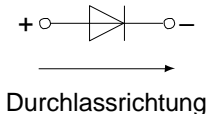
Strom in Sperrrichtung:

- – zum Pluspol, + zum Minuspole
- Vergrößerung der Sperrschicht
- Isolation (Widerstand $\approx \infty \Omega$)



Strom in Durchlassrichtung:

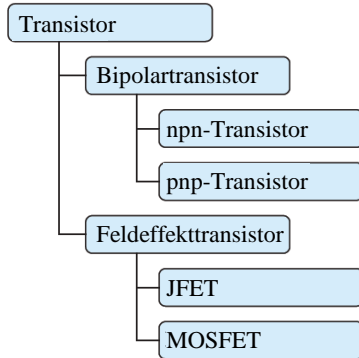
- + vom Pluspol, – vom Minuspole abgestoßen
- Verkleinerung der Sperrschicht
- Rekombination von Ladungsträgern
- Stromfluss (Widerstand $\approx 0 \Omega$)





Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

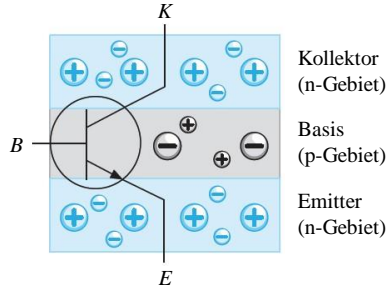
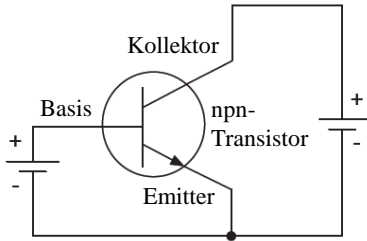
1. Motivation und Einführung
2. Logik und Boolesche Algebra
3. Gatter und CMOS-Technik
 - ✓ Realisierung Logischer Operationen
 - ✓ Halbleitertechnik
 - ✓ pn-Diode
 - Transistortypen
 - Schaltkreisfamilien und MOS-Schaltungstechnik
 - Fertigung integrierter Schaltungen
4. Zahlendarstellung und Codes
5. Schaltnetze und Normalformen
6. Optimierung von Schaltnetzen
7. Standard-Schaltnetze
8. Speicherelemente und programmierbare Logik
9. Synchrone Schaltwerke
10. Register-Transfer-Entwurf und Mikroprogrammierung
11. Anwendungen Digitaler Systeme



Klassen von Transistoren. Aus: D.W. Hoffmann, 2014, Abb. 2.15.

npn-Transistor

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



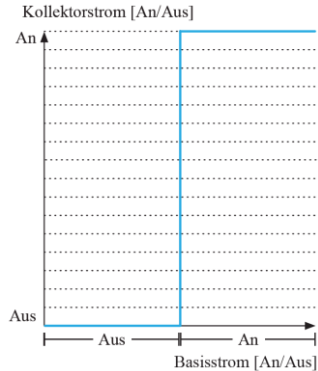
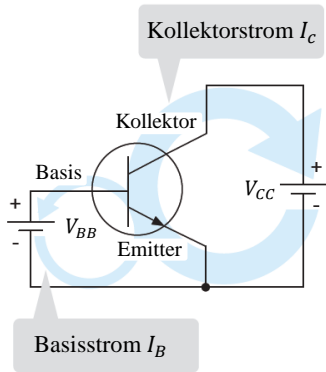
Links: Schaltsymbol; rechts: interner Aufbau.

Aus: D.W. Hoffmann, 2014, Abb. 2.16.



npn-Transistor

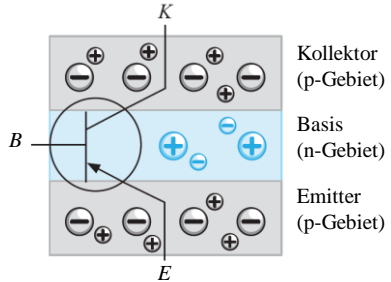
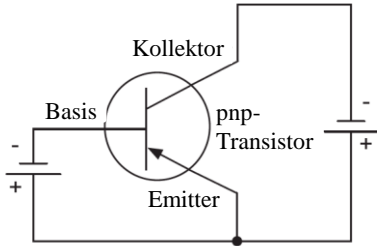
Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Links: Stromfluss; rechts: Schaltverhalten.
 Aus: D.W. Hoffmann, 2014, Abb. 2.18 und 2.19.

pn-Transistor

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

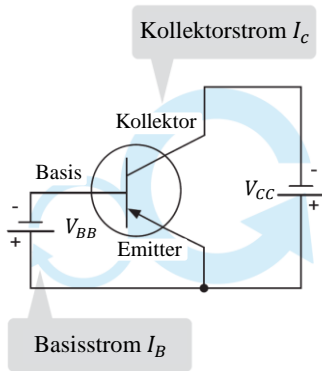


Links: Schaltsymbol; rechts: interner Aufbau.

Aus: D.W. Hoffmann, 2014, Abb. 2.20.



pnp-Transistor



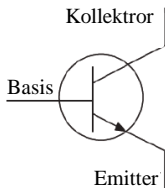
- Komplementäre Anordnung der Halbleiterschichten
- Komplementäre Polung

Stromfluss am pnp-Transistor.
Aus: D.W. Hoffmann, 2014, Abb. 2.21.

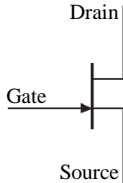


Junction-Feldeffekttransistor (JFET)

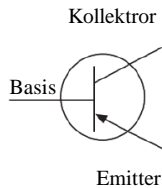
■ npn-Transistor



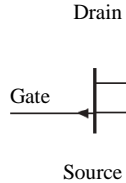
■ n-Kanal-JFET



■ pnp-Transistor



■ p-Kanal-JFET

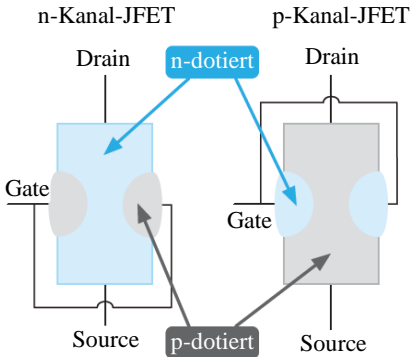


Schaltsymbole von Bipolartransistoren und JFETs

Aus: D.W. Hoffmann, 2014, Abb. 2.22.

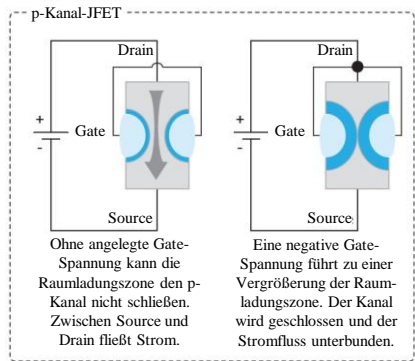
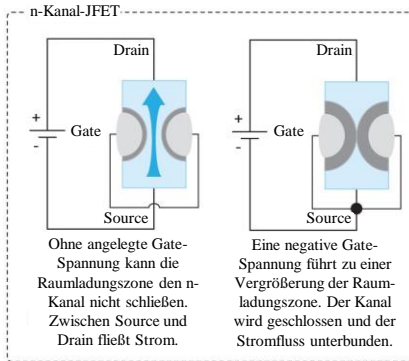
- Basisstrom wird durch elektrisches Feld ersetzt
- kein Strom über Steueranschluss (Gate)

Junction-Feldeffekttransistor (JFET)



Interner Aufbau des JFET. Aus: D.W. Hoffmann, 2014, Abb. 2.23.

Arbeitsweise des JFET



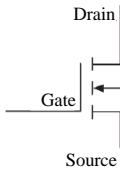
Links: n-Kanal-JFET; rechts: p-Kanal-JFET
 Aus: D.W. Hoffmann, 2014, Abb. 2.24.



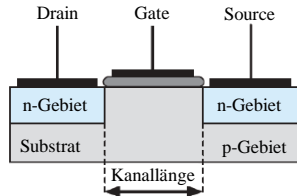
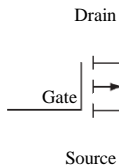
Metal Oxide Semiconductor FET (MOSFET)

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

n-Kanal-MOSFET

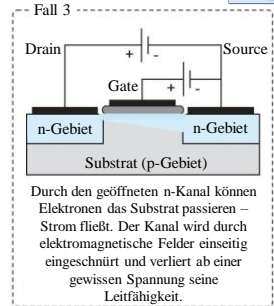
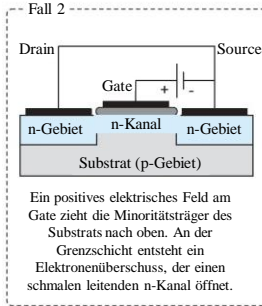
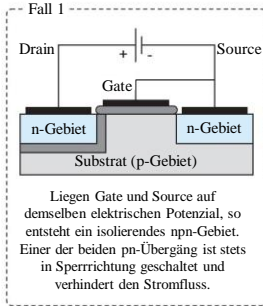


p-Kanal-MOSFET



Links: Schaltsymbole; rechts: Interner Aufbau.
 Aus: D.W. Hoffmann, 2014, Abb. 2.25 und 2.26.

- n-Kanal-MOSFET: p-Substrat mit 2 n-dotierten Gebieten
- Gate auf isolierendem Dielektrikum



Arbeitsweise des MOSFET. Aus: D.W. Hoffmann, 2014, Abb. 2.27.

Gate-Source-Spannung öffnet leitenden Kanal
geringe Leistungsaufnahme



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

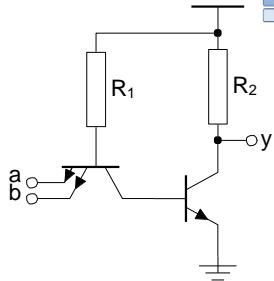
1. Motivation und Einführung
2. Logik und Boolesche Algebra
3. Gatter und CMOS-Technik
 - ✓ Realisierung Logischer Operationen
 - ✓ Halbleitertechnik
 - ✓ pn-Diode
 - ✓ Transistortypen
 - Schaltkreisfamilien und MOS-Schaltungstechnik
 - Fertigung integrierter Schaltungen
4. Zahlendarstellung und Codes
5. Schaltnetze und Normalformen
6. Optimierung von Schaltnetzen
7. Standard-Schaltnetze
8. Speicherelemente und programmierbare Logik
9. Synchrone Schaltwerke
10. Register-Transfer-Entwurf und Mikroprogrammierung
11. Anwendungen Digitaler Systeme



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

TTL-Schaltkreisfamilie

- Transistor-Transistor-Logic
- älteste hier vorgestellte Familie
- Verwendung von Bipolartransistoren
- robust und unempfindlich gegenüber elektrostatischer Aufladung
- Standardglied: NAND
- Beispiele:
 - Low-Power-TTL (LTTL)
 - High-Speed-TTL (HTTL)
 - Low-Voltage-TTL (LV-TTL)
 - ...



NAND mit zwei Eingängen
in TTL ($y = \overline{a \cdot b}$)



ECL-Schaltkreisfamilie

- Emitter Coupled Logic
 - Verwendung von Bipolartransistoren
 - Ziel: äußerst geringe Schaltzeiten → hohe Verlustleistung
 - verhältnismäßig weniger dicht integrierbar
 - zu jedem Ausgangssignal ist auch invertiertes Signal verfügbar
- keine Negationsglieder notwendig,
geringere Zahl von Schaltelementen

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

MOS-Schaltkreisfamilien

- Metal Oxide Semiconductor
- Moderne Basistechnologie
- Vergleichsweise geringe Stromaufnahme, aber empfindlich gegenüber elektrostatischer Aufladung
- Varianten:
 - PMOS:
selbstsperrende p-Kanal-FETs und Lastwiderstand
 - NMOS:
selbstsperrende n-Kanal-FETs und Lastwiderstand
 - CMOS:
Complementary MOS, sowohl p-Kanal- als auch n-Kanal-FETs
 - ...



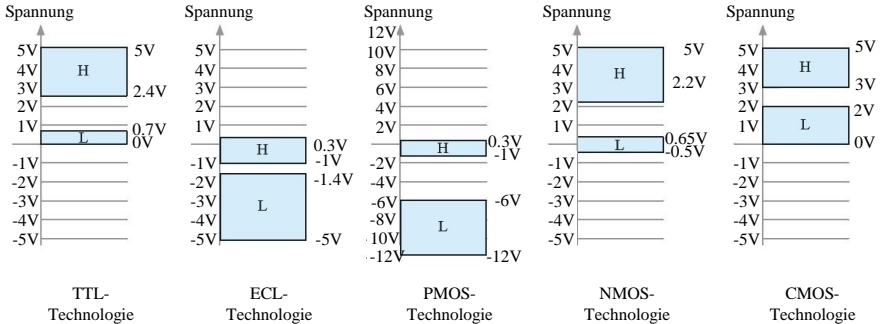
Pegelbereiche

- Spannungspegel innerhalb digitaler Schaltungen unterliegen Streuungen
- Die Ursachen liegen in
 - Bauelementtoleranzen
 - Temperaturschwankungen
 - Betriebsspannungsschwankungen
 - Störsignalen
- Eine Verringerung des Einflusses der Toleranzen geschieht durch die Zuordnung der Spannungspegel H und L zu einem jeweils relativ breiten Pegelbereich
- Beide Pegelbereiche werden durch eine verbotene undefinierte Zone getrennt

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Definitionen von Low- und High-Pegeln. Aus: D.W. Hoffmann, 2014, Abb. 5.2.



Pegelzustände

- Alle Basistechnologien arbeiten binär.
- Alle haben einen High-Pegelbereich (näher an $+\infty$) und einen Low-Pegelbereich (näher an $-\infty$).
- Zuordnung zu Wahrheitswerten 0 und 1:
 - Positive Logik: High-Pegel entspricht 1 und Low-Pegel entspricht 0
 - Negative Logik: High-Pegel entspricht 0 und Low-Pegel entspricht 1

Pegelzustände			
	x	y	z
0	L	L	L
1	L	H	L
2	H	L	L
3	H	H	H

Positive Logik			
	x	y	z
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

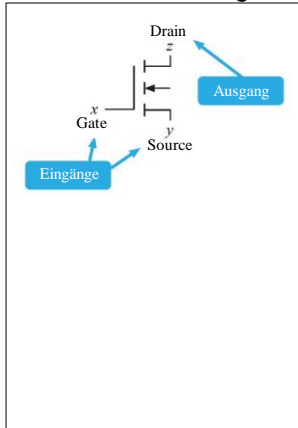
Negative Logik			
	x	y	z
0	1	1	1
1	1	0	1
2	0	1	1
3	0	0	0

Interpretation der Pegelzustände High und Low in positiver und negativer Logik.
 Aus: D.W. Hoffmann, 2014, Tab. 5.1.

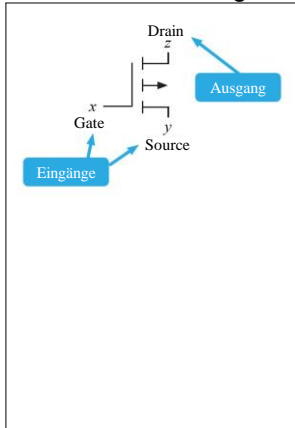


MOS-Schaltungen

NMOS-Technologie



PMOS-Technologie



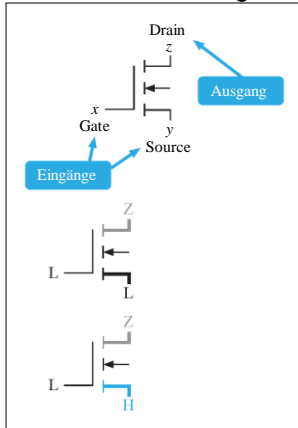
MOSFET als Schaltelement. Links: n-Kanal; rechts: p-Kanal. Aus: D.W. Hoffmann, 2014, Abb. 5.4 und 5.6.



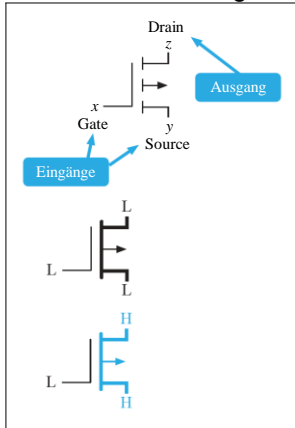
Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

MOS-Schaltungen

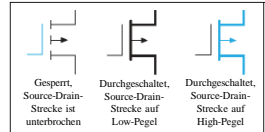
NMOS-Technologie



PMOS-Technologie



Symbolik:



Wichtig: Die Symbole zeigen den Stromfluss an und sollten nicht mit dem Symbol des selbstleitenden MOS-Transistors verwechselt werden.

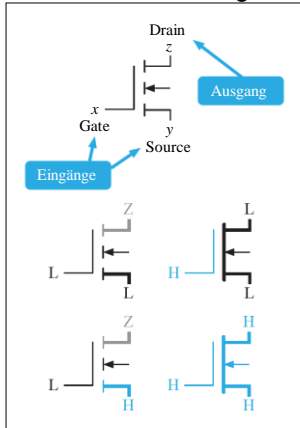
Pegel:

L = Low-Pegel
H = High-Pegel
Z = High-Impedanz-Pegel, Schwebezustand (Floating State)

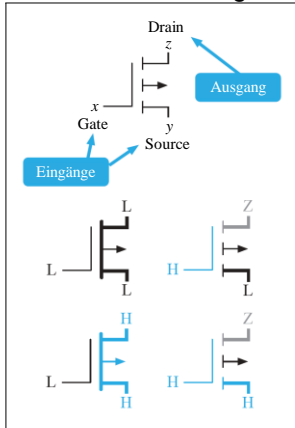
MOSFET als Schaltelement. Links: n-Kanal; rechts: p-Kanal. Aus: D.W. Hoffmann, 2014, Abb. 5.4 und 5.6.

MOS-Schaltungen

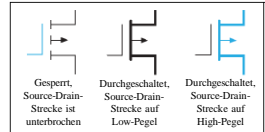
NMOS-Technologie



PMOS-Technologie



Symbolik:



Wichtig: Die Symbole zeigen den Stromfluss an und sollten nicht mit dem Symbol des selbstleitenden MOS-Transistors verwechselt werden.

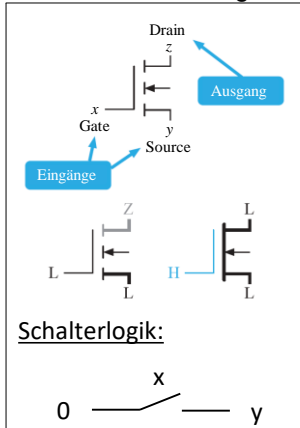
Pegel:

L = Low-Pegel
H = High-Pegel
Z = High-Impedanz-Pegel, Schwebestand (Floating State)

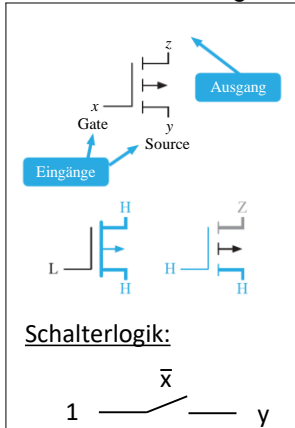
MOSFET als Schaltelement. Links: n-Kanal; rechts: p-Kanal. Aus: D.W. Hoffmann, 2014, Abb. 5.4 und 5.6.

MOS-Schaltungen

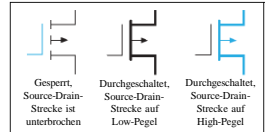
NMOS-Technologie



PMOS-Technologie



Symbolik:



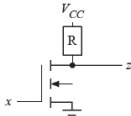
Wichtig: Die Symbole zeigen den Stromfluss an und sollten nicht mit dem Symbol des selbstleitenden MOS-Transistors verwechselt werden.

Pegel:

L = Low-Pegel
 H = High-Pegel
 Z = High-Impedanz-Pegel, Schwebestand (Floating State)

MOSFET als Schaltelement. Links: n-Kanal; rechts: p-Kanal. Aus: D.W. Hoffmann, 2014, Abb. 5.4 und 5.6.

NMOS-Grundsaltungen (Aus: D.W. Hoffmann, 2014, Abb. 5.8)

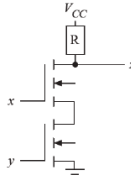


■ Positive Logik (NOT)

x	z
0	1
1	0

■ Negative Logik (NOT)

x	z
0	1
1	0

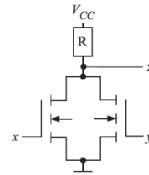


■ Positive Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

■ Negative Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0



■ Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

■ Negative Logik (NAND)

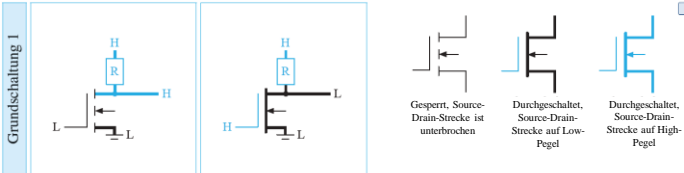
x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

NMOS-Schaltverhalten (Aus: D.W. Hoffmann, 2014, Abb. 5.9)

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

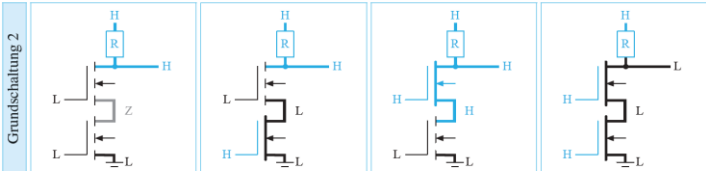
Positive Logik (NOT)

x	z
0	1
1	0



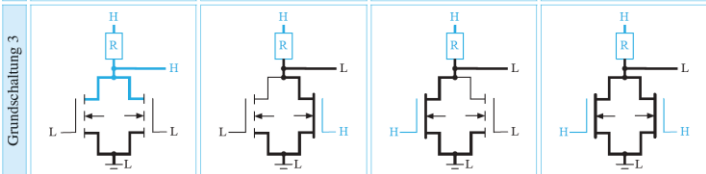
Positive Logik (NAND)

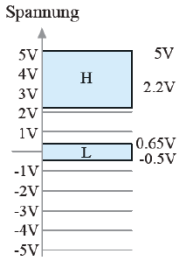
x	y	z
0	0	1
0	1	1
1	0	1
1	1	0



Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0



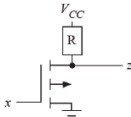


Eigenschaften NMOS-Technologie

- Versorgungsspannung 5 V
- geringerer Abstand zwischen High und Low → weniger störsicher
- geringere Umschaltzeit

Aus: D.W. Hoffmann, 2014, Abb. 5.2.

PMOS-Grundsaltungen (Aus: D.W. Hoffmann, 2014, Abb. 5.5)

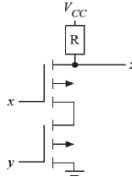


■ Positive Logik (NOT)

x	z
0	1
1	0

■ Negative Logik (NOT)

x	z
0	1
1	0

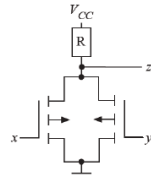


■ Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

■ Negative Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0



■ Positive Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

■ Negative Logik (NOR)

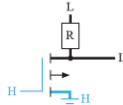
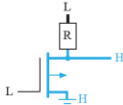
x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

PMOS-Schaltverhalten (Aus: D.W. Hoffmann, 2014, Abb. 5.6)

Positive Logik (NOT)

x	z
0	1
1	0

Grundschialtung 1



Gesperrt, Source
Drain-Strecke i
unterbrochen



Durchgeschaltet,
Source-Drain-
Strecke auf Low-
Pegel

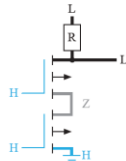
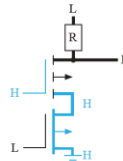
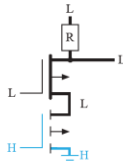
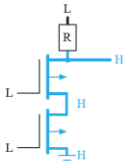


Durchgeschaltet,
Source-Drain-
Strecke auf High-
Pegel

Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

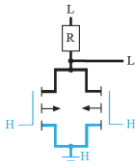
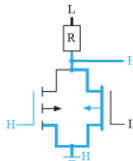
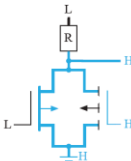
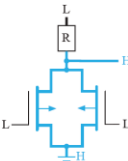
Grundschriftung 2



Positive Logik (NAND)

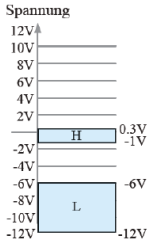
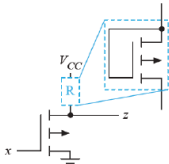
x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

Grundsicherung § 3





Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Realisierung des Widerstands

- Lastwiderstand wird benötigt, um Strom zu begrenzen.
- Realisierung durch speziell konstruierten MOSFET, der permanent in Durchlassrichtung geschaltet ist

Eigenschaften PMOS Technologie

- -12 V Versorgungsspannung
- gute Trennung von High und Low, störischer
- größere Umschaltzeit

Realisierung des Widerstands. Aus: D.W. Hoffmann, 2014, Abb. 5.2. und 5.7.



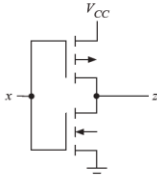
CMOS-Technologie

- heute vorherrschende Basistechnologie
- symmetrische Zusammenschaltung von n-Kanal- und p-Kanal-FETs
- extrem stromsparend
- hoch integrierbar (Kanallängen im zweistelligen Nanometerbereich)
- Taktraten im Gigahertzbereich

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

CMOS-Grundsaltungen (Aus: D.W. Hoffmann, 2014, Abb. 5.11)

■ Grundsaltung 1



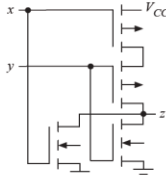
■ Positive Logik (NOT)

x	z
0	1
1	0

■ Negative Logik (NOT)

x	z
0	1
1	0

■ Grundsaltung 2



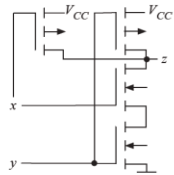
■ Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

■ Negative Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

■ Grundsaltung 3



■ Positive Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

■ Negative Logik (NOR)

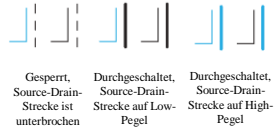
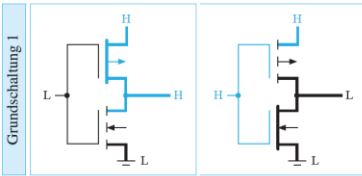
x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

CMOS-Schaltverhalten (Aus: D.W. Hoffmann, 2014, Abb. 5.12)

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

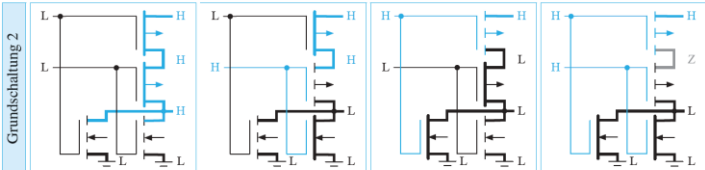
Positive Logik (NOT)

x	z
0	1
1	0



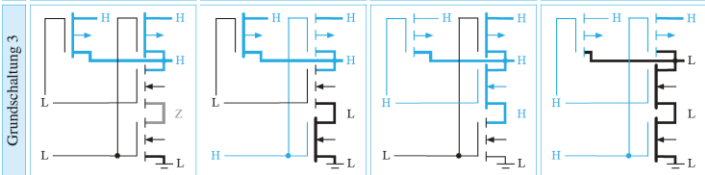
Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0



Positive Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0





Schalterlogik

Negation



Wahrheitstabelle

x	y
0	1
1	0

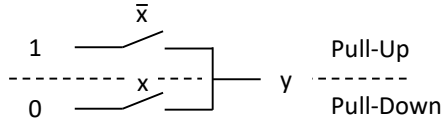


Pegel (positive Logik)

x	y
L	H
H	L

0 -> L
1 -> H

Schalterlogik



Transistorschaltung

?

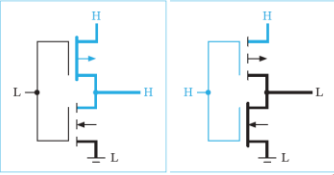
CMOS-Schaltverhalten (Aus: D.W. Hoffmann, 2014, Abb. 5.12)

- Register-Transfer
- Schaltnetze & Schaltwerke
- Getter
- Transistoren
- Halbleiter

Positive Logik (NOT)

x	z
0	1
1	0

Grundsaltung 1

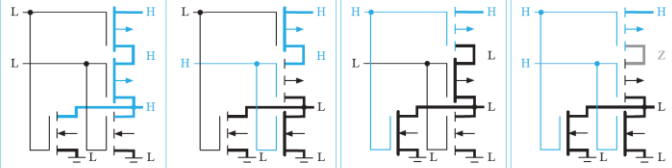


Gesperrt, Source-Drain-Strecke ist unterbrochen
 Durchgeschaltet, Source-Drain-Strecke auf Low-Pegel
 Durchgeschaltet, Source-Drain-Strecke auf High-Pegel

Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

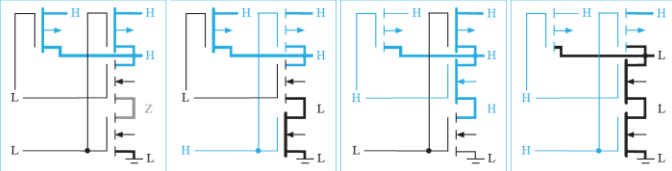
Grundsaltung 2



Positive Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

Grundsaltung 3

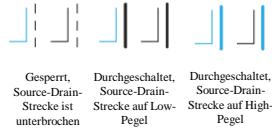
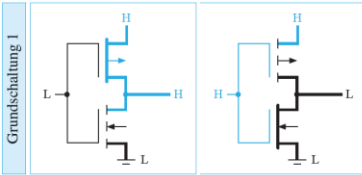


CMOS-Schaltverhalten (Aus: D.W. Hoffmann, 2014, Abb. 5.12)

- Register-Transfer
- Schaltnetze & Schaltwerke
- Getter
- Transistoren
- Halbleiter

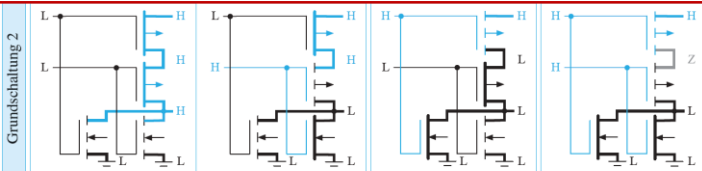
Positive Logik (NOT)

x	z
0	1
1	0



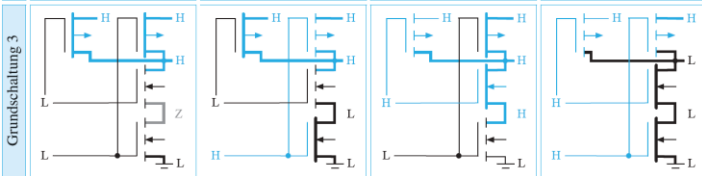
Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0



Positive Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0



Übung



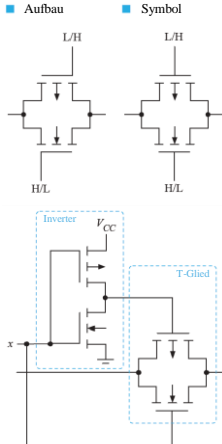
Probleme der CMOS-Technik

- Wenn Transistoren in Durchlassrichtung geschaltet sind, so hat Source-Spannung bedeutenden Einfluss auf Kanalleitfähigkeit
 - p-Kanal-MOSFET:
Wenn Source-Eingang auf Low (Masse) liegt, fällt bedeutende Spannung ab
 - n-Kanal-MOSFET:
Wenn Source-Eingang auf High (Betriebsspannung) liegt, dann fällt bedeutende Spannung ab

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

Probleme der CMOS-Technik: Abhilfe

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter



Transmissionsglied (T-Glied, T Gate)

- p-Kanal- und n-Kanal-MOSFET parallel, Gates jeweils mit inverser Spannung
- Beide Transistoren entweder gleichzeitig leitend oder gleichzeitig sperrend

T-Glied. Aus: D.W. Hoffmann, 2014, Abb. 5.13 und 5.14.



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

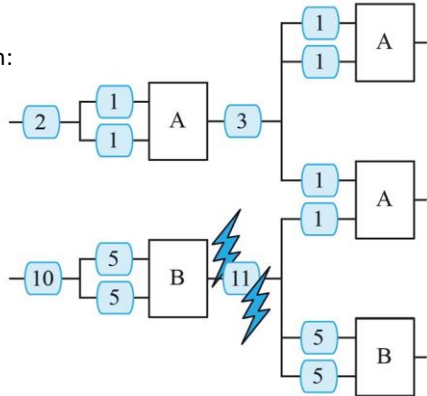
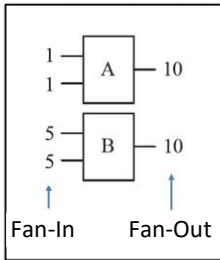
Lastfaktoren

- Kombination Boolescher Ausdrücke ohne Probleme, aber ...
- ... die Kombination von Hardware wird durch Ströme und Spannungen begrenzt, die zum ordnungsgemäßen Betrieb notwendig sind.
- Die Gattereingänge bilden Last für angeschlossene Ausgänge
 - bipolare Schaltungen: Strombelastung
 - MOSFET-Schaltungen: nur eine kapazitive Last
- Beschreibung durch Lastfaktoren (unit load), teilweise getrennt für High und Low
 - Eingangslastfaktor (Fan-In): Gibt an, wie stark das Schaltelement den Ausgang des vorangeschalteten Elementes belastet; Normalfall: $Fan-In = 1$
 - Ausgangslastfaktor (Fan-out): Gibt an, wie viele nachgeschaltete Verknüpfungsglieder maximal gespeist werden können; bei $Fan-In = 1$ $Fan-Out = \text{maximale Anzahl anschließbarer Verknüpfungsglieder}$

Lastfaktoren

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

Komponenten und ihre Lastfaktoren:



Zusammenschaltung verschiedener Schaltungselemente. Nach D.W. Hoffmann, 2014, Abb. 5.15.

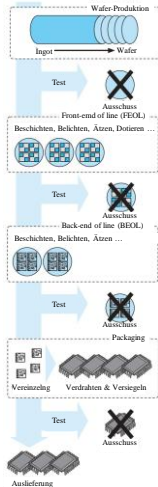


Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

1. Motivation und Einführung
2. Logik und Boolesche Algebra
3. Gatter und CMOS-Technik
 - ✓ Realisierung Logischer Operationen
 - ✓ Halbleitertechnik
 - ✓ pn-Diode
 - ✓ Transistortypen
 - ✓ Schaltkreisfamilien und MOS-Schaltungstechnik
 - Fertigung integrierter Schaltungen
4. Zahlendarstellung und Codes
5. Schaltnetze und Normalformen
6. Optimierung von Schaltnetzen
7. Standard-Schaltnetze
8. Speicherelemente und programmierbare Logik
9. Synchrone Schaltwerke
10. Register-Transfer-Entwurf und Mikroprogrammierung
11. Anwendungen Digitaler Systeme



Produktionsschritte



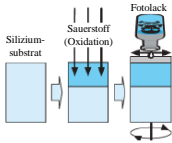
- Grundmaterial: Silizium-Einkristall (Ingot)
- Zersägen in 0.5-1.5 mm dünne Scheiben (Wafer)
- Aufbringen der Transistoren (Front-end of line, FEOL)
- Verbindung der Schaltelemente in Wiring Layers (Back-end of line, BEOL)
- Trennung der Chipkerne (Dicing) und Gehäuseeinbau (Packaging)

Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

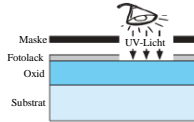
Produktionsschritte integr. Schaltungen. Aus: D.W. Hoffmann, 2014, Abb. 2.28.

Basistechnologien der Planartechnik

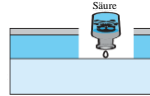
Beschichtungstechnik



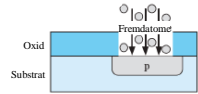
Belichtungstechnik



Ätztechnik



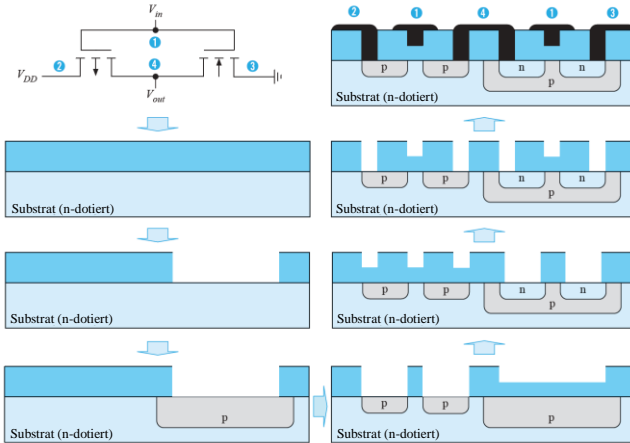
Dotierungstechnik



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

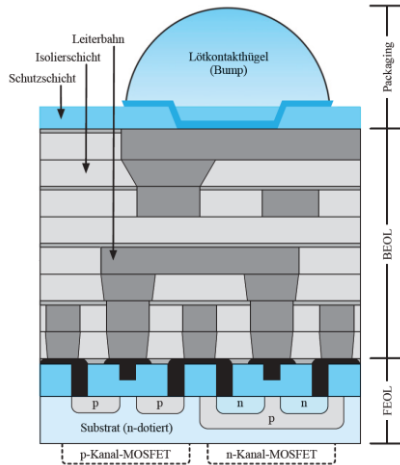
Produktionsschritte integr. Schaltungen. Aus: D.W. Hoffmann, 2014, Abb. 2.29.

- Beschichtung: Oxidation und beschichtung mit lichtempfl. Fotolack (Spin Coating)
- Belichtung (Lithografie): Unbelichtete Lackanteile werden herausgelöst
- Ätzen: Freilegen des Substrats
- Dotierung: Durch Ionenbeschuss, Dotiergas oder Dotierlack



Fertigung eines CMOS-Inverters in Planartechnik. Aus: D.W. Hoffmann, 2014, Abb. 2.30.

3.8 Fertigung Integrierter Schaltungen



Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

Querschnitt Mikrochip in Planartechnik. Aus: D.W. Hoffmann, 2014, Abb. 2.31.



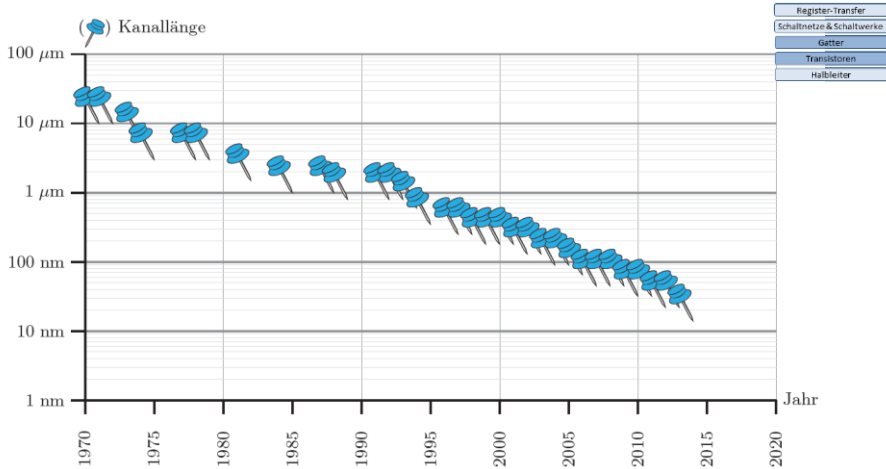
Register-Transfer
Schaltnetze & Schaltwerke
Getter
Transistoren
Halbleiter

- **Klassifikationsmerkmale von Mikroprozessoren**

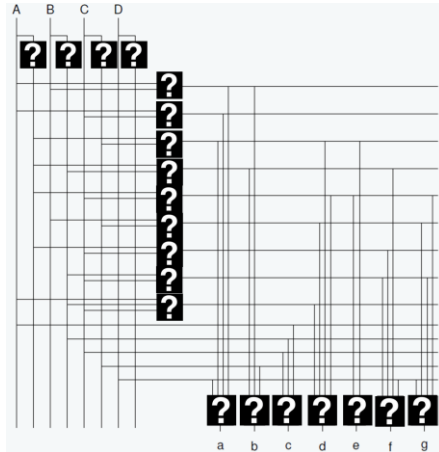
- Anzahl der Kerne
- Taktfrequenz
- Integrationsdichte

- **Integrationsdichte**

- Strukturbreite eines Transistors (Kanallänge): Abstand zwischen Drain und Source
- Verringerung der Strukturbreite führt zu
 - größerer Transistorzahl
 - höherer Schaltgeschwindigkeit
- Beispiele
 - Intel 4004: 10 μ m-Prozess
 - heute: 14 nm-Prozess (Strukturbreite Faktor 700, Fläche Faktor 500.000)



Entwicklung der Strukturbreite bei Mikroprozessoren. Aus: D.W. Hoffmann, 2014, Abb. 2.32.



- Register-Transfer
- Schaltnetze & Schaltwerke
- Getter
- Transistoren
- Halbleiter

- ☐ Wie werden logische Funktionen technisch realisiert?
- ☐ Was sind typische Logikgatter?
- ☐ Wie wird aus elektrischen Strömen diskrete Logik?
- ☐ Wie funktionieren Transistoren?

Positive Logik (NOT)

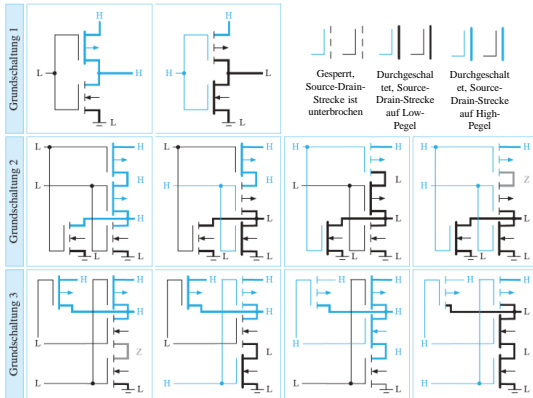
x	y
0	1
1	0

Positive Logik (NOR)

x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

Positive Logik (NAND)

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

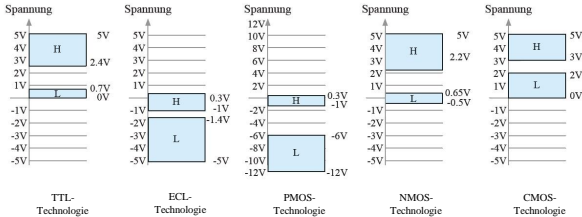


- ✓ Wie werden logische Funktionen technisch realisiert?
- ❑ Was sind typische Logikgatter?
- ❑ Wie wird aus elektrischen Strömen diskrete Logik?
- ❑ Wie funktionieren Transistoren?



Negation	Konjunktion	Disjunktion	NAND	NOR	Äquivalenz	Antivalenz
DIN 40900	DIN 40900	DIN 40900	DIN 40900	DIN 40900	DIN 40900	DIN 40900
alte Darstellung	alte Darstellung	alte Darstellung	alte Darstellung	alte Darstellung	alte Darstellung	alte Darstellung
US-Norm	US-Norm	US-Norm	US-Norm	US-Norm	US-Norm	US-Norm

- ✓ Wie werden logische Funktionen technisch realisiert?
- ✓ Was sind typische Logikgatter?
- ☐ Wie wird aus elektrischen Strömen diskrete Logik?
- ☐ Wie funktionieren Transistoren?



Pegelzustände

	x	y	z
0	L	L	L
1	L	H	L
2	H	L	L
3	H	H	H

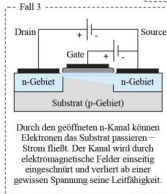
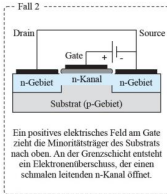
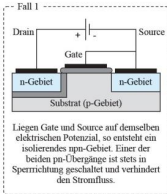
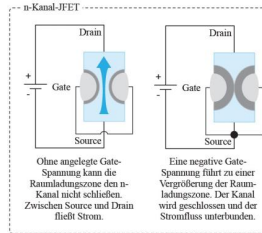
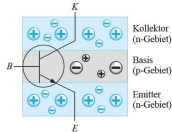
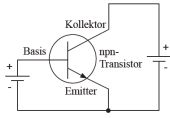
Positive Logik

	x	y	z
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Negative Logik

	x	y	z
0	1	1	1
1	1	0	1
2	0	1	1
3	0	0	0

- ✓ Wie werden logische Funktionen technisch realisiert?
- ✓ Was sind typische Logikgatter?
- ✓ Wie wird aus elektrischen Strömen diskrete Logik?
- ☐ Wie funktionieren Transistoren?



- ✓ Wie werden logische Funktionen technisch realisiert?
- ✓ Was sind typische Logikgatter?
- ✓ Wie wird aus elektrischen Strömen diskrete Logik?
- ✓ Wie funktionieren Transistoren?



<http://www.magicbluesmoke.org>