



**ТЕХНИЧЕСКИ УНИВЕРСИТЕТ – СОФИЯ**

Курсова работа

на

тема:

**„Архитектурни и схемотехнически  
характеристики на съвременните  
FPGA – чипове. Видове цифрови устройства  
и системи, имплементирани върху тях.“**

Изготвил: Николай Чобанов с факултетен номер 121214189

Проверил: доц. д-р инж. Петър Маноилов

## Съдържание:

1. Въведение. ....	3
2. Принцип на действие. ....	3
3. Основни характеристики. ....	8
4. Програмни продукти. ....	9
5. Предимства и възможности на FPGA платки на различни производители. ....	9
• Actel IGLOO Low Power Flash FPGAs .....	10
• Altera Stratix III Device Family .....	13
6. Развойни средства (китове). ....	14
7. Приложения. ....	17
8. Използвана литература. ....	17

## **1. Въведение.**

Създадените през 1984 г. програмируеми логически матрици (Field Programmable Gate Array) FPGA се считат за нов етап в развитието на цифровите интегрални схеми (ИС), тъй като връзките между елементите им не са еднозначно определяни в процеса на производство, а могат да се програмират. Това означава възможност чрез дадена FPGA да се реализират различни устройства, лесно да се променя тяхната конфигурация и съответно начин на действие в процеса на разработка и дори по време на експлоатацията. Степента на сложност и богатите възможности на съвременните FPGA реално ги превърна в системи върху чип (System on Chip, SoC), които са дотолкова сложни, че каталозите на някои от тях са огромни. Сред последните новости са процесори на основата на FPGA, наричани виртуални (Virtual Processor), които по време на работа променят схемата си в зависимост от изпълняваните задачи. Независимо от голямата сложност на FPGA те не са скъпи. Съществуват и други интегрални схеми (ИС) с подобни на FPGA свойства – комплексните програмируеми логически устройства (Complex Programmable Logic Devices, CPLD) и ИС със специфично приложение (Application Specific Integrated Circuit, ASIC), които могат да се използват заедно с FPGA и в някои случаи да ги заместват. Предимството на FPGA спрямо тях са по-бързата и евтина разработка на устройства и споменатата възможност на препрограмиране. Процесорите на основата на FPGA изпълняват множество операции няколко десетки пъти по-бързо от класическите процесори и имат постояннотокова консумация до 10% от тяхната.

В реферата се изяснява принципът на действие и основните характеристики на FPGA, дават се сведения за съвременните им разновидности и за тяхното програмиране. Накратко са разгледани развойните платки, а накрая има характерни примери за многобройните приложения.

## **2. Принцип на действие.**

Всяка FPGA съдържа голямо количество еднотипни логически клетки (Logic Cell) LC с основна структура. С LUT (от Look-Up Table) е означен  $n$ -входов логически блок, като  $n$  е 4 (по-често) или 6, а обикновено използваните означения са съответно LUT4 и LUT6. Блокът може да реализира всяка от  $2^n$ -те възможни логически функции на входните

променливи, което се осигурява чрез програмирането на FPGA. Логическото ниво на неговия изход може да бъде запомнено в D-тригера при наличие на съответното разрешение на управляващата шина C. Чрез двувходовия мултиплексор MUX на изхода OUT на клетката в зависимост от програмирането се получава текущото или запомненото ниво на LUT. Изходът CL за пренос (от Carry Logic) се използва за работата на други блокове. Всяка LC използва определен брой логически елементи (Logic Element) LE, които са не по-малко от 50-60, но начинът на свързването им обикновено е фирмена тайна. Съвкупността на определен брой клетки (обикновено 8) образува програмируем логически блок (Programmable Logic Bloc) PLB, който се приема като основен градивен възел на FPGA.

PLB не са единствените основни възли. Съществуват и други с цел получаването на повече функции при определена площ за тяхната физическа реализация. Например в серията Virtex-5 на Xilinx се използват адаптивни логически модули (Adaptive Logic Module, ALM), които са в 8 входа и освен LUT съдържат регистри, суматори и мултиплексори. Допълнително принципно предимство на използването на по-сложни основни възли е намаляване на броя на свързващите пътечки, което означава спестяване на площ и е предпоставка за повишаване на бързодействието.

Вторият тип възли са входно-изходните, всеки от които чрез програмиране осигурява желания режим на работа на своите изводи Programmable Input/Output (PIO) Pin. Така те могат да имат две или повече от следните състояния – вход, изход, изход с трето състояние, изход с отворен дрейн, изход с отворен сорс. Практически винаги броят на PIO е над 100, например в FPGA от серията AT40KAL на Atmel те са между 128 и 384. Някои FPGA са само с едно логическо ниво на PIO (например CMOS ниво в AT40KAL) или има възможност за програмирането му (8 нива в серията Stratix на Altera, между които LVCMOS и LVTTTL и 40 нива в серията Stratix III). В много FPGA е възможно комбиниране на изводи по двойки за получаване на диференциални PIO. Максималната скорост на обмен на данни по PIO в някои FPGA вече надхвърля 1 Gbps. Входните и изходните данни на PIO са в сериен вид, докато в рамките на ИС се обменят в паралелен вид. Поради това на всеки извод има преобразувател на последователен в паралелен код при работа като приемник и преобразувател на паралелен в последователен код при

работа като преподавател. Всички преобразуватели образуват специфичен възел, често наричан SERDES (от SERIALiser/DESerialiser).

Трети тип възли са паметите, които по принцип са повече от една, а видът, обемът и организацията им зависят от конкретната FPGA. Практически задължителни са паметите с произволен достъп (RAM) с аналогично предназначение както в компютрите, но с възможност за осъществяване на запис по време на програмирането. В някои FPGA част от паметта е разпределена (Distributed RAM) на различни места от подложката на ИС, а други съдържат и независими от останалите им възли статични памети SRAM, които разширяват приложенията. Пример за последното са паметите FreeRAM в серията AT40KAL с обем между 2 Kbit и 18 Kbit. Когато FPGA е предназначена за еднократно конфигуриране в процеса на създаване на устройството, в нея може да има памети със запазване на съдържанието при изключване на захранването (Non-Volatile Configuration Memory) NVCM, където се съхранява необходимата програма за работа. Реално това са най-евтините FPGA за сметка на невъзможността от препрограмиране.

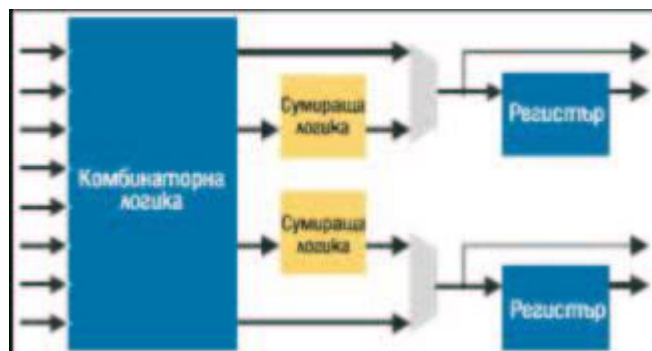
Въвеждането на данните за програмиране се прави посредством специален блок, работещ в съответствие с някой от стандартните серийни интерфейси. Самото програмиране означава осъществяване на необходимите връзки между блоковете, което се прави чрез многобройните шини в FPGA и ключовете към тях. Обикновено всички шини са с еднакъв брой разреди.

Програмирането, освен чрез възела SPI посредством серийния интерфейс със същото име, може да се извършва и чрез 5-проводния интерфейс JTAG. Матрицата съдържа 440 възела PLB, 4 групи с по 44 PIO (всяка с независимо постояннотоково захранване), като 20 от тях може да са диференциални с логически нива LVDS и 20 възела RAM, всеки с организация 256x16 bit.

Както при всяка сложна цифрова схема, така и за нормалната работа на FPGA са необходими тактови импулси с много стабилни параметри. За целта на специални изводи се подават импулси от много стабилен външен генератор, границите на чиято честота (Input Frequency) IF са дадени в каталога. Например в споменатата серия Virtex-5 те са от 1 до 715 MHz. Чрез специален блок в FPGA, съдържащ схеми с фазова донастройка на честотата (PLL) или подобни на тях се създава група от

импулси (обикновено между 8 и 48) за различните възли, предавани по специална тактова шина. Все повече са FPGA с две части на шината – за импулси с висока честота, използвани при необходимост от голямо бързодействие и за импулси с ниска честота за работа на FPGA в режим на малка постояннотокова консумация. Например при използване на последните във FPGA, тя консумира ток до 25 mA при честота до 32 768 Hz.

Нараства броят на FPGA с вградени цифрови сигнални процесори (DSP), необходими в приложения като обработка на изображения, мултимедийни устройства, IP телефония и много други. Пример е серията Stratix на Altera, в различните FPGA на която DSP са между 6 и 22, а структурата на всеки от тях е на фиг. 1. Чрез програмиране може да се използва желана група или групи от регистри, а умножителите могат да се конфигурират като 9x9bit, 18x18bit и 36x36bit заедно със съответстващата разредност на събираните и изважданите числа в 52-разредните акумулатори. За увеличаване на бързодействието последните позволяват по време на всеки тактов импулс да се извършват до 4 действия. Тактовата честота на DSP е 333 MHz и всеки от тях може да извършва 2,7.10<sup>9</sup> операции в секунда, което съчетано със значителния им брой позволява обработка до 10 пъти повече данни в сравнение с най-добрите съвременни ИС на DSP.



Фиг. 1

Даденото дотук кратко описание на принципа на действие на FPGA показва, че те представляват сложна и с много възможности система, която може да бъде един от най-важните блокове на различни устройства. Сигурността на данните в последните е пряко свързана с тази в самата FPGA. Това е причината все повече FPGA да се произвеждат със записан в тях ключ под формата на двоично число (в серията Stratix III то е 128-разредно) и да се използва популярното AES кодиране. Чрез

програмния продукт към FPGA се конфигурира външна ИС, през която постъпват кодираните данни и се декодират в самата FPGA.

В много приложения на FPGA се налага обменът на данни да се извършва по някаква жична мрежа в съответствие с нейния протокол. За улеснение на това съществуват FPGA с вградени блокове на приемопредаватели, чийто брой достига няколко десетки. Обикновено те могат да работят в пълен дуплексен режим с максимална скорост от няколко стотици Mbps до десетина Gbps. Същевременно използват различни протоколи за сериен обмен, най-популярните от които са двете поколения (Gen1 и Gen2) на PCI Express, Gigabit Ethernet, Serial RapidIO и SONET/SDH.

Както е добре известно, при обмен на данни между устройствата техните съпротивления трябва да са съгласувани с това на линията, което е особено важно при големи скорости. За улеснение в някои FPGA са вградени резистори като товар, а понякога (например в серията Stratix IV на Altera) дори има програмируема предварителна обработка на предаваните данни (pre-emphasis) и програмируем еквалайзер на приемника, с което се компенсират честотно зависимите загуби по комуникационния канал.

Големият брой сложни възли в FPGA е сериозна предпоставка за значителна постояннотокова консумация и затова непрекъснато се търсят начини за намаляването ѝ. Един от ефективните е след програмирането неизползваните блокове да се поставят в режим на минимална консумация. Например това е направено в серията Stratix III чрез т. нар. Programmable Power Technology. При нея по време на програмирането автоматично се установява необходимото захранващо напрежение на блоковете. Неизползваните реално се изключват, работещите с малка тактова честота се захранват с по-малко напрежение, а само на тези с висока честота се подава достатъчно голямо напрежение. Друг начин е технологията Flash\*Freeze в серията IGLOO на Actel, която позволява изключване на неработеща FPGA чрез управляващ сигнал на специален неин вход, при което данните в паметите се запазват, а постояннотоковата консумация е между 5 и 53 mW. Възстановяване на работата става за 1 ms след подаване на друг управляващ сигнал.

При серията Stratix IVGX разположението на възлите върху полупроводниковата пластина на ИС е следното: в средата са всички PLB,

DSP, паметите и основните схеми за тактови импулси, а по периферията са разположени PIO, необходимите за работата им PLL схеми и осемте блока Transceiver Block, всеки с по 4 приемопредавателя.

### **3. Основни характеристики.**

Функционирането на FPGA като система се определя от нейните характеристики, докато смисълът на параметрите е както на всички други видове ИС. Представа за сложността на FPGA се добива от броя на еквивалентните LE, наричани обикновено System Gates (SG), но едновременно с тях обикновено се дава и броят на LC. Възможностите за връзка на FPGA с други устройства се оценяват чрез броя на PIO и максималната скорост на обменяните по тях данни. Също характеристики представляват броят на вградените блокове за работа с интерфейси, видът на вградените памети и техният обем. Организацията на паметите често не е фиксирана, а може да се променя при програмирането. Например в серията IGLOO на Actel тя може да е x1b, x2b, x4b, x9b и x18b. Същото се отнася и за вгражданите в някои FPGA памети тип FIFO, които най-често се използват като буфери. Основните характеристики на DSP, които също не са задължителни възли, са разредността на умножаваните в тях числа (обикновено с 3 до 5 програмируеми стойности) и максималната работна честота.

Освен тези основни характеристики, всяка серия FPGA има и множество други специфични характеристики. Всички те са основният критерий при избор на FPGA за реализация на конкретно устройство. За избора съществено значение имат електрическите, топлинните и механичните параметри на FPGA, сред най-съществените от които са захранващите напрежения (обикновено те са от 2 до 6) и консумираният постоянен ток, който нараства с увеличаване на работната честота подобно на другите CMOS цифрови ИС. Като параметри се дават и логическите нива на всички изводи за данни и тези за програмиране, както и продължителностите на фронтовете на импулсите на тях. Сред основните електрически параметри са и допустимите граници на честотата IF. При сравнително сложните FPGA обемът на данните за електрическите параметри в каталога може да надхвърли 50 страници.

В типа на механичните параметри на FPGA няма никакви особености в сравнение с другите цифрови ИС. Съществено е да се има предвид



много големият брой изводи, вече достигащ до 1900. Когато FPGA трябва да има до около 300 извода се използват корпуси, в които те са по четирите им страни, например типове CS, QFN и VQFP. При повече е почти задължително използването на корпуси със сачмени изводи (BGA), включително разновидността с малко разстояние между тях (FBGA). Реално обаче използването на BGA започва от 144 извода.

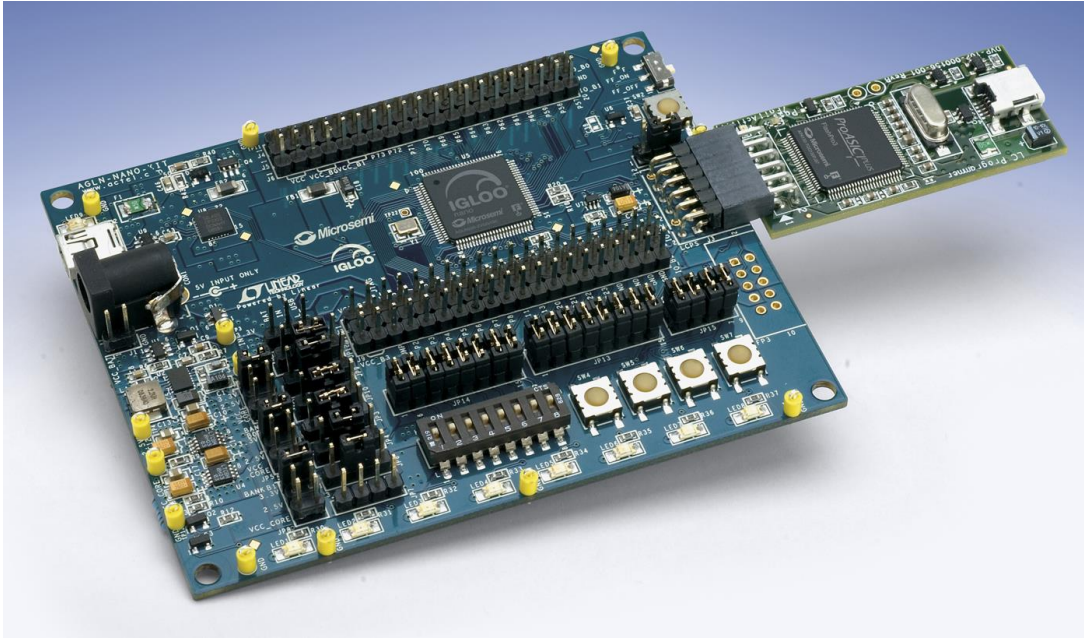
Работният температурен обхват на FPGA е аналогичен на този на другите цифрови ИС, като най-често използвани са обхватът за битови апаратури (температура на околния въздух 0-70°C) и индустриалният (от -40 до +85°C).

#### **4. Програмни продукти.**

Всеки производител на FPGA предлага към тях безплатен продукт, позволяващ пълноценното им използване за реализация на устройства с желана конфигурация. Същевременно съществуват езици за хардуерно описание (Hardware Description Language, HDL), предназначени за симулиране на всякакви електронни схеми, които могат да се използват и за FPGA. Опитът е показал, че от тях най-подходящи за FPGA са JHDL, VHDL и Verilog. И трите се предлагат от много производители на FPGA за постоянно или едногодишно безплатно ползване. Освен тях специализирани фирми също предлагат програмни продукти, например PICO Express на Synfora.

#### **5. Предимства и възможности на FPGA платки на различни производители.**

В тази точка от реферата са засегнати основни характеристики на FPGA устройства на различни производители. При изготвянето на даден продукт конструкция има нужда от конкретни характеристики, които да гарантират добрата работа на крайният продукт и също така е склонен да направи определени компромиси с други не толкова важни за продукта характеристики с цел крайният продукт да е на конкурентна цена. Изброените предимства и възможности са свалени от листовите данни на едни от най-големите производители на FPGA и са представени в оригинален вид, тъй като в електрониката английският език е отвърден и постоянно използван, характеристиките са представени на английски.



Фиг. 2 – Actel IGLOO nano Starter Kit

## • Actel IGLOO Low Power Flash FPGAs - Features and Benefits:

### Low Power

- 1.2 V to 1.5 V Core Voltage Support for Low Power
- Supports Single-Voltage System Operation
- 5  $\mu$ W Power Consumption in Flash\*Freeze Mode
- Low Power Active FPGA Operation
- Flash\*Freeze Technology Enables Ultra-Low Power Consumption while Maintaining FPGA Content
- Easy Entry to / Exit from Ultra-Low Power Flash\*Freeze Mode

### High Capacity

- 15K to 1 Million System Gates
- Up to 144 Kbits of True Dual-Port SRAM
- Up to 300 User I/Os

### Reprogrammable Flash Technology

- 130-nm, 7-Layer Metal, Flash-Based CMOS Process
- Instant On Level 0 Support
- Single-Chip Solution

- Retains Programmed Design When Powered Off
- 250 MHz (1.5 V systems) and 160 MHz (1.2 V systems) System Performance

### **In-System Programming (ISP) and Security**

- ISP Using On-Chip 128-Bit Advanced Encryption Standard (AES) Decryption (except ARM®-enabled IGLOO® devices) via JTAG (IEEE 1532-compliant)
- FlashLock® Designed to Secure FPGA Contents High-Performance Routing Hierarchy
- Segmented, Hierarchical Routing and Clock Structure

### **Advanced I/O**

- 700 Mbps DDR, LVDS-Capable I/Os (AGL250 and above)
- 1.2 V, 1.5 V, 1.8 V, 2.5 V, and 3.3 V Mixed-Voltage Operation
- Bank-Selectable I/O Voltages—up to 4 Banks per Chip
- Single-Ended I/O Standards: LVTTTL, LVCMOS 3.3 V / 2.5 V / 1.8 V / 1.5 V / 1.2 V, 3.3 V PCI / 3.3 V PCI-X†, and LVCMOS 2.5 V / 5.0 V Input
- Differential I/O Standards: LVPECL, LVDS, B-LVDS, and MLVDS (AGL250 and above)
- Wide Range Power Supply Voltage Support per JESD8-B, Allowing I/Os to Operate from 2.7 V to 3.6 V
- Wide Range Power Supply Voltage Support per JESD8-12, Allowing I/Os to Operate from 1.14 V to 1.575 V
- I/O Registers on Input, Output, and Enable Paths
- Hot-Swappable and Cold-Sparing I/Os
- Programmable Output Slew Rate† and Drive Strength
- Weak Pull-Up/-Down
- IEEE 1149.1 (JTAG) Boundary Scan Test
- Pin-Compatible Packages across the IGLOO Family

### **Clock Conditioning Circuit (CCC) and PLL**

- Six CCC Blocks, One with an Integrated PLL
- Configurable Phase Shift, Multiply/Divide, Delay Capabilities, and External Feedback

- Wide Input Frequency Range (1.5 MHz up to 250 MHz)

### Embedded Memory

- 1 kbit of FlashROM User Nonvolatile Memory
- SRAMs and FIFOs with Variable-Aspect-Ratio 4,608-Bit† RAM Blocks (×1, ×2, ×4, ×9, and ×18 organizations)
- True Dual-Port SRAM (except ×18)

### ARM Processor Support in IGLOO FPGAs

- M1 IGLOO Devices—Cortex®-M1 Soft Processor Available with or without Debug

IGLOO Devices	AGL015 <sup>1</sup>	AGL030	AGL060	AGL125	AGL250	AGL400	AGL600	AGL1000
ARM-Enabled IGLOO Devices <sup>2</sup>					<b>M1AGL250</b>		<b>M1AGL600</b>	<b>M1AGL1000</b>
System Gates	15,000	30,000	60,000	125,000	250,000	400,000	600,000	1,000,000
Typical Equivalent Macrocells	128	256	512	1,024	2,048	–	–	–
VersaTiles (D-flip-flops)	384	768	1,536	3,072	6,144	9,216	13,824	24,576
Flash*Freeze Mode (typical, µW)	5	5	10	16	24	32	36	53
RAM kbits (1,024 bits)	–	–	18	36	36	54	108	144
4,608-Bit Blocks	–	–	4	8	8	12	24	32
FlashROM Kbits (1,024 bits)	1	1	1	1	1	1	1	1
AES-Protected ISP <sup>2</sup>	–	–	Yes	Yes	Yes	Yes	Yes	Yes
Integrated PLL in CCCs <sup>3</sup>	–	–	1	1	1	1	1	1
VersaNet Globals <sup>4</sup>	6	6	18	18	18	18	18	18
I/O Banks	2	2	2	2	4	4	4	4
Maximum User I/Os	49	81	96	133	143	194	235	300
Package Pins								
UC/CS		UC81, CS81	CS121 <sup>3</sup>	CS196	CS196 <sup>5</sup>	CS196	CS281	CS281
QFN	QN68	QN48, QN68, QN132 <sup>6</sup>	QN132 <sup>6</sup>	QN132 <sup>6</sup>	QN132 <sup>6</sup>			
VQFP		VQ100	VQ100	VQ100	VQ100			
FBGA				FG144	FG144	FG144, FG256, FG484	FG144, FG256, FG484	FG144, FG256, FG484

Таблица 1 – спецификации на Actel IGLOO устройства.

- **Altera Stratix III Device Family - Stratix III devices offer the following features:**

- 48,000 to 338,000 equivalent logic elements (LEs)
- 2,430 to 20,497 Kbits of enhanced TriMatrix memory consisting of three RAM block sizes to implement true dual-port memory and FIFO buffers
- High-speed DSP blocks provide dedicated implementation of 9×9, 12×12, 18×18, and 36×36 multipliers (at up to 550 MHz), multiply-accumulate functions, and finite impulse response (FIR) filters
- I/O:GND:PWR ratio of 8:1:1 along with on-die and on-package decoupling for robust signal integrity
- Programmable Power Technology, which minimizes power while maximizing device performance
- Selectable Core Voltage, available in low-voltage devices (L ordering code suffix), enables selection of lowest power or highest performance operation
- Up to 16 global clocks, 88 regional clocks, and 116 peripheral clocks per device
- Up to 12 phase-locked loops (PLLs) per device that support PLL reconfiguration, clock switchover, programmable bandwidth, clock synthesis, and dynamic phase shifting
- Memory interface support with dedicated DQS logic on all I/O banks
- Support for high-speed external memory interfaces including DDR, DDR2, DDR3 SDRAM, RLDRAM II, QDR II, and QDR II+ SRAM on up to 24 modular I/O banks
- Up to 1,104 user I/O pins arranged in 24 modular I/O banks that support a wide range of industry I/O standards
- Dynamic On-Chip Termination (OCT) with auto calibration support on all I/O banks
- High-speed differential I/O support with serializer / deserializer (SERDES) and dynamic phase alignment (DPA) circuitry for 1.6 Gbps performance
- Support for high-speed networking and communications bus standards including SPI-4.2, SFI-4, SGMII, Utopia IV, 10 Gigabit Ethernet XSBI, Rapid I/O, and NPSI

- The only high-density, high-performance FPGA with support for 256-bit AES volatile and non-volatile security key to protect designs
- Robust on-chip hot socketing and power sequencing support
- Integrated cyclical redundancy check (CRC) for configuration memory error detection with critical error determination for high availability systems support
- Built-in error correction coding (ECC) circuitry to detect and correct data errors in M144K TriMatrix memory blocks
- Nios® II embedded processor support
- Support for multiple intellectual property megafunctions from Altera® MegaCore® functions and Altera Megafunction Partners Program (AMPPSM)

	Device/ Feature	ALMs	LEs	M9K Blocks	M144K Blocks	MLAB Blocks	Total Embedded RAM Kbits	MLAB RAM Kbits (1)	Total RAM Kbits(2)	18×18-bit Multipliers (FIR Mode)	PLLs (3)
<b>Stratix III Logic Family</b>	EP3SL50	19K	47.5K	108	6	950	1,836	297	2,133	216	4
	EP3SL70	27K	67.5K	150	6	1,350	2,214	422	2,636	288	4
	EP3SL110	43K	107.5K	275	12	2,150	4,203	672	4,875	288	8
	EP3SL150	57K	142.5K	355	16	2,850	5,499	891	6,390	384	8
	EP3SL200	80K	200K	468	36	4,000	9,396	1,250	10,646	576	12
	EP3SL340	135K	337.5K	1,040	48	6,750	16,272	2,109	18,381	576	12
<b>Stratix III Enhanced Family</b>	EP3SE50	19K	47.5K	400	12	950	5,328	297	5,625	384	4
	EP3SE80	32K	80K	495	12	1,600	6,183	500	6,683	672	8
	EP3SE110	43K	107.5K	639	16	2,150	8,055	672	8,727	896	8
	EP3SE260	102K	255K	864	48	5,100	14,688	1,594	16,282	768	12

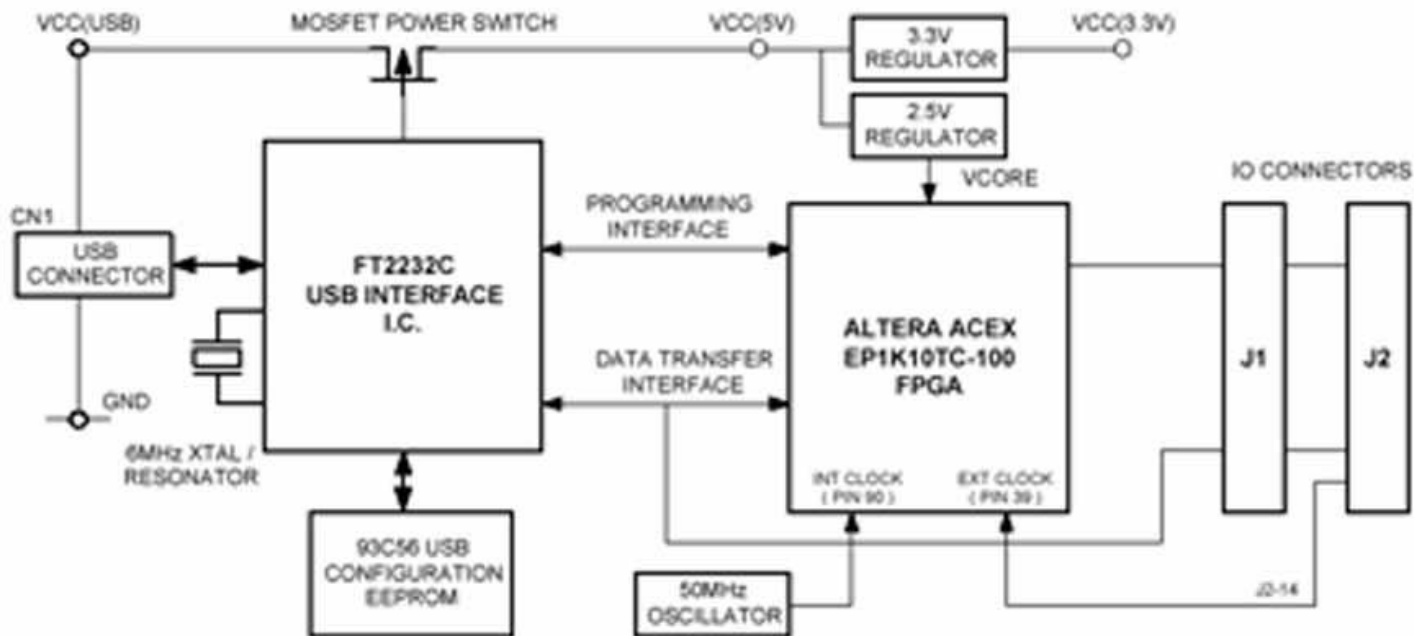
Таблица 2 – спецификации на Altera Stratix III Device Family

## 6. Развойни средства (китове).

Независимо от различните наименования (Development Kit, Evaluation Kit, Development Board, Evaluation Board, Evaluation Platform) основната им цел е запознаване с възможностите на използваната в тях FPGA. Значителна част от китовете, обикновено наричани FPGA Module, са оформени конструктивно така, че след подходящо програмиране да

могат да се вграждат в устройства. Като правило китовете са за конкретна FPGA или серия от FPGA и са придружени от подробно документация на хартия или CD, в която се описва структурата им, свързването към други устройства и начина на програмиране на FPGA. В много случаи документацията е оформена подобно на учебник, за да може китът да се използва и като средство за обучение. Китовете се предлагат както от производителите на FPGA, така и от специализирани фирми. За изясняване на структурата и действието на китовете на фиг. 3 е дадена опростената блокова схема на MORPH-IC на Future Technology Devices Int., предназначен за FPGA на Altera. Захранването му е с външно напрежение +5 V, постъпващо на USB порта (USB Connector), което чрез единия от вградените стабилизатори се превръща в необходимото +2,5 V за работа на FPGA. Втори стабилизатор осигурява +3,3 V и ток до 250 mA през 40-изводните куплунзи J1 и J2 за външни устройства. Програмирането на FPGA се извършва през USB порта посредством управляващата ИС FT2232C, за чието действие се използва програма, записана в паметта EEPROM по време на производството на кита. Времето за програмиране не надхвърля 200 ms. Протоколът за обмен на данни между FT2232C и FPGA изисква 6-разредна шина между двете ИС, а самите данни използват 8-разредна шина със скорост до 1 Mbps. Самият кит се свързва към компютър, като за целта към кита има CD с драйвери за Windows. Втори CD съдържа продукта за програмиране на FPGA. Освен чрез USB порта, програмирането може да се извършва и през J1 и J2. Почти задължителен за всички китове е MOS ключът MOSFET POWER SWITCH, чрез който управляващата ИС прекъсва захранването на FPGA, когато китът не се използва.





Фиг. 3

Съществуват китове с две FPGA и още повече възможности. Пример е 2-FPGA-Board на Gleichmann Electronics Research с FPGA на Altera (фиг. 4). Връзката му с външни устройства се извършва през 64 диференциални I/O със скорост 1 Cbps на всеки от тях, а нормалните условия на работа се осигуряват от вентилатор с автоматично регулируеми обороти в зависимост от температурата.



Фиг. 4



## 7. Приложения.

Универсалната структура на FPGA определя многобройни приложения, които обикновено се характеризират със значително по-малка постояннотокова консумация и по-малки размери. Една от областите на приложение е управлението на течнокристални дисплеи, например реализацията на контролери и регулиране на задното осветление. Друга голяма област е обработката на изображения, например компресиране и декомпресиране и изпълняване на функциите на DSP в индустриални, телевизионни и медицински апаратури, например корекция на изображенията от видеокамери. Също замяна на DSP може да се постигне в базовите станции на безжични мрежи. Друго приложение в изграждането на комуникационни мрежи, чрез FPGA се реализира предаване с голяма скорост на данни от процесор с паралелен изход по локална мрежа. Големият обем и гъвкавата структура на паметта на много FPGA позволява използването им в най-различни цифрови устройства. Работата на микропроцесорите също може да се ускори с помощта на FPGA. Характерен пример е серията модули XD2000i на фирмата Xtreme Data, които съдържат три FPGA от серия Stratix III и са предназначени за работа със сървъри, базирани на процесора Xeon. Ускоряването на изчисленията е между 4 и 16 пъти в зависимост от използвания алгоритъм, а основните приложения се очаква да бъдат в сферата на научните изследвания и финансите.

## 8. Използвана литература.

- Уикипедия, свободната енциклопедия - <https://bg.wikipedia.org/wiki/FPGA>
- Wikipedia, the free encyclopedia - [https://en.wikipedia.org/wiki/Field-programmable\\_gate\\_array](https://en.wikipedia.org/wiki/Field-programmable_gate_array)
- WikiBooks, Open books for an open world - [https://en.wikibooks.org/wiki/Programmable\\_Logic/FPGAs](https://en.wikibooks.org/wiki/Programmable_Logic/FPGAs)
- Списание Инженеринг ревю - брой 6, 2008
- Altera official site - <https://www.altera.com/products/fpga/cyclone-series/cyclone-iii/features.html>

- Altera FPGA specification - [https://www.altera.com/en\\_US/pdfs/literature/hb/stx3/stx3\\_siii51001.pdf](https://www.altera.com/en_US/pdfs/literature/hb/stx3/stx3_siii51001.pdf)
- Indes embedded products - <http://www.indes.com/embedded/files/producten/images/370/HMX2AS2.jpg>
- Microsemi hardware products - [https://www.microsemi.com/images/soc/products/hardware/IGLOOnanoKitBoard\\_LCPS\\_lg.jpg](https://www.microsemi.com/images/soc/products/hardware/IGLOOnanoKitBoard_LCPS_lg.jpg)
- Microsemi document portal - [https://www.microsemi.com/document-portal/doc\\_view/130694-ds0095-igloo-low-power-flash-fpgas-datasheet](https://www.microsemi.com/document-portal/doc_view/130694-ds0095-igloo-low-power-flash-fpgas-datasheet)
- [https://m.eet.com/media/1082328/MORPH\\_block.jpg](https://m.eet.com/media/1082328/MORPH_block.jpg)
- Алтера пълни спецификации - [https://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/hb/stratix-iv/stx4\\_5v1.pdf](https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/stratix-iv/stx4_5v1.pdf)
- Moodle система ТУ – София. Лекции по СПрЛ, автор доц. П. Маноилов.
- Moodle система ТУ – София. Упражнения по СПрЛ, автор доц. П. Маноилов.
- Moodle система ТУ – София. Лекции по Цифрова схемотехника, автор доц. В. Моллов.
- Moodle система ТУ – София. Упражнения по Цифрова схемотехника, автор доц. В. Моллов.