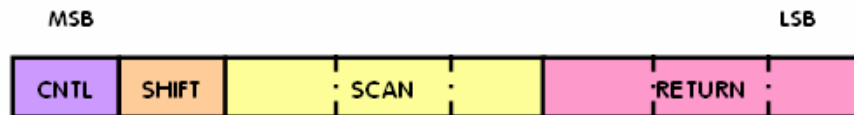


Khi có phím bị nhấn, IC 8279 sẽ tự động chống dội sau 10,3 ms và kiểm tra lại một lần nữa để xem phím đó có bị nhấn hay không, nếu còn thì IC 8279 sẽ thiết lập mã cho phím này và lưu trữ mã của phím vào bộ nhớ RAM bên trong. Sau đó sẽ báo cho vi xử lý biết đã có một phím tác động và yêu cầu vi xử lý nhận mã của phím này bằng cách tác động đến tín hiệu ngắt IRQ. Tín hiệu IRQ được kết nối đến một ngõ vào ngắt của vi xử lý và chương trình phục vụ cho ngắt này là chương trình ngắt phím. Nhiệm vụ của vi xử lý là đọc mã của phím bị nhấn vào để xử lý và Reset ngắt của IC 8279 để chuẩn bị cho phím tiếp theo.

Khung mã dữ liệu của phím bị nhấn như hình 6-39:



Hình 6-39. Cấu trúc mã phím của IC 8279.

Giải thích khung mã phím: IC 8279 tạo ra một ma trận phím $8 \times 8 = 64$ phím và 2 phím hoạt động độc lập là CNTL và SHIFT kết nối với 2 ngõ vào của IC 8279.

Tổ hợp 8×8 bao gồm 8 đường RL[7:0] và 3 đường SL[2:0] (đường SL3 chỉ phục vụ quét hiển thị) sau khi qua mạch giải mã 3 sang 8 sẽ được 8 đường.

Nếu không sử dụng phím tổ hợp thì 2 ngõ vào CNTL và SHIFT của IC 8279 phải nối mass (0V) – khi đó 2 bit CNTL và SHIFT trong khung mã phím sẽ bằng 0.

Khi nhấn 1 phím thì IC 8279 sẽ biết được phím nhấn tương ứng với trạng thái quét nào của 3 bit SL[2:0] và chính là 3 bit “SCAN”, phím nhấn trên sẽ làm thay đổi trạng thái 1 trong 8 đường RL qua mã hoá 8 sang 3 sẽ tạo ra mã nhị phân 3 bit chính là 3 bit “RETURN” trong khung mã dữ liệu.

Nếu không dùng phím CNTL và SHIFT thì tổ hợp 6 bit sẽ tương ứng với 64 phím khác nhau tương ứng với số hex [00:3F], khi nhấn thêm phím tổ hợp gồm phím SHIFT và 1 trong 64 phím thì sẽ có 64 mã khác tương ứng với số hex [40:7F], khi nhấn thêm phím tổ hợp gồm phím CNTL và 1 trong 64 phím thì sẽ có 64 mã khác tương ứng với số hex [80:BF], cuối cùng khi nhấn thêm phím tổ hợp gồm phím CNTL + SHIFT và 1 trong 64 phím thì sẽ có 64 mã khác tương ứng với số hex [C0:FF]. Vậy tổng cộng có tất cả 256 tổ hợp phím.

III. THIẾT KẾ HỆ THỐNG VI XỬ LÝ:

Một mình vi xử lý không thể hoạt động được mà phải kết hợp với bộ nhớ ROM, RAM để lưu trữ chương trình và dữ liệu, phải kết hợp với IC ngoại vi để giao tiếp xuất nhập tín hiệu điều khiển – gọi là hệ thống vi xử lý hay kit vi xử lý hay hệ thống điều khiển vi xử lý.

Trong phần này trình bày cách thiết kế một hệ thống điều khiển dùng vi xử lý thông qua các yêu cầu điều khiển.

1. Bài thiết kế số 1

Yêu cầu: “Hãy thiết kế 1 hệ thống dùng vi xử lý 8 bit 8085A giao tiếp với 2 loại bộ nhớ có dung lượng 8Kbyte EPROM và 8 Kbyte RAM. Giao tiếp với 2 IC ngoại vi 8255A và 1 IC 8279 để điều khiển hiển thị 8 led 7 đoạn và ma trận bàn phím gồm 24 phím”.

Phân tích yêu cầu

Hệ thống sử dụng vi xử lý 8085A có 16 đường địa chỉ nên có thể giao tiếp với 64Kbyte bộ nhớ. Trong hệ thống này chỉ sử dụng 16Kbyte là đáp ứng được.

Do vi xử lý 8085A khi reset thì địa chỉ thanh ghi PC = 0000H nên bộ nhớ EPROM luôn được thiết kế bắt đầu tại địa chỉ 0000H.

Vi xử lý 8085A cho phép giao tiếp với IC ngoại vi thông qua 8 bit địa chỉ thấp và đường điều khiển IO/M nên có thể giao tiếp với 256 ô nhớ ngoại vi IO.

Chọn linh kiện

Sau khi phân tích xong ta chọn loại bộ nhớ EPROM loại 2764 có dung lượng 8Kbyte và Ram 6264 có dung lượng 8Kbyte.

Thiết kế giải mã địa chỉ :

Tổng IC giao tiếp với vi xử lý là 5 IC gồm 2 IC nhớ và 3 IC ngoại vi. Do điều kiện bài thiết kế không bắt buộc nên ta có thể thiết kế giải mã như sau:

Lập bảng đồ nhớ của vi xử lý như sau:

TB	NHỊ PHÂN																HEX
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
EPROM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000
2764	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF
RAM	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000
6264	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF

Bảng 6-22. Bảng đồ bộ nhớ.

Trong bảng đồ nhớ bắt đầu là IC nhớ 2764 có 13 đường địa chỉ A[12:0] nên trong bảng đồ địa chỉ của vi xử lý thì ô nhớ có địa chỉ bắt đầu tương ứng với 13 đường địa chỉ A[12:0] đều bằng 0. Ô nhớ cuối cùng có địa chỉ tương ứng với 13 đường địa chỉ A[12:0] đều bằng 1. Địa chỉ tính theo số hex của 8Kbyte EPROM là [0000:1FFF].

Tiếp theo là bộ nhớ RAM 6264 cũng có 13 đường địa chỉ A[12:0] nên trong bảng đồ địa chỉ của vi xử lý thì ô nhớ có địa chỉ bắt đầu tương ứng với 13 đường địa chỉ A[12:0] đều bằng 0. Ô nhớ cuối cùng có địa chỉ tương ứng với 13 đường địa chỉ A[12:0] đều bằng 1. Để phân biệt 2 bộ nhớ này độc lập với nhau thì phải dùng các đường địa chỉ còn lại từ A[13:15]. Trong bài này tác giả sử dụng đường địa chỉ A13 bằng cách cho A13 = 1 đối với bộ nhớ RAM. Địa chỉ tính theo số hex của 8Kbyte RAM là [2000:3FFF].

Với yêu cầu này thì ta dùng đường địa chỉ A13 để điều khiển chip select phân biệt 2 IC nhớ.

Lập bảng đồ IO của vi xử lý như sau:

TB	NHỊ PHÂN								HEX
	A7	A6	A5	A4	A3	A2	A1	A0	
8255A	0	0	0	0	0	0	0	0	00
1	0	0	0	0	0	0	1	1	03
8255A	0	0	0	0	0	1	0	0	04
2	0	0	0	0	0	1	1	1	07

8279	0	0	0	0	1	0	0	0	08
3	0	0	0	0	1	0	0	1	09

Bảng 6-23. Bảng đồ IO.

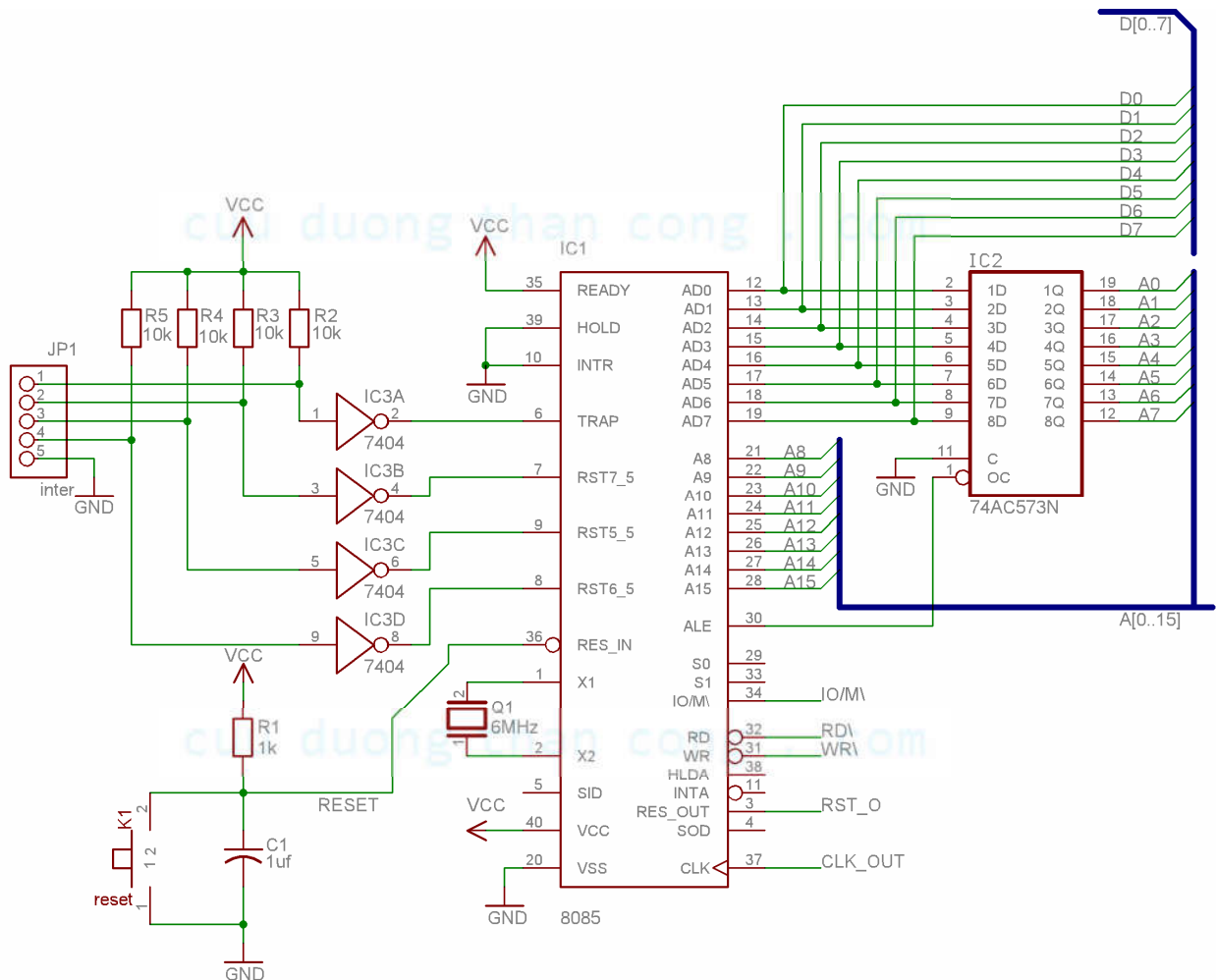
Trong bảng đồ nhớ bắt đầu là IC nhớ 8255A thứ 1, mỗi IC 8255 có 2 đường địa chỉ nên ô nhớ có địa chỉ bắt đầu tương ứng với 2 đường địa chỉ A[1:0] đều bằng 0. Ô nhớ cuối cùng có địa chỉ tương ứng với 2 đường địa chỉ A[1:0] đều bằng 1. Địa chỉ tính theo số hex của 8255A-1 là [00:03].

Tiếp theo là IC 8255A thứ 2, ô nhớ có địa chỉ bắt đầu tương ứng với 2 đường địa chỉ A[1:0] đều bằng 0. Ô nhớ cuối cùng có địa chỉ tương ứng với 2 đường địa chỉ A[1:0] đều bằng 1. Địa chỉ tính theo số hex của 8255A-2 là [04:07].

Tiếp theo là IC 8279 thứ 3, ô nhớ có địa chỉ bắt đầu tương ứng với 1 đường địa chỉ A[0] bằng 0. Ô nhớ cuối cùng có địa chỉ tương ứng với 1 đường địa chỉ A[0] bằng 1. Địa chỉ tính theo số hex của 8279-32 là [08:09].

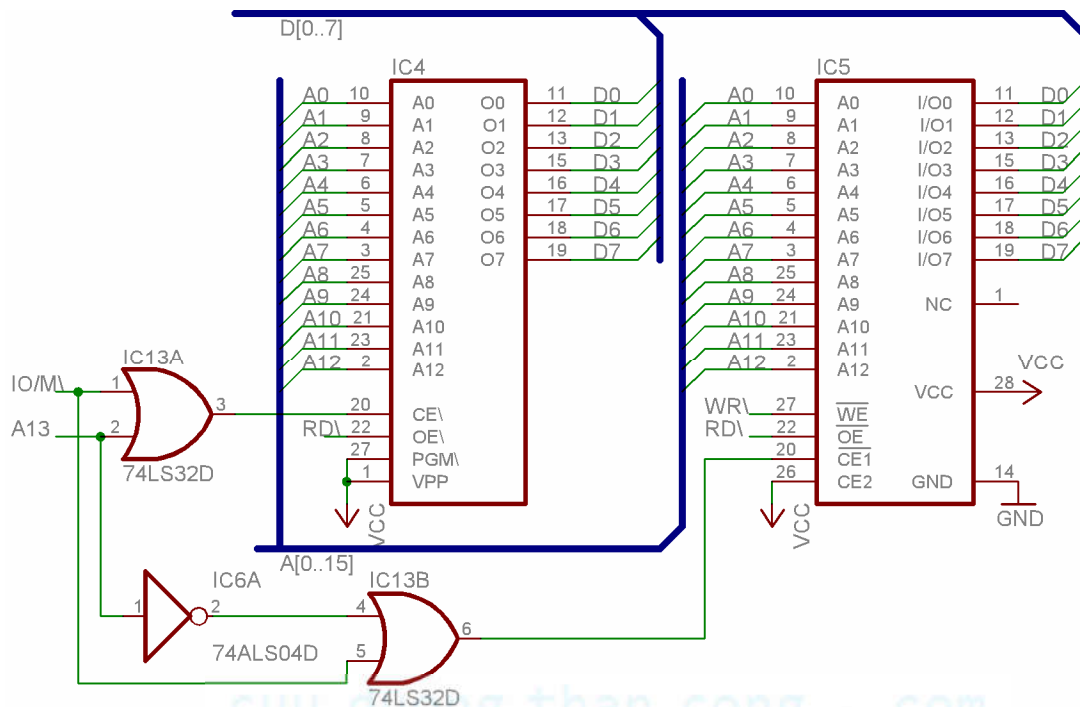
Trong bảng đồ IO thì phải dùng 2 đường địa chỉ A[3:2] để phân biệt 3 IC ngoại vi.

Sơ đồ nguyên lý của hệ thống như hình 6-40.



Hình 6-40a. Sơ đồ nguyên lý của khối vi xử lý và IC chốt.

Trong hệ thống sử dụng vi xử lý 8085A và IC chốt 74573 để tách địa chỉ và dữ liệu, kết quả được 8 đường dữ liệu D[7:0] và 16 đường địa chỉ A[15:0], các đường điều khiển IO/M \setminus , RD \setminus , WR \setminus , RST_O, CLK_O.



Hình 6-40b. Sơ đồ nguyên lý của khối bộ nhớ với vi xử lý.

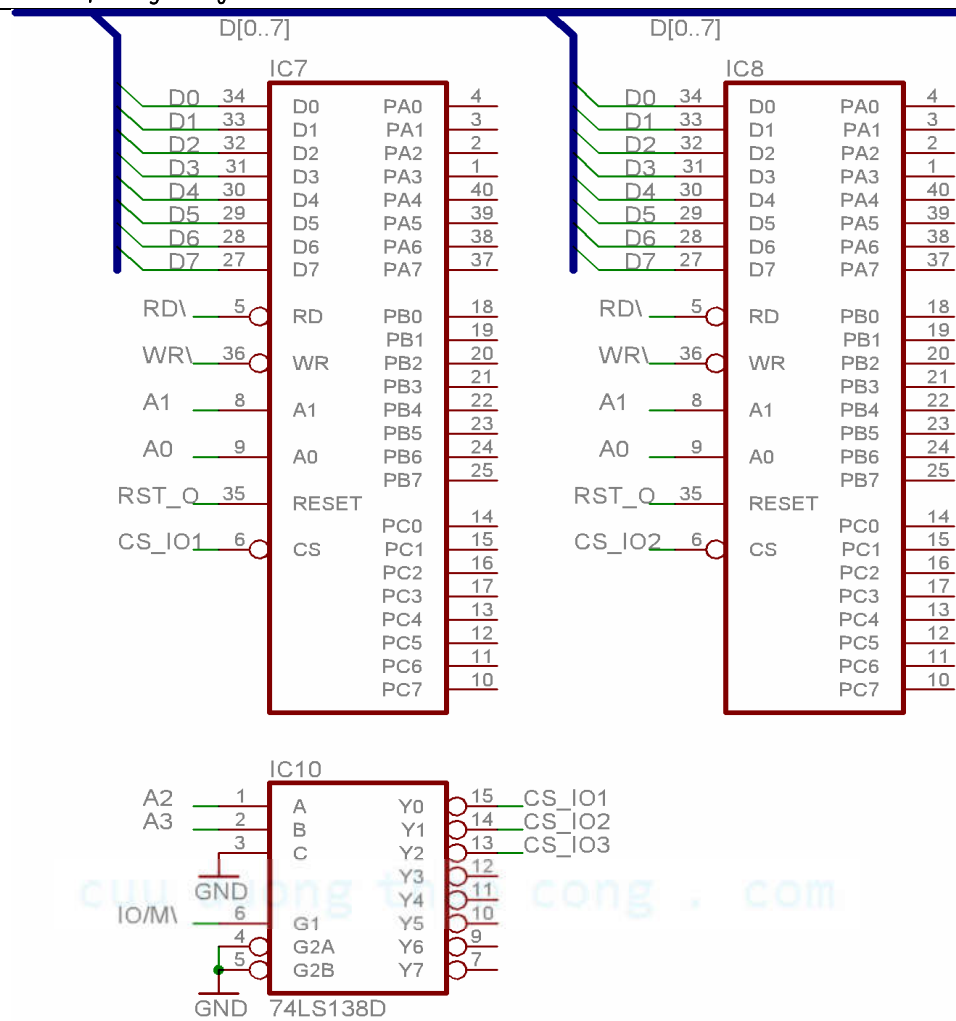
IC4 là Eprom 2764 và IC5 là SRAM 6264: 13 đường địa chỉ A[12:0] của các IC nhớ được kết nối với 13 đường địa chỉ A[12:0] của vi xử lý, 8 đường dữ liệu D[7:0] của bộ nhớ được kết nối với 8 đường dữ liệu của vi xử lý, chân điều khiển đọc OE được kết nối với chân RD của vi xử lý, chân điều khiển ghi WR của SRAM 6264 được kết nối với WR của vi xử lý.

Khi vi xử lý truy xuất bộ nhớ thì chân IO/M \setminus = 0, nếu truy xuất Eprom 2764 thì địa chỉ A13 = 0 nên qua cổng OR IC13A làm cho chân CS = 0: cho phép bộ nhớ Eprom 2764. Trong khi đó A13 = 0 qua cổng đảo IC6A và cổng OR IC13B làm chân CS1 = 1 sẽ không cho phép SRAM hoạt động: bus địa chỉ ở trạng thái tổng trở cao.

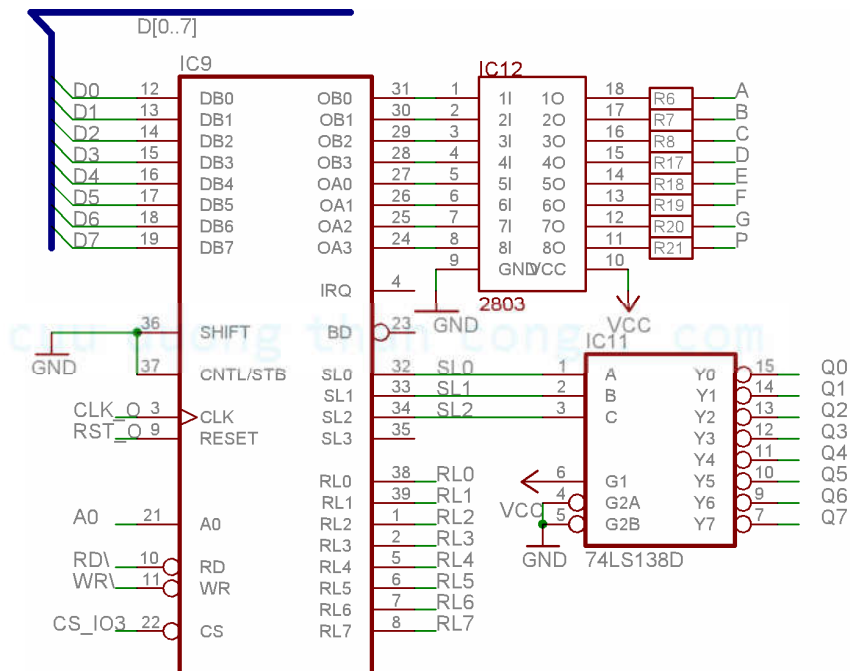
Tương tự khi truy xuất bộ nhớ SRAM 6264 thì bộ nhớ EPROM sẽ ở trạng thái không cho phép.

Khi vi xử lý truy xuất bộ nhớ thì đường điều khiển IO/M \setminus ở mức L, khi truy xuất IO thì ở mức H nên đường điều khiển này dùng để cho phép truy xuất bộ nhớ hoặc IO.

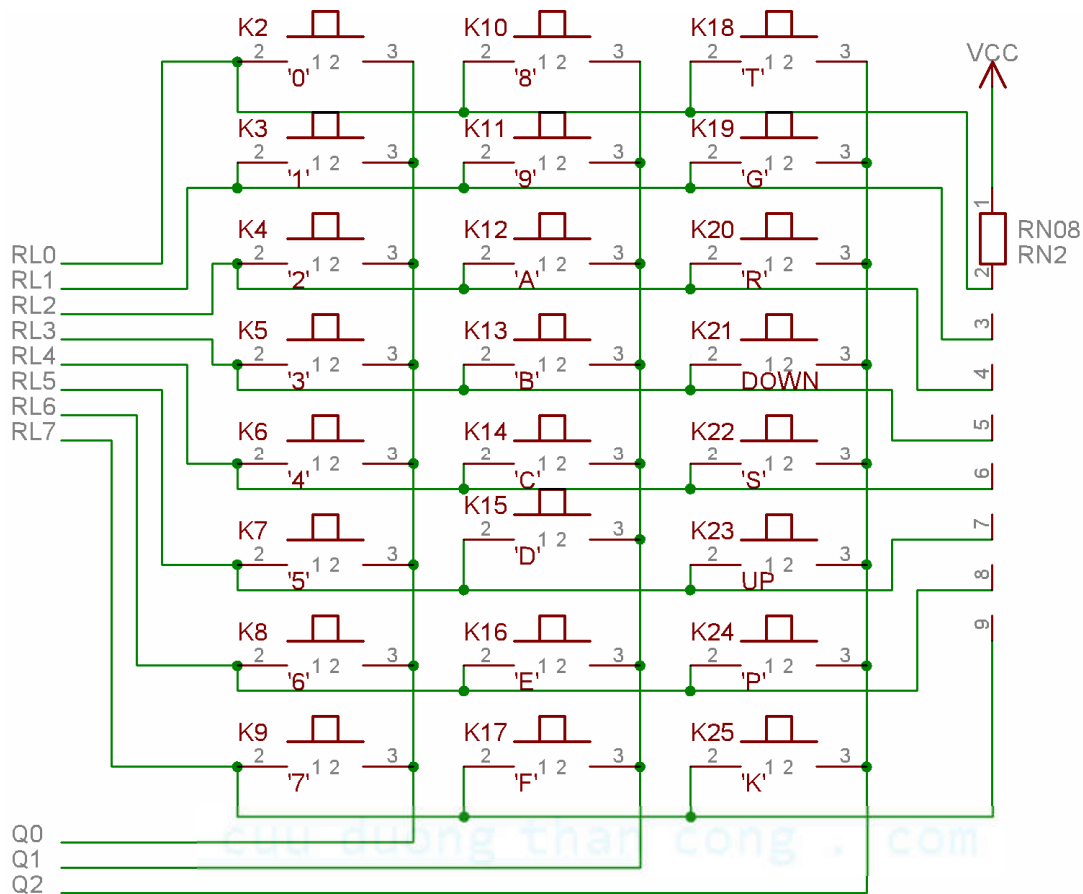
Trong sơ đồ nguyên lý hình 6-40c đã sử dụng IC 74238 giải mã địa chỉ cho 2 IC 8255A và 1 IC 8279. Các bus địa chỉ, bus dữ liệu và điều khiển kết nối với IC ngoại vi giống như kết nối với bộ nhớ. Đường điều khiển IO/M \setminus sẽ điều khiển chân G1 của IC 74138 để cho phép IC này giải mã khi vi xử lý truy xuất IO, còn khi truy xuất bộ nhớ thì chân IO/M \setminus = 0 sẽ không cho phép IC giải mã nên các IC ngoại vi cũng không được phép, bus dữ liệu sẽ ở trạng thái tổng trở cao.



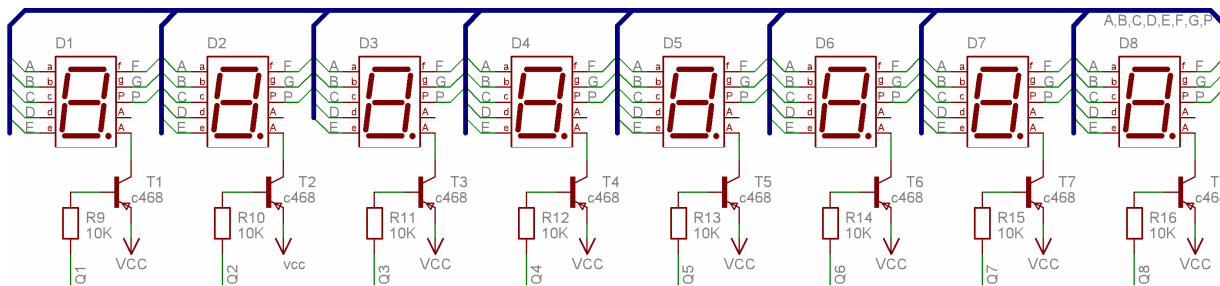
Hình 6-40c. Sơ đồ nguyên lý của khối 2 IC ngoại vi 8255.



Hình 6-40d. Sơ đồ nguyên lý của khối ngoại vi 8279 với bàn phím và led 7 đoạn.



Hình 6-40e. Sơ đồ nguyên lý của khối ma trận phím 8x3.



Hình 6-40f. Sơ đồ nguyên lý của 8 led hiển thị quét.

Với bài toán thiết kế trên thì các IC giải mã đã sử dụng gồm 3 loại IC: cổng OR - 7432, cổng Not – 7404 và giải mã 74138. Với kiểu giải mã này thì sử dụng quá nhiều IC và ta có thể giải mã đơn giản tiết kiệm IC hơn bằng cách xem các IC ngoại vi 8255A và 8279 như là các IC nhớ có cùng dung lượng 8Kbyte như 2 bộ nhớ trong hệ thống, bảng đồ nhớ của hệ thống như sau:

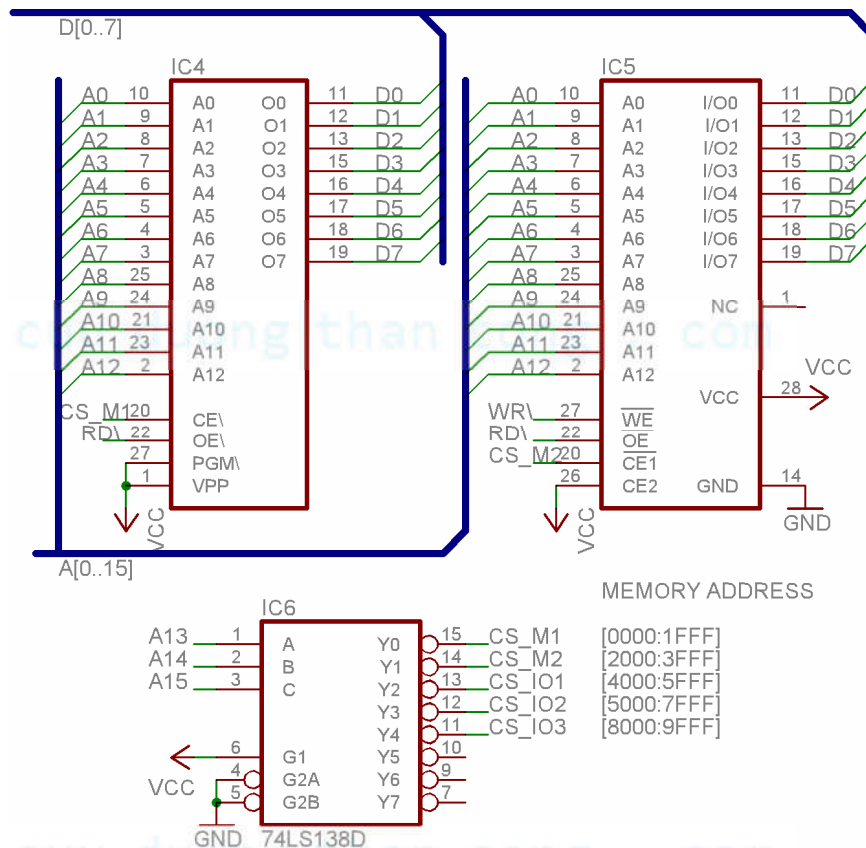
Lập bảng đồ nhớ của vi xử lý như sau:

TB	NHỊ PHÂN																HEX
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
EPROM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000
2764	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF
RAM	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000

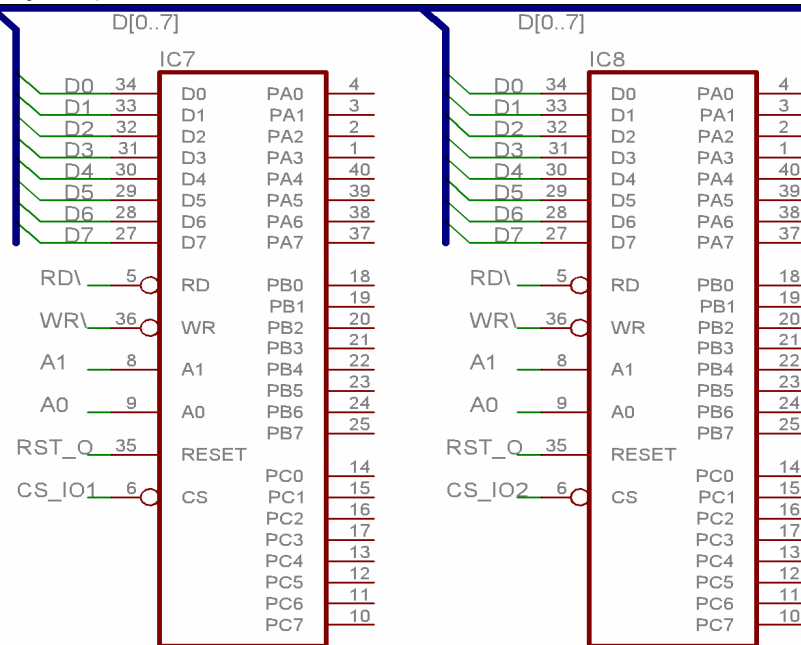
Chương 6. Thiết kế hệ thống vi xử lý.																	SPKT
6264	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF
8255	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000
1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	5FFF
8255	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	6000
2	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFF
8279	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000
3	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	9FFF

Bảng 6-22. Bảng đồ bộ nhớ.

Trong bảng đồ nhớ thì để phân biệt các IC nhớ và ngoại vi ta phải dùng 3 đường địa chỉ A[15:13] và khi đó ta chỉ cần dùng 1 IC giải mã 74138 và toàn bộ khối bộ nhớ và ngoại vi được thiết kế lại như hình 6-41:



Hình 6-41a. Sơ đồ nguyên lý của khối bộ nhớ và IC giải mã.



Hình 6-41b. Sơ đồ nguyên lý của khối ngoại vi 8255.

Khi thiết kế khối ngoại vi 8255A theo kiểu IO thì lệnh dùng để truy xuất các IO là lệnh “IN và OUT”, nhưng khi kết nối theo kiểu bộ nhớ thì lệnh dùng để truy xuất IO giống như lệnh dùng cho các ô nhớ.

Trong kiểu giải mã này thì địa chỉ của 8255A – 1 (IC7) có địa chỉ là 4000H đến 5FFFH nhưng do 8255A chỉ có 2 đường địa chỉ A[1:0] nên ta chỉ cần quan tâm đến 4 địa chỉ như sau:

- Địa chỉ 4000H là địa chỉ của port A.
- Địa chỉ 4001H là địa chỉ của port B.
- Địa chỉ 4002H là địa chỉ của port C.
- Địa chỉ 4003H là địa chỉ của từ điều khiển.

Tương tự địa chỉ của 8255A – 2 (IC8) có địa chỉ là 6000H đến 7FFFH nhưng ta chỉ cần quan tâm đến 4 địa chỉ như sau:

- Địa chỉ 6000H là địa chỉ của port A.
- Địa chỉ 6001H là địa chỉ của port B.
- Địa chỉ 6002H là địa chỉ của port C.
- Địa chỉ 6003H là địa chỉ của từ điều khiển.

Địa chỉ của 8279 – 3 (IC9) có địa chỉ là 8000H đến 9FFFH nhưng do 8279 chỉ có 1 đường địa chỉ A1 nên ta chỉ cần quan tâm đến 2 địa chỉ như sau:

- Địa chỉ 8000H là địa chỉ truy xuất dữ liệu.
- Địa chỉ 8001H là địa chỉ truy xuất từ điều khiển của 8279.

2. Bài thiết kế số 2

Yêu cầu: “ Hãy thiết kế 1 hệ thống dùng vi xử lý 8 bit 8085A giao tiếp với 32Kbyte bộ nhớ EPROM sử dụng 4 IC 2764 có dung lượng 8Kbyte và 32 Kbyte RAM sử dụng 1 IC 62256. Giao tiếp với 2 IC ngoại vi 8255A và 1 IC 8279 để điều khiển hiển thị 8 led 7 đoạn và ma trận bàn phím gồm 24 phím”.

Phân tích yêu cầu

Hệ thống sử dụng vi xử lý 8085A có 16 đường địa chỉ nên có thể giao tiếp với 64Kbyte bộ nhớ. Trong hệ thống này bộ nhớ của vi xử lý đã sử dụng hết 64 kbyte bao gồm 32Kbyte Eprom và 32 Kbyte Ram.

Phần giao tiếp với 2 IC 8255 và IC 8279 thì phải giải mã theo kiểu IO.

Thiết kế giải mã địa chỉ :

Tổng IC giao tiếp với vi xử lý là 8 IC gồm 5 IC nhớ và 3 IC ngoại vi.

Lập bảng đồ nhớ của vi xử lý như sau:

TB	NHỊ PHÂN																HEX
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
EPROM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000
2764-1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF
EPROM	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000
2764-2	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF
EPROM	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000
2764-3	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	5FFF
EPROM	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	6000
2764-4	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFF
RAM	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000
62256	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFF

Bảng 6-23. Bảng đồ bộ nhớ.

Trong bảng đồ nhớ thì 4 IC nhớ 2764 được thiết lập địa chỉ giống như bài 1, bộ nhớ SRAM có dung lượng 32Kbyte sẽ có 15 đường địa chỉ nên địa chỉ bắt đầu tương ứng với 15 đường bằng 0 và địa chỉ cuối tương ứng với 15 đường bằng 1. Nhìn vào bảng ta sẽ thấy 32kbyte EPROM phân biệt với 32Kbyte Ram chính là đường địa chỉ A15.

Ta có thể xem bộ nhớ Ram 62256 như là 4 IC nhớ 6264 khi đó bảng đồ nhớ được thiết lập lại như sau:

TB	NHỊ PHÂN																HEX
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
EPROM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000
2764-1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF
EPROM	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000
2764-2	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF
EPROM	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000
2764-3	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	5FFF
EPROM	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	6000
2764-4	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFF
RAM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000

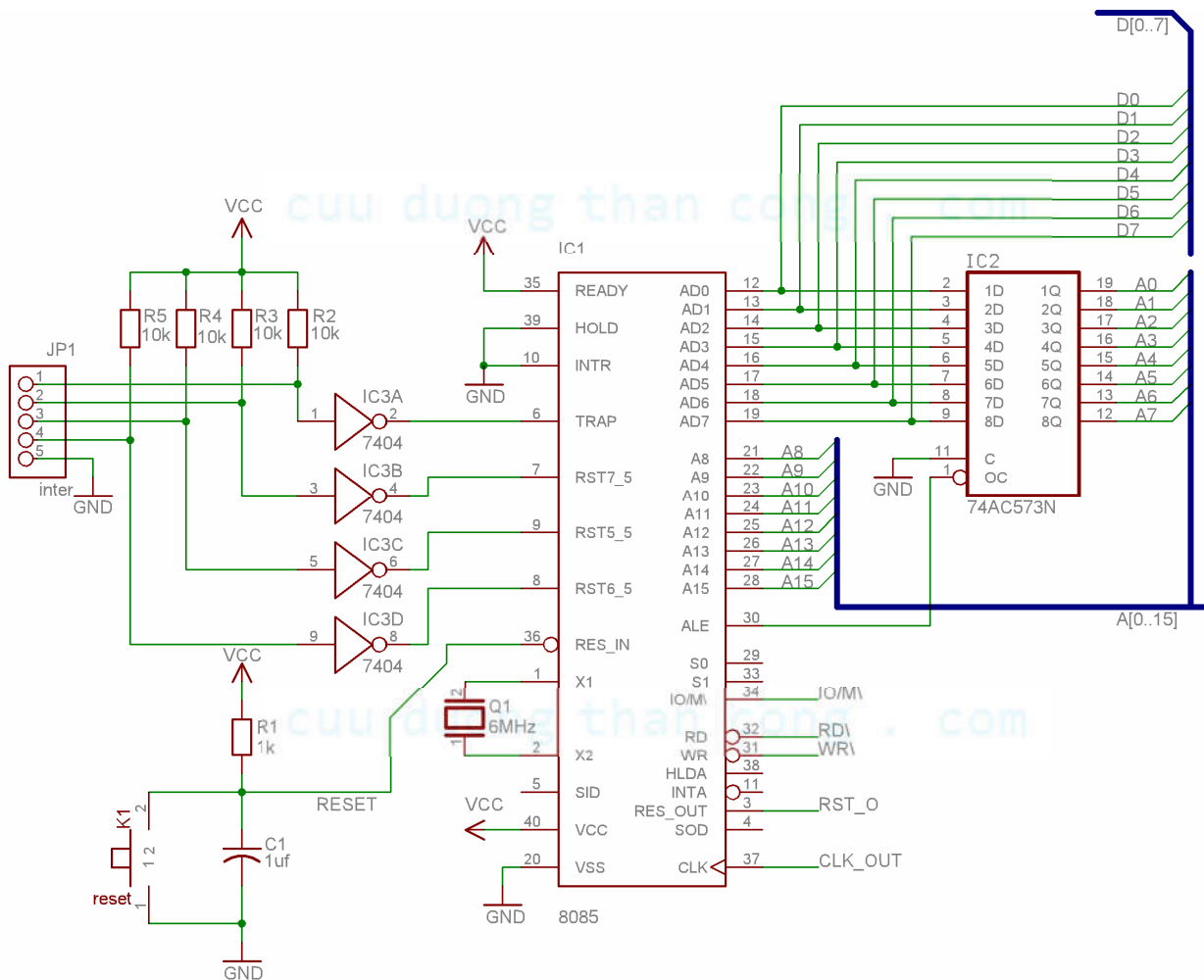
Chương 6. Thiết kế hệ thống vi xử lý.																	SPKT
6264-1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	9FFF
RAM	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	A000
6264-2	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	BFFF
RAM	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C000
6264-3	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	DFFF
RAM	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000
6264-4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFF

Bảng 6-24. Bảng đồ bộ nhớ.

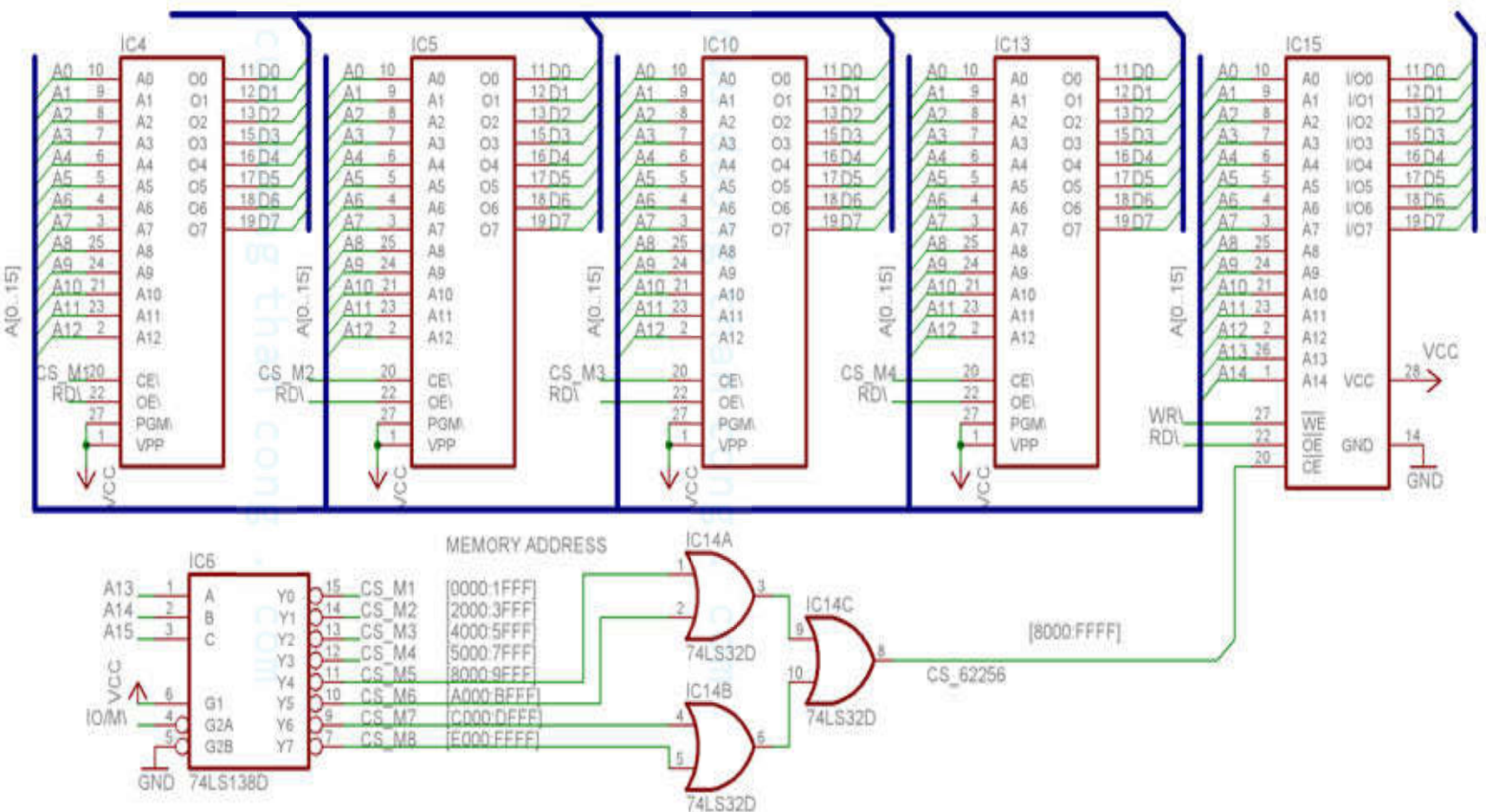
Với bảng đồ nhớ này thì ta sẽ dùng 3 đường địa chỉ A[15:13] giải mã thành 8 đường điều khiển để chọn 8 chip select cho 8 IC nhớ: trong đó 4 đường đầu tiên dùng để chọn CS cho 4 Eprom, 4 đường còn lại ta phải OR lại để điều khiển chọn CS của Ram 62256.

Phần giải mã IC ngoại vi giống như bài thiết kế số 1.

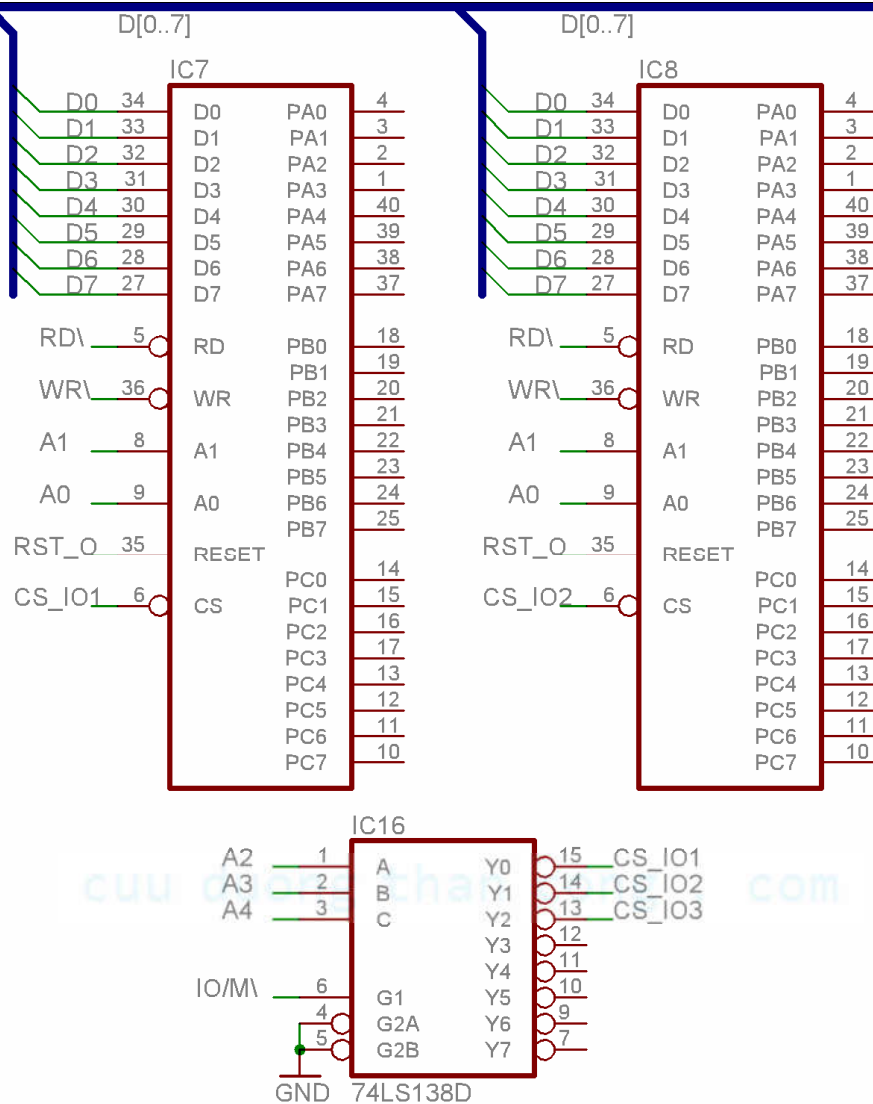
Sơ đồ nguyên lý của hệ thống như hình 6-42.



Hình 6-42a. Sơ đồ nguyên lý của khối vi xử lý và IC chốt.



Hình 6-42b. Sơ đồ nguyên lý của khối bộ nhớ.



Hình 6-42c. Sơ đồ nguyên lý của khối ngoại vi.

IV. BÀI TẬP:

Bài tập số 1: Hãy thiết kế một hệ thống gồm vi xử lý 8085A giao tiếp với 32 Kbyte bộ nhớ Eprom sử dụng 8 IC nhớ 2732 có dung lượng 4 Kbyte cho mỗi IC và 32Kbyte bộ nhớ RAM dùng 4 IC 6264. Các IC ngoại vi bao gồm 7 IC ngoại vi 8255 và 1 IC 8279.

Bài tập số 2: Hãy thiết kế một hệ thống gồm vi xử lý 8085A giao tiếp với 32 Kbyte bộ nhớ Eprom sử dụng 4 IC nhớ 2764 có dung lượng 8 Kbyte cho mỗi IC và 16Kbyte bộ nhớ RAM dùng 2 IC 6264. Các IC ngoại vi bao gồm 1 IC ngoại vi 8255 và 1 IC 8279. Thiết kế sao cho tối ưu nhất.

Bài tập số 3: Hãy thiết kế một hệ thống gồm vi điều khiển 89S52 giao tiếp với 32 Kbyte bộ nhớ Eprom sử dụng 4 IC nhớ 2764 có dung lượng 8 Kbyte cho mỗi IC và 16Kbyte bộ nhớ RAM dùng 2 IC 6264. Các IC ngoại vi bao gồm 1 IC ngoại vi 8255 và 1 IC 8279. Thiết kế sao cho tối ưu nhất.

Bài tập số 4: Hãy thiết kế một hệ thống gồm vi điều khiển 89S52 sử dụng 8Kbyte bộ nhớ Flash ROM nội và giao tiếp với 24Kbyte bộ nhớ Eprom sử dụng 1 IC nhớ 2764 có dung lượng 8 Kbyte cho mỗi IC và 32Kbyte bộ nhớ RAM dùng 4 IC 6264. Các IC ngoại vi bao gồm 3 IC ngoại vi 8255 và 1 IC 8279. Thiết kế sao cho tối ưu nhất.