

3주차 3차시 플립플롭

【학습목표】

1. 플립플롭의 개념을 설명할 수 있으며, 래치의 문제점과 해결책을 설명할 수 있다.
2. 플립플롭의 종류를 각각 특징과 함께 설명할 수 있다.

학습내용1 : 래치의 이해

1. 플립플롭과 래치

- 플립플롭 (flip-flop) 또는 래치(latch)는 1 비트의 정보를 보관, 유지할 수 있는 회로이며 순차 회로의 기본요소임
- 조합논리회로에 비해 이전상태를 계속 유지하여 저장

* 입력을 출력에 반영하는 시점

- 클럭 신호의순간엿지에서 반영하는플립플롭
- 입력에 따라 항상 반영되는 래치로 구분

- 플립플롭과 래치는 구조상 휘발성 임
- 정보는 전원이 있을때만 보관, 유지되며 전원이 차단되면 정보는 사라짐
- 디지털 회로에서 각종 카운터나 상태제어 등에 필요한 요소
- 이전의 상태를 계속 유지하는 상황이 필요하면 플립플롭 또는 래치를 사용함
- 컴퓨터의 주기억장치나 CPU 캐시, 레지스터를 이루는 기본 회로 가운데 하나
- 그 구조는 계전기 (릴레이)를 이용한 자기 보관유지 회로 (셀프홀드 회로)에도 비슷하게 사용되고 있음
- 플립플롭으로 구성하는 램을 에스램 (SRAM)이라고 함

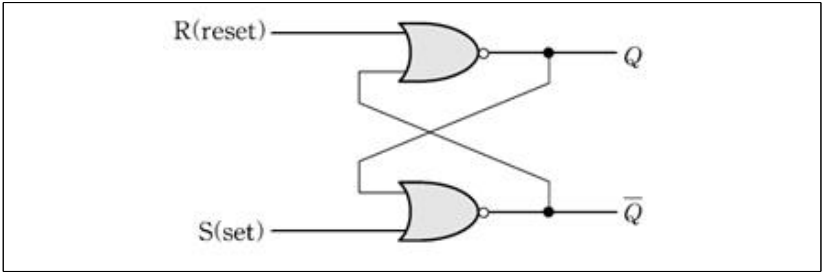
2. 래치(Latch)

* 래치(Latch)란

- 수동적 또는 전자적 조작으로 상태를 바꾸지 않는 한 그 상태를 유지해 주는 장치 또는 회로
- 주어진 상태를 보관 유지할 수 있도록 NAND 게이트 또는 NOR게이트를 이용하여 회로를 구성
- 논리 회로로 구성되었기 때문에 논리회로에 준하는 빠른 동작속도를 얻을 수 있고 플립플롭으로 활용

3. NOR 게이트를 이용한 R-S 래치

- 두 개의 NOR 게이트를 이용하여 R-S 래치를 구성함
- 두 입력으로 R(reset)과 S(set) 단자가 존재함
 - R 입력이 존재하는 NOR의 출력으로 Q가 있고, S 입력이 존재하는 NOR 게이트의 출력으로 \bar{Q} 가 존재
 - Q와 S는 NOT 관계 또는 1의 보수 관계임



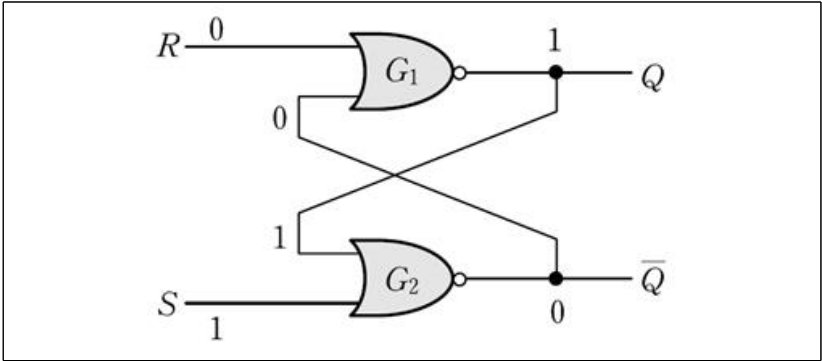
- 1) NOR 게이트를 이용한 래치 회로의 진리표
- 출력 Q와 \bar{Q} 는 항상 보수의 상태가 되어야 하지만, S=1, R=1인 경우는 모두 0을 출력되어 위배됨
 - 이를 불능이라 함

[표 3-2] NOR 게이트를 이용한 R-S 래치의 진리표

S	R	Q	\bar{Q}
0	0	불변	불변
0	1	0	1
1	0	1	0
1	1	불능	불능

4. NAND 게이트를 이용한 R-S 래치

- 1) 기본적인 동작은 NOR 게이트를 이용한 S-R 래치와 동일
- NOR게이트를 이용한 것과의 차이는 S와 R의 입력이 S와 \bar{S} 의 형태로 인가 됨



- 진리표

\bar{S}	\bar{R}	Q	\bar{Q}
0	0	불능	불능
0	1	1	0
1	0	0	1
1	1	불변	불변

학습내용2 : 플립플롭의 이해

* 플립플롭이란?

- 1비트의 정보를 기억할 수 있는 회로로 컴퓨터의 주기억장치 RAM이나 캐시 메모리, 레지스터를 구성하는 기본 회로
- 전원이 있을 때만 기억이 유지되며 전원이 차단되면 정보는 사라지는 휘발성 기억소자

1. 래치의 문제점

- En 신호가 'high' 상태를 유지하고 있는 동안에는, 입력 값이 바뀌면 출력도 그에 따라 계속 바뀜
 - 순차회로의 출력이 계속 변경되는 불안정한 상태 발생

* 해결책

- En 신호가 0→1 혹은 1→0으로 전이(transit) 되는 순간에만 상태(state)가 변경되도록 함

플립-플롭 : En 신호의 상태 전이(state transition)가 발생하는 순간의 입력 신호에 따라 상태가 결정되도록 설계된 기억소자

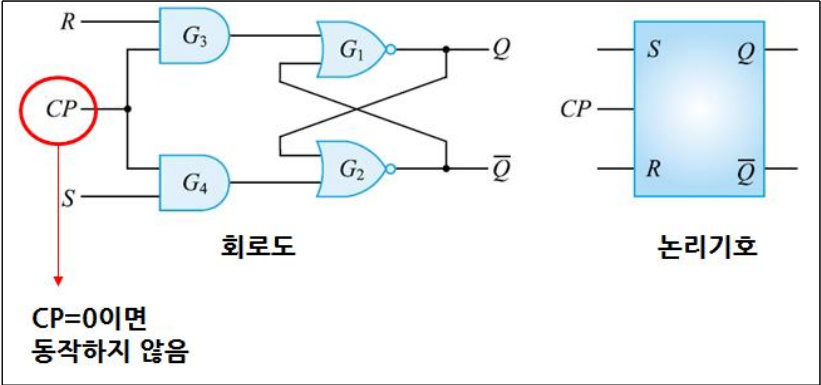
2. 플립플롭의 종류

- ① R-S 플립플롭
- ② J-K 플립플롭
- ③ D 플립플롭
- ④ T 플립플롭

학습내용3 : 플립플롭의 종류

1. 클록형 S-R 플립플롭

1) 회로도 및 논리기호



2) 동작상태

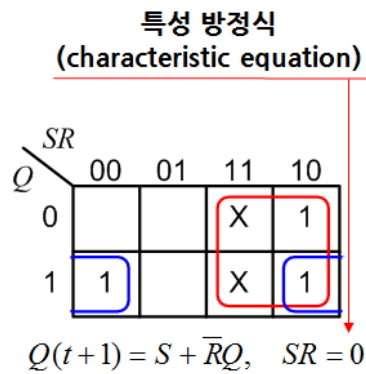
CP=0인 경우	S와 R의 입력에 관계없이 앞단의 AND 게이트 G_3 과 G_4 의 출력이 항상 0이므로 플립플롭의 출력은 불변
CP=1인 경우	S와 R의 입력이 회로 후단의 NOR 게이트 G_1 과 G_2 의 입력으로 전달되어 앞에서 설명한 S-R 래치와 같은 동작을 수행

3) 클록형 S-R 플립플롭의 진리표

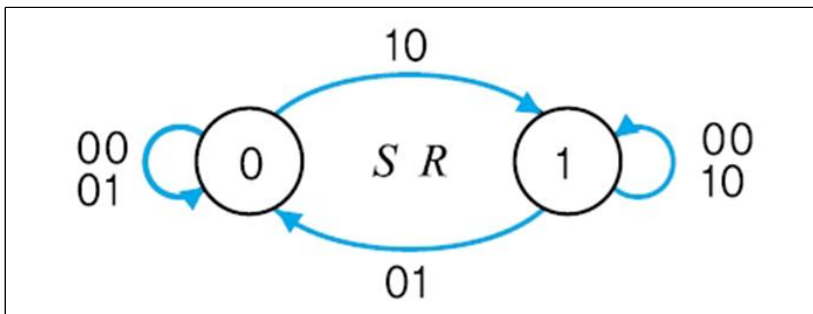
CP	S	R	$Q(t+1)$
1	0	0	$Q(t)$
1	0	1	0
1	1	0	1
1	1	1	(부정)

4) S-R 플립플롭의 특성표

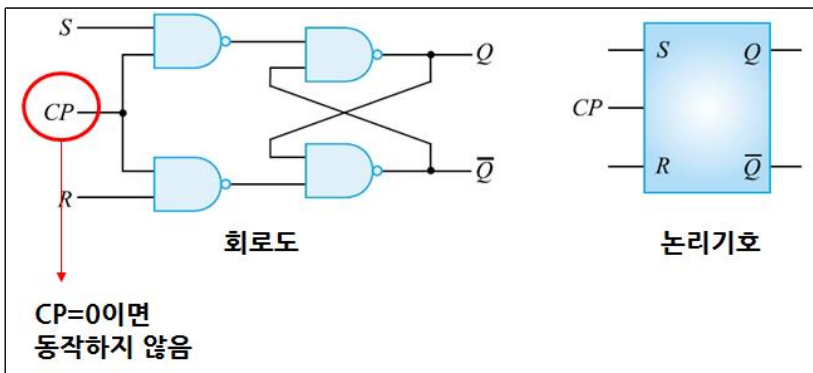
$Q(t)$	S	R	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	(부정)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	(부정)



5) S-R 플립플롭의 상태도



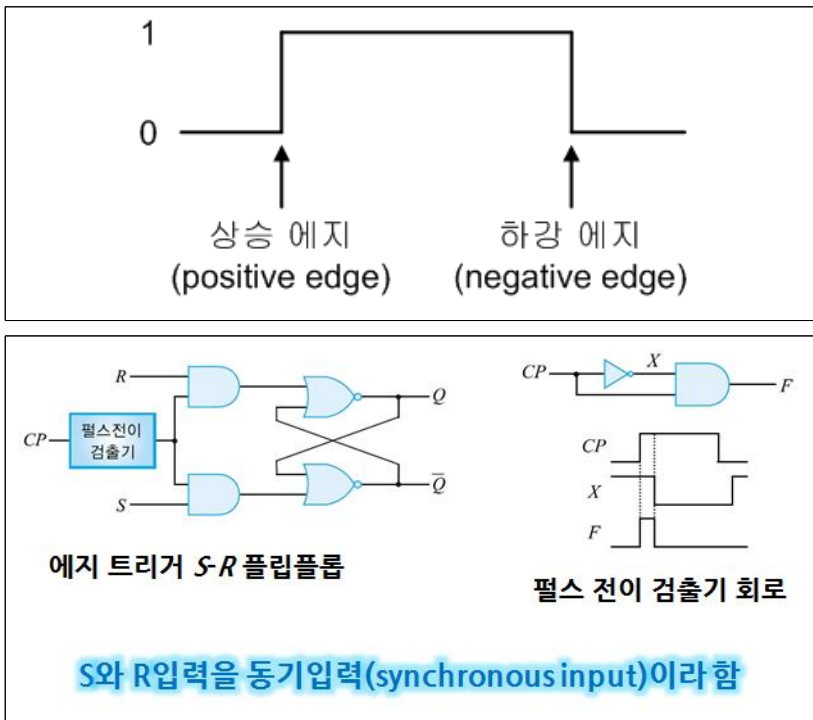
6) 클록형 S-R 플립플롭(NAND형)



2. 에지 트리거 S-R 플립플롭

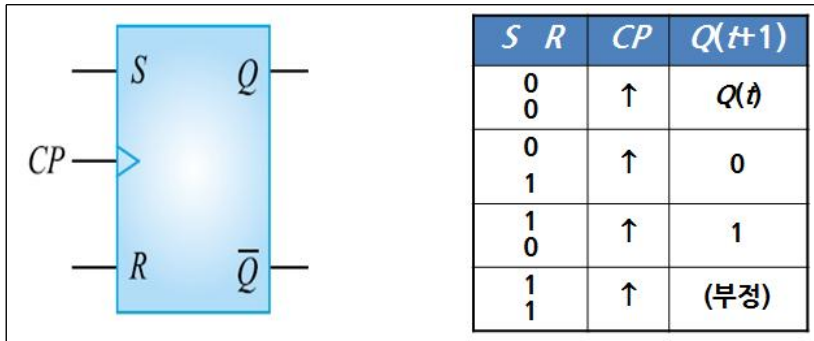
- 클록형 S-R 플립플롭은 기본적으로 궤환(feedback)이 존재하는 회로이고 클록펄스가 1인 상태에서 모든 동작이 수행됨
- 플립플롭의 동작시간보다도 클록펄스의 지속시간이 길게 되면 플립플롭은 여러 차례의 동작이 수행될 수 있기 때문에 예측치 못한 동작을 할 여지가 충분함
- 에지 트리거(edge trigger)를 이용
 - 트리거(trigger) : 입력신호의 순간적인 변화
- 클록형 플립플롭은 레벨 트리거로 동작]
- 에지 트리거는 플립플롭의 내부 구조를 바꾸어 클록이 0에서 1로 변하거나 1에서 0으로 변할 때의 순간에만 입력을 받아들여지게 하는 방법
- 플립플롭 : 에지 트리거를 하는 것
- 래치 : 레벨 트리거를 하거나 클록을 사용하지 않는 것
- 총괄해서 플립플롭으로 부르기도 함

1) 에지 트리거링

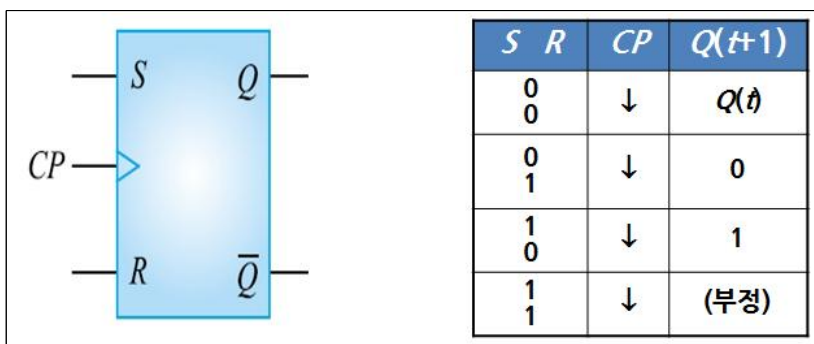


2) 에지 트리거 S-R 플립플롭의 논리기호와 진리표

* 상승 에지 트리거 S-R 플립플롭의 논리기호 및 진리표

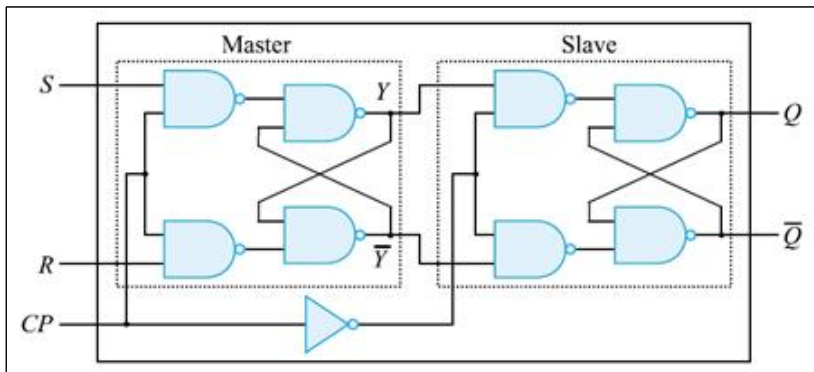


* 하강 에지 트리거 S-R 플립플롭의 논리기호 및 진리표



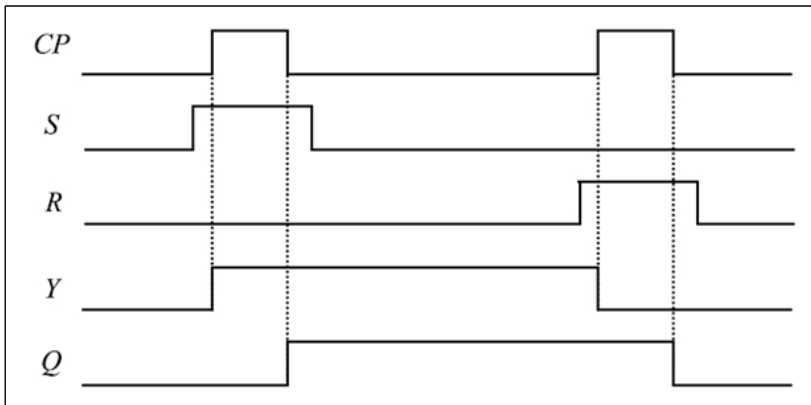
3. 주종형 S-R 플립플롭

* 주종형(master-slave) 플립플롭 : 레벨 트리거링의 문제점을 해결하기 위한 Another Solution



CP=1	외부의 S 와 R 의 입력이 Master 플립플롭에 전달 Slave 플립플롭은 $CP=0$ 이므로 동작하지 않음
CP=0	Slave 플립플롭이 동작하여 $Q=Y$, Master 플립플롭은 $CP=0$ 이므로 동작하지 않음

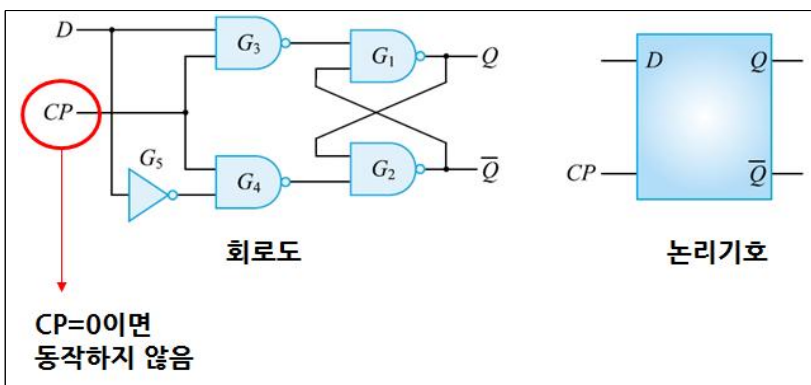
1) 주종형 S-R 플립플롭의 파형도



4. 클록형 D 플립플롭

- 클록형 S-R 플립플롭에서 원하지 않는 상태($S=R=1$)를 제거하는 한 가지 방법
- 클록형 D 플립플롭(Clocked D Flip-Flop)은 클록형 S-R 플립플롭을 변형한 것
- 입력신호 D 가 CP 에 동기되어 그대로 출력에 전달되는 특성을 가지고 있음
- D 플립플롭이라는 이름은 데이터(Data)를 전달하는 것과 지연(Delay)하는 역할에서 유래

1) 회로도 및 논리기호



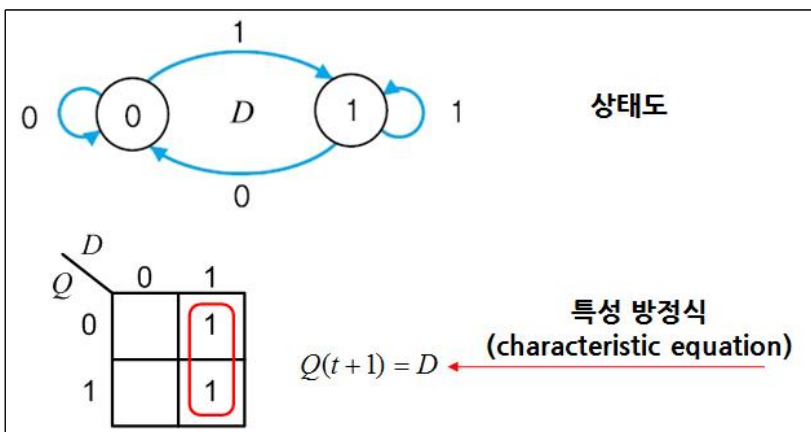
2) 동작

$CP=1, D=1$	<ul style="list-style-type: none"> G_3의 출력은 0, G_4의 출력은 1이 됨 NAND 게이트로 구성된 S-R 래치의 입력은 $S=0, R=1$이 되므로 결과적으로 $Q=1$을 얻음
$CP=1, D=0$	<ul style="list-style-type: none"> G_3의 출력은 1, G_4의 출력은 0이 됨 따라서 S-R 래치의 입력은 $S=1, R=0$이 되므로 결과적으로 $Q=0$을 얻음

3) D 플립플롭의 진리표 및 특성표

진리표			특성표		
CP	D	$Q(t+1)$	$Q(t)$	D	$Q(t+1)$
1	0	0	0	0	0
1	1	1	0	1	1
			1	0	0
			1	1	1

4) D 플립플롭의 상태도 및 특정 방정식

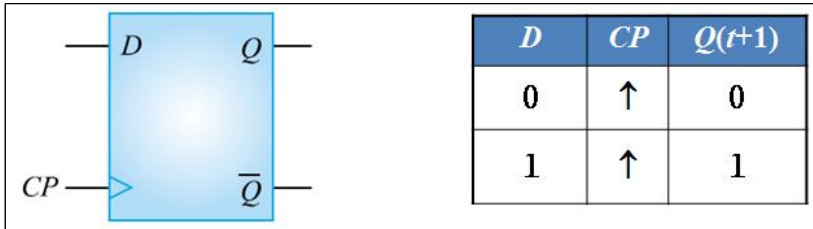


5. 에지 트리거 D 플립플롭

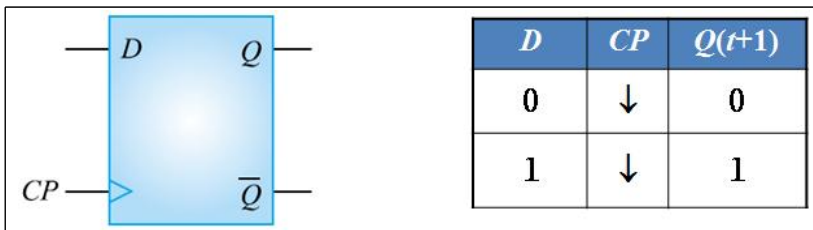
* 에지 트리거 D 플립플롭 : 클록형 D 플립플롭의 클록펄스 입력에 펄스 전이 검출기를 추가하여 구성

1) 에지 트리거 D 플립플롭의 논리기호와 진리표

* 상승 에지 트리거 D 플립플롭의 논리기호 및 진리표

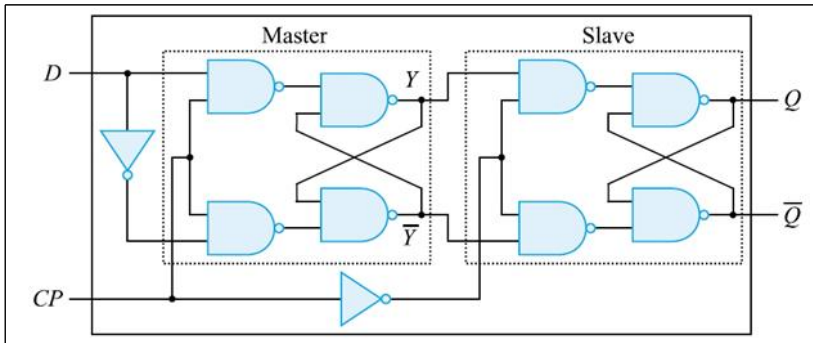


* 하강 에지 트리거 D 플립플롭의 논리기호 및 진리표



6. 주종형 D 플립플롭

* 주종형 D 플립플롭 : Master 플립플롭의 클럭입력은 클럭펄스가 그대로 입력되고, Slave 플립플롭 부분의 클럭입력에는 반전된 클럭펄스가 입력되도록 구성

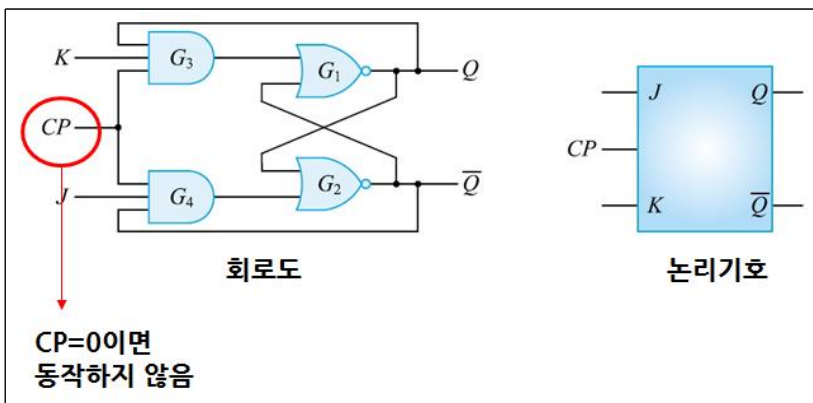


CP=1	<ul style="list-style-type: none"> • 외부의 D 입력이 Master 플립플롭에 전달 • Slave 플립플롭은 $CP=0$이므로 동작하지 않음
CP=0	<ul style="list-style-type: none"> • Slave 플립플롭이 동작하여 $Q=Y$, $\bar{Q}=\bar{Y}$ • Master 플립플롭은 $CP=0$이므로 동작하지 않음

7. 클럭형 J-K 플립플롭

- J-K 플립플롭은 S-R 플립플롭에서 $S=1$, $R=1$ 인 경우 출력이 불안정한 상태가 되는 문제점을 개선하여 $S=1$, $R=1$ 에서도 동작하도록 개선한 회로
- J-K 플립플롭의 J는 S(set)에, K는 R(reset)에 대응하는 입력
- $J=1$, $K=1$ 인 경우 J-K 플립플롭의 출력은 이전 출력의 보수 상태로 변화
- J-K 플립플롭은 플립플롭 중에서 가장 많이 사용되는 플립플롭

1) 회로도 및 논리기호



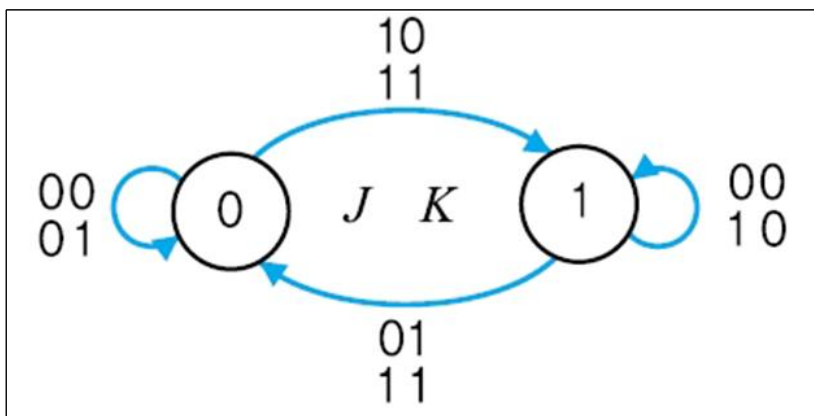
2) 동작

- $J=0, K=0$: G_3 과 G_4 의 출력이 모두 0이므로 G_1 과 G_2 로 구성된 $S-R$ 래치는 출력이 변하지 않음
- $J=0, K=1$: G_4 의 출력은 0이 되고 G_3 의 출력은 인데 $K=1, CP=1$ 이므로 $Q(t)$ 가 됨
- $J=1, K=0$: G_3 의 출력은 0이 되고 G_4 의 출력은 인데 $J=1, CP=1$ 이므로 $\bar{Q}(t)$ 가 됨
- $J=1, K=1$: G_3 의 출력은 $Q(t) \cdot K \cdot CP$ 인데 $K=1, CP=1$ 이므로 $Q(t)$ 가 됨
 - 또한 G_4 의 출력은 $\bar{Q}(t) \cdot J \cdot CP$ 인데 $J=1, CP=1$ 이므로 $\bar{Q}(t)$ 가 됨
 - $Q(t)=0$ 인 경우 $S-R$ 래치의 $S=1, R=0$ 인 경우와 같으므로 출력은 $Q(t+1)=1$ 이 됨 마찬가지로
 - $Q(t)=1$ 인 경우 $S-R$ 래치의 $S=0, R=1$ 인 경우와 같으므로 출력은 $Q(t+1)=0$ 이 되며, 따라서 출력은 보수가 됨

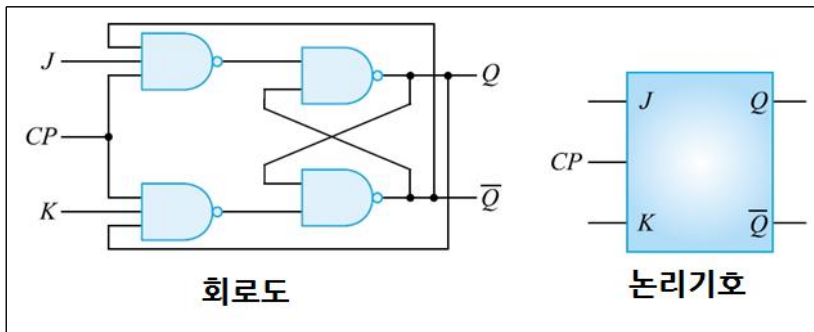
3) 클록형 J-K 플립플롭의 진리표

CP	J	K	$Q(t+1)$
1	0	0	$Q(t)$ (불변)
1	0	1	0
1	1	0	1
1	1	1	$\bar{Q}(t)$ (toggle)

4) J-K 플립플롭의 상태도



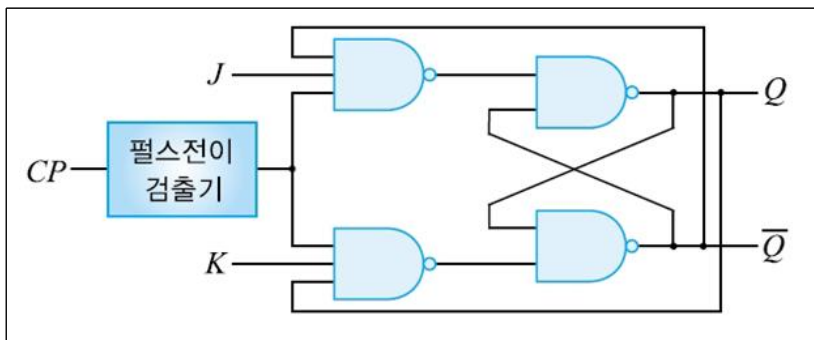
5) 클록형 J-K 플립플롭(NAND 게이트형)



8. 에지 트리거 J-K 플립플롭

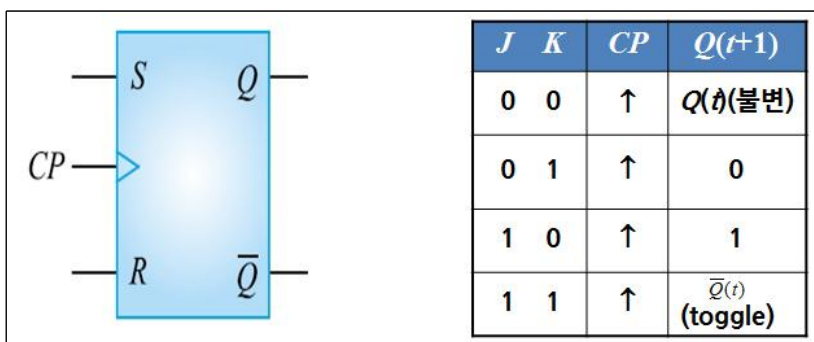
* 에지 트리거 J-K 플립플롭 : 클록형 J-K 플립플롭의 클록펄스 입력에 펄스전이 검출기를 추가하여 구성

1) 에지 트리거 J-K 플립플롭의 구조

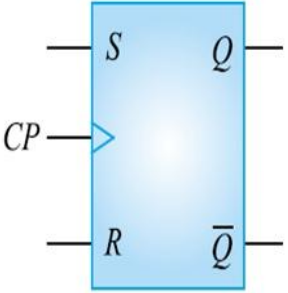


2) 에지 트리거 J-K 플립플롭의 논리기호와 진리표

* 상승 에지 트리거 J-K 플립플롭의 논리기호 및 진리표



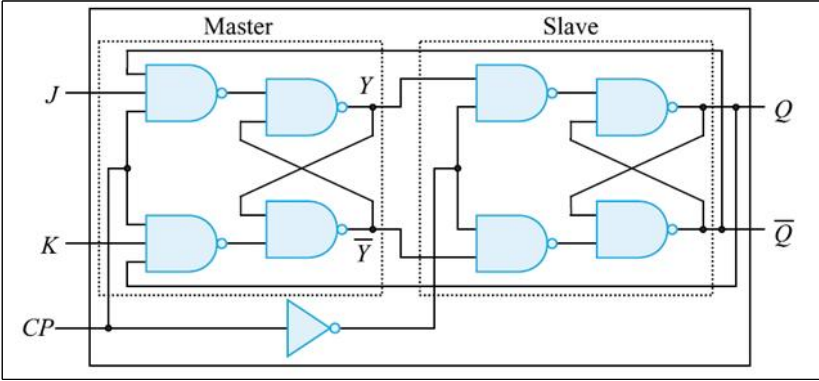
* 하강 에지 트리거 J-K 플립플롭의 논리기호 및 진리표



J	K	CP	Q(t+1)
0	0	↓	Q(t)(불변)
0	1	↓	0
1	0	↓	1
1	1	↓	$\bar{Q}(t)$ (toggle)

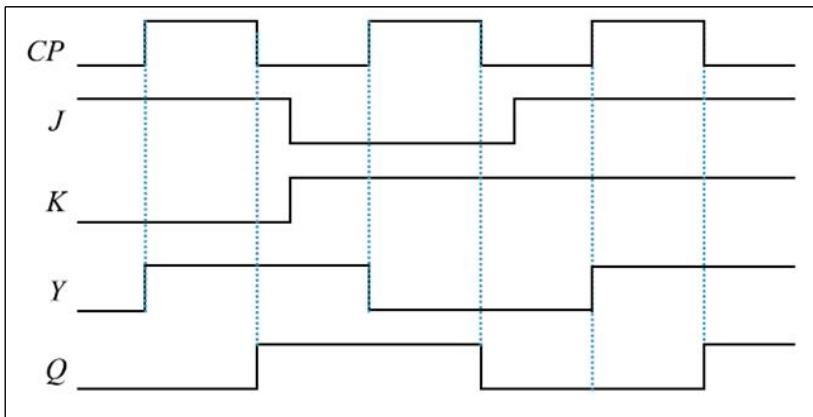
9. 주종형 J-K 플립플롭

- * 주종형 J-K 플립플롭
- Master 플립플롭의 클럭입력은 클럭펄스가 그대로 입력되고, Slave 플립플롭 부분의 클럭입력에는 반전된 클럭펄스가 입력되도록 구성



CP=1	<ul style="list-style-type: none">• 외부의 J와 K의 입력이 Master 플립플롭에 전달• Slave 플립플롭은 CP=0이므로 동작하지 않음
CP=0	<ul style="list-style-type: none">• Slave 플립플롭이 동작하여 $Q=Y, \bar{Q}=\bar{Y}$• Master 플립플롭은 CP=0이므로 동작하지 않음

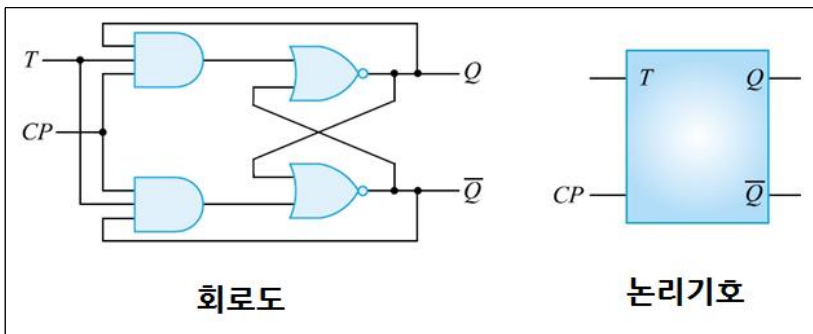
1) 주종형 J-K 플립플롭의 파형도



10. 클록형 T 플립플롭

- J-K 플립플롭의 J와 K 입력을 묶어서 하나의 입력신호 T로 동작시키는 플립플롭
- J-K 플립플롭의 동작 중에서 입력이 모두 0이거나 1인 경우만을 이용하는 플립플롭
- T 플립플롭의 입력 T=0이면, T 플립플롭은 J=0, K=0인 J-K 플립플롭과 같이 동작하므로 출력은 변하지 않음
- T=1이면, J=1, K=1인 J-K 플립플롭과 같이 동작하므로 출력은 보수가 됨

1) 회로도 및 논리기호



2) T 플립플롭의 진리표 및 특성표

진리표			특성표		
CP	D	$Q(t+1)$	$Q(t)$	T	$Q(t+1)$
1	0	$Q(t)$	0	0	0
1	1	$\bar{Q}(t)$	0	1	1
			1	0	1
			1	1	0

3) T 플립플롭의 상태도 및 특정 방정식

상태도

$T \backslash Q$	0	1
0		1
1	1	

특성 방정식

(characteristic equation)

$$Q(t+1) = T\bar{Q} + \bar{T}Q$$

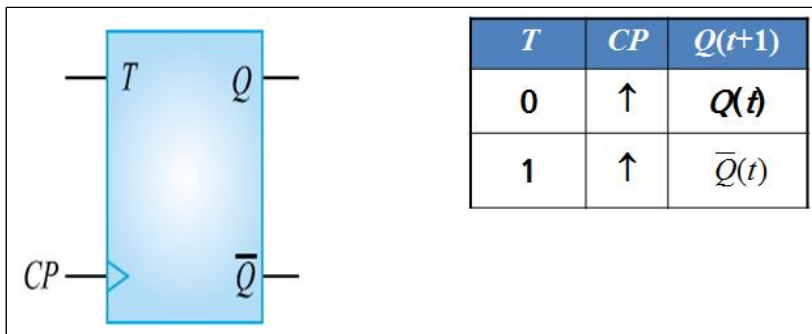
11. 에지 트리거 T 플립플롭

* 에지 트리거 T 플립플롭

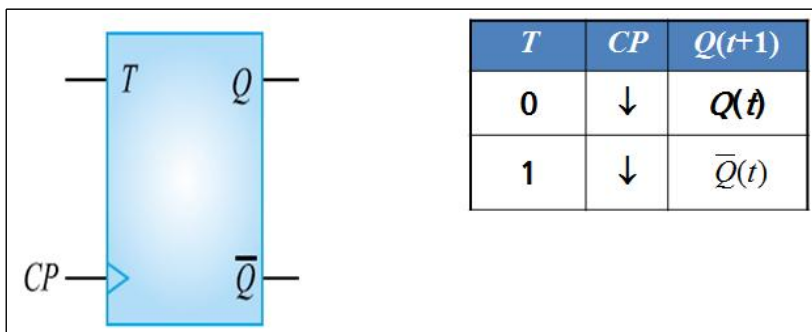
- 클록형 T 플립플롭의 클록펄스 입력에 펄스 전이 검출기를 추가하여 구성

1) 에지 트리거 J-K 플립플롭의 논리기호와 진리표

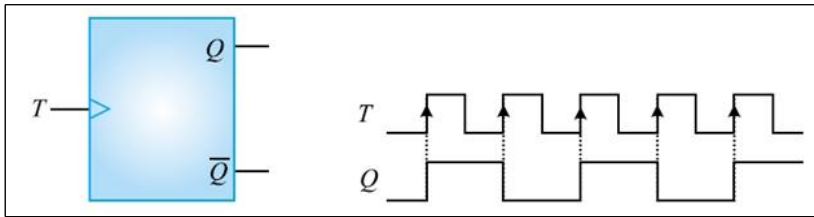
* 상승 에지 트리거 T 플립플롭의 논리기호와 진리표



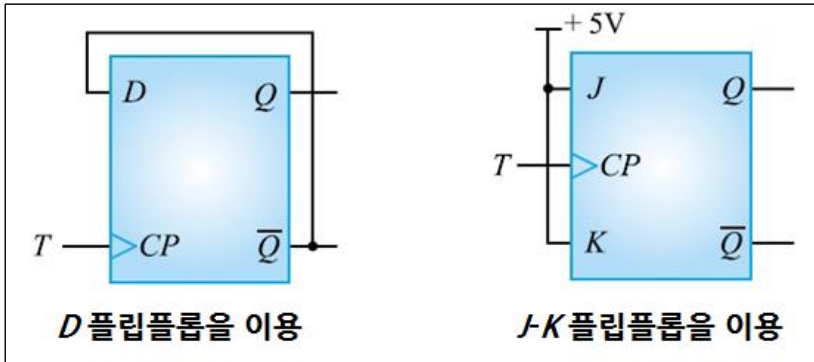
* 하강 에지 트리거 T 플립플롭의 논리기호와 진리표



- T 입력은 논리 1 상태로 고정하고 CP에 클록펄스를 트리거 입력으로 사용하기도 함
- 이러한 경우 T 플립플롭은 클록펄스가 들어올 때마다 상태가 바뀌어지는 회로

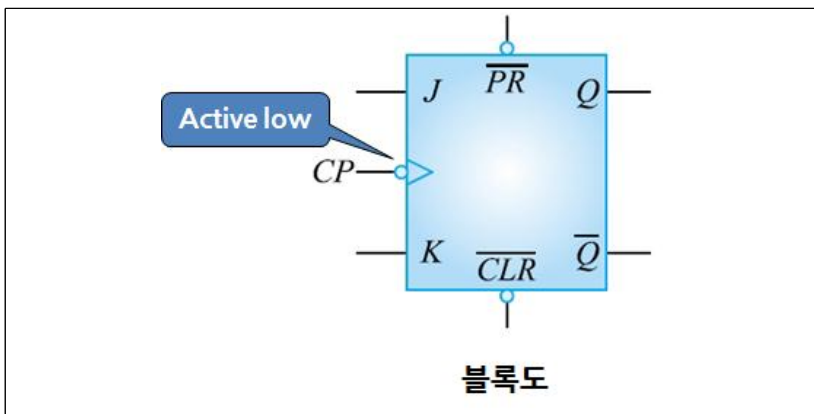


1) T 플립플롭을 얻는 방법



- 대부분의 플립플롭은 클록펄스에 의해서 플립플롭의 상태를 변화시킬 수 있는 동기입력이 있고, 클록펄스와 관계없이 비동기적으로 변화시킬 수 있는 비동기 입력인 pre set(\overline{PR}) 입력과 clear(\overline{CLR}) 입력이 있음
- 비동기 입력들은 플립플롭의 초기조건을 결정하는 등 다방면으로 유용하게 사용

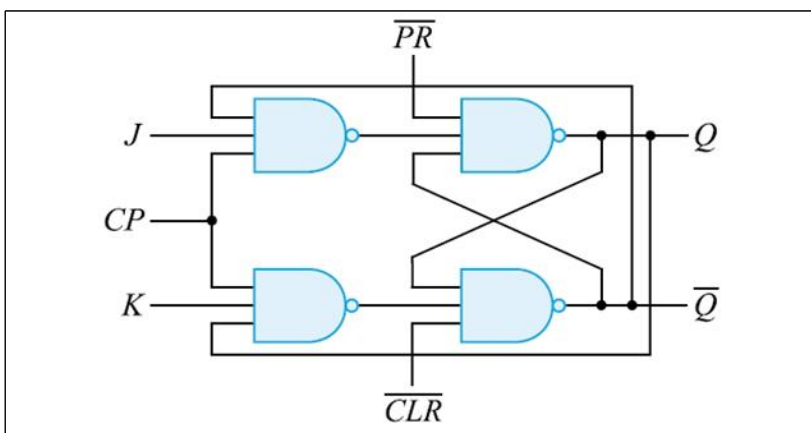
2) J-K 플립플롭의 블록도(비동기 입력을 가진 에지 트리거링)



3) J-K 플립플롭의 진리표(비동기 입력을 가진 에지 트리거링)

\overline{PR}	\overline{CLR}	CP	J	K	Q	\overline{Q}
0	1	×	×	×	1	0
1	0	×	×	×	0	1
1	1	↓	0	0	변화 없음	
1	1	↓	0	1	0	1
1	1	↓	1	0	1	0
1	1	↓	1	1	toggle	

4) preset 입력과 clear 입력에 있는 J-K 플립플롭의 논리회로



【학습정리】

1. 래치는 수동적이거나 전자적으로 그 상태를 바꾸지 않는 한 그 상태를 유지하도록 한다.
2. 플립플롭의 종류는 R-S, J-K, D, T 플립플롭 등이 있다.
3. 플립플롭은 1비트의 정보를 기억할 수 있는 회로로 기억장치의 기본이 된다.