

مدارهای زیر را با استفاده از زبان VHDL شبیه سازی کنید:

1) یک رجیستر ۸ بیتی که خصوصیات زیر را داشته باشد:

- شیفتر راست و چپ حسابی و منطقی
- بارگذاری موازی ( parallel load )
- ریست ناهمگام

2) یک T-flipflop و یک multiplexer پیاده سازی کنید و با متصل کردن آنها یک رجیستر ۴ بیتی با قابلیت شیفتر

راست و چپ و بارگذاری موازی و ریست ناهمگام بسازید . (پیاده سازی این تمرین حتما باید در سطح تجرید گیت باشد)

لطفاً توضیحات هر خط به صورت کامنت در کد نوشته شود.

موفق باشید