

دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دستور کار آزمایشگاه مدارهای منطقی

تهیه و تنظیم:

گروه مدرسین آزمایشگاه

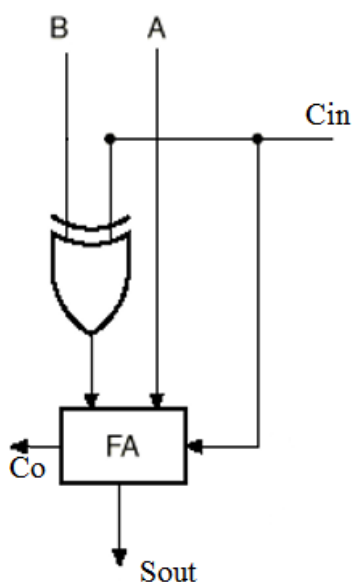
پاییز ۱۳۹۶

آزمایش ۷

هدف: پیاده‌سازی مدار جمع‌کننده-تفریق‌کننده ۴-بیتی به صورت ساختاری

۱. در گام نخست این آزمایش، هدف پیاده‌سازی مدار شکل ۱ است. این مدار دو بیت A و B را دریافت و بر اساس اینکه مقدار Cin صفر یا یک باشد، به صورت متناظر دو بیت را با یکدیگر جمع یا از یکدیگر تفریق می‌کند.

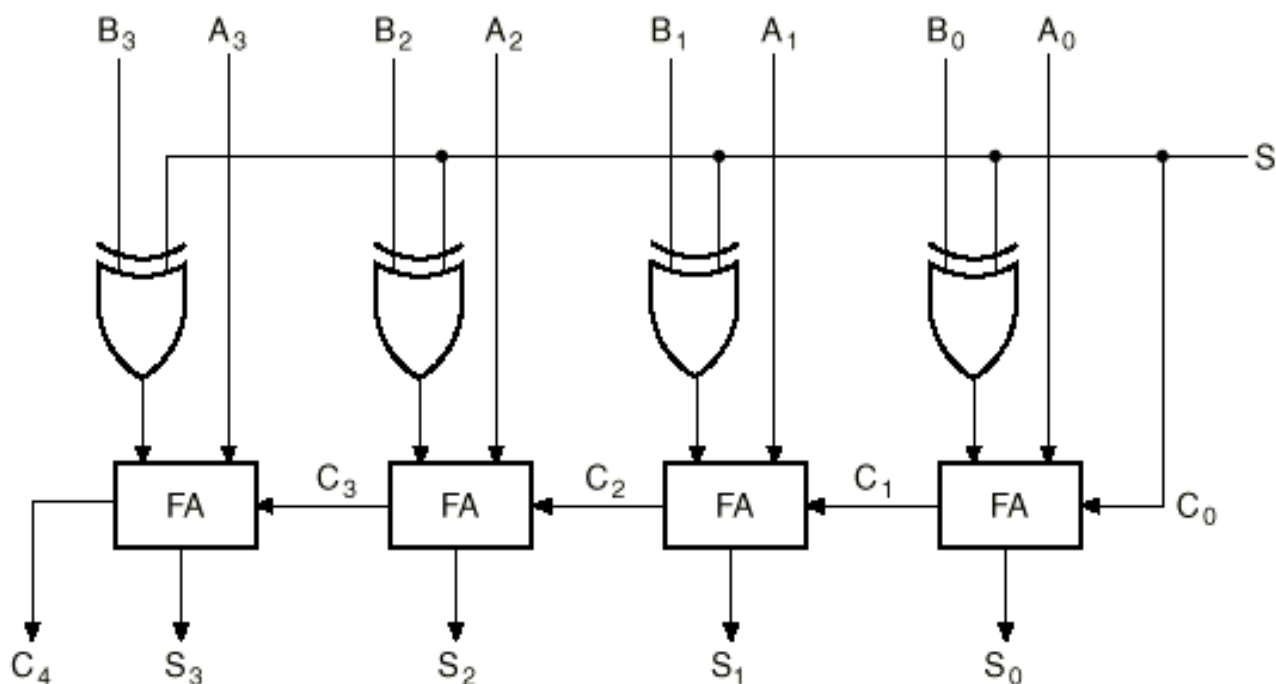
از دانشجویان انتظار می‌رود تا این مدار را با زبان Verilog به صورت ساختاری توصیف کنند. توصیف مدار تمام جمع‌کننده‌ی این شکل نیز باید به صورت ساختاری انجام پذیرد (فرض کنید تاخیر گیت‌های And و Or هر کدام ۵ نانوثانیه، گیت XOR ۱۰ نانوثانیه و گیت not ۲ نانوثانیه است. تاخیرهای ذکر شده در تمامی مراحل این آزمایش برقرار هستند).



شکل ۱ مدار جمع‌کننده-تفریق‌کننده تک بیتی [1]

۲. در گام دوم این آزمایش لازم است تا دانشجویان مطابق شکل ۲ مدار جمع‌کننده-تفریق‌کننده ۴-بیتی را با استفاده از مدار بخش اول توصیف کنند.

اکنون دانشجویان باید برای این مدار یک برنامه آزمون^۱ نوشته و مدار را به ازای حداقل ۳ حالت تفریق و ۳ حالت جمع تست کنند. پس از اعمال ورودی تا زمانی که خروجی ثابت بشود، خروجی چه گذارهایی دارد؟ آنها را یادداشت کنید. علت این تغییرات چیست؟



شکل ۲ مدار جمع کننده-تفریق کننده چهار بیتی

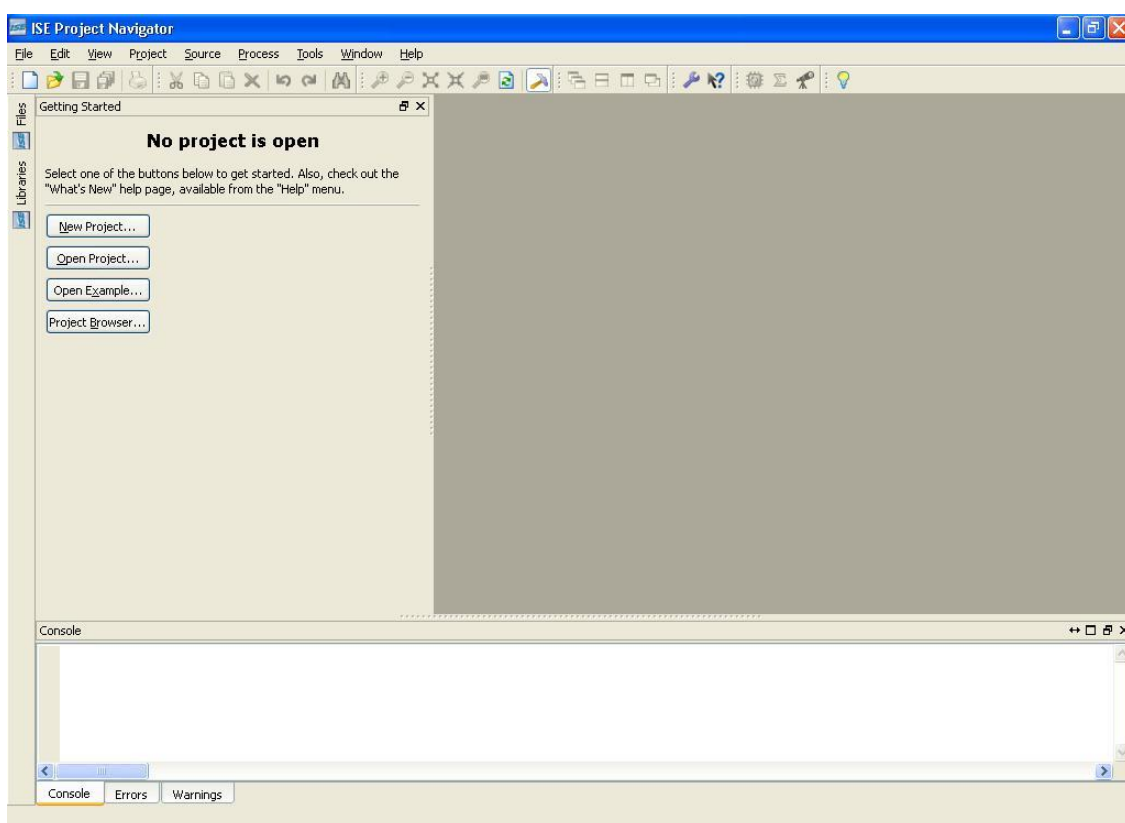
۳. در گام آخر این آزمایش لازم است دانشجویان مطابق مراحل ذکر شده در پیوست ۳، کدهای بخش اول و دوم خود را سنتز کرده و آن را بر روی برد FPGA بارگذاری کنند. ورودی‌های بخش ۲ را با کمک کلیدهای موجود بر روی برد اعمال کنید و نتایج را مشاهده کنید.

^۱ Testbench

پیوست ۳

مراحل سنتز و بارگذاری کد توصیف سخت‌افزاری روی FPGA

فاز اول: برنامه ریزی FPGA



شکل ۱ صفحه شروع کار با ابزار ISE

New Project Wizard

Create New Project
Specify project location and type.

Enter a name, locations, and comment for the project

Name: SampleRam

Location: E:\projects\SampleRam

Description:

Select the type of top-level source for the project

Top-level source type: HDL

More Info Next > Cancel

شکل ۲ ایجاد یک پروژه جدید

New Project Wizard

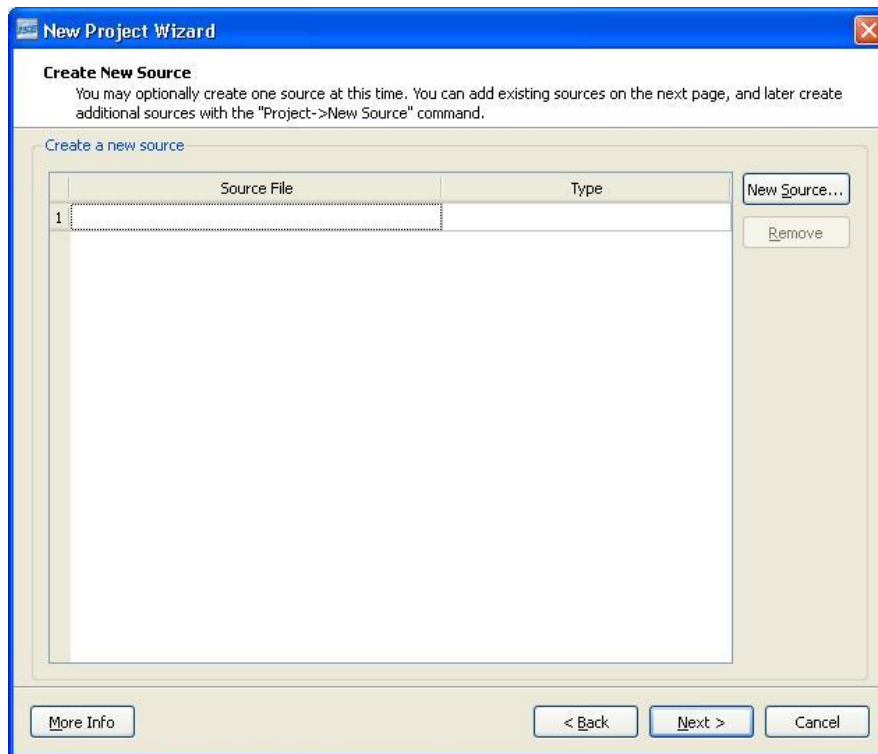
Device Properties
Specify device and project properties.

Select the device and design flow for the project

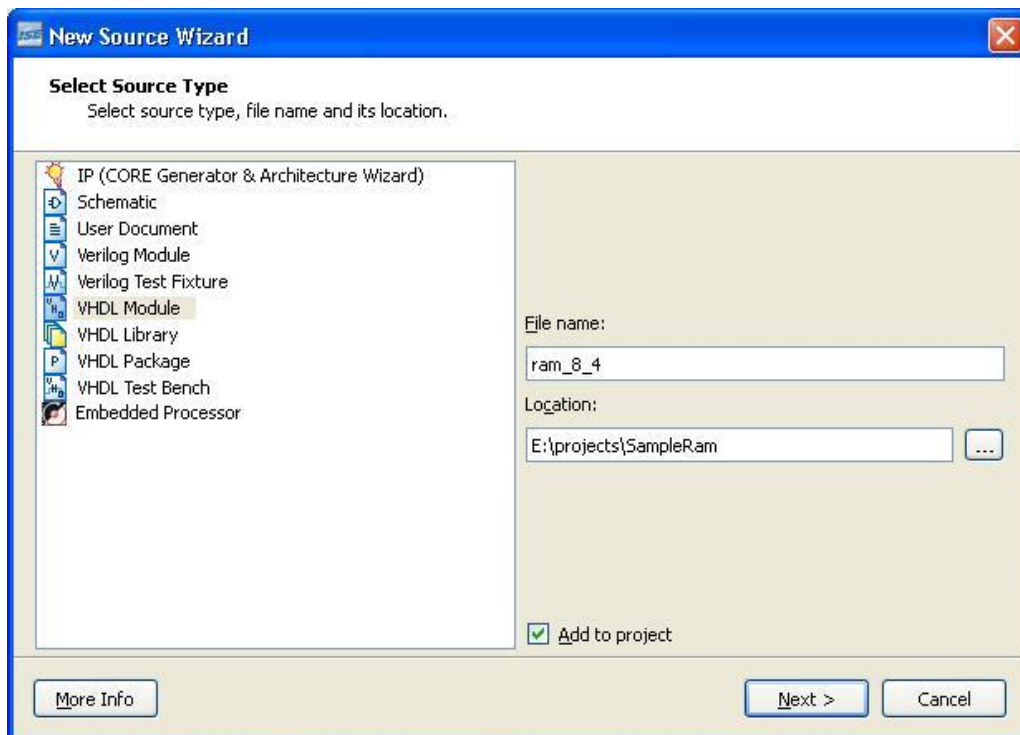
Property Name	Value
Product Category	All
Family	Spartan3
Device	XC3S400
Package	PQ208
Speed	-5
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Manual Compile Order	<input type="checkbox"/>
Enable Enhanced Design Summary	<input checked="" type="checkbox"/>
Enable Message Filtering	<input type="checkbox"/>
Display Incremental Messages	<input type="checkbox"/>

More Info < Back Next > Cancel

شکل ۳ تعیین ویژگی های FPGA



شکل ۴ ایجاد یک فایل برای entity



شکل ۵ تعیین نوع و نام فایل

New Source Wizard

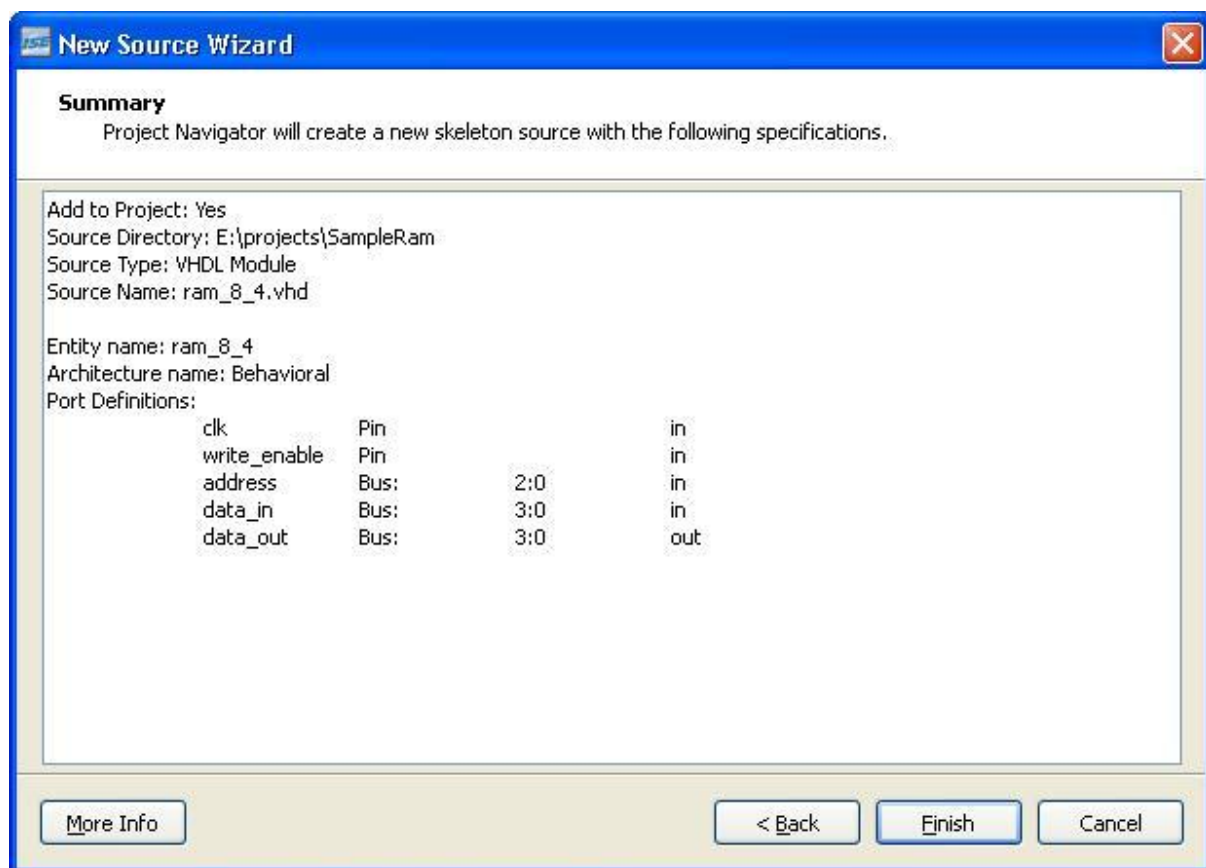
Define Module
Specify ports for module.

Entity name:

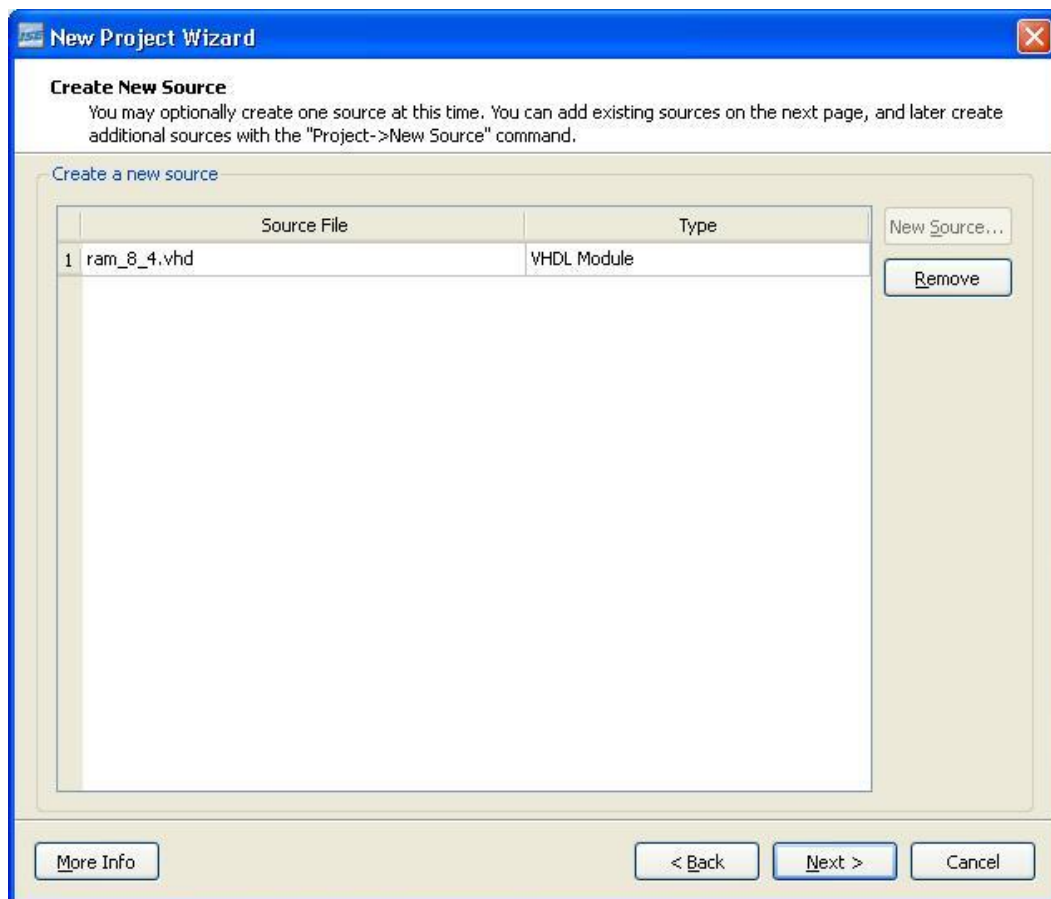
Architecture name:

Port Name	Direction	Bus	MSB	LSB
clk	in	<input type="checkbox"/>		
write_enable	in	<input type="checkbox"/>		
address	in	<input checked="" type="checkbox"/>	2	0
data_in	in	<input checked="" type="checkbox"/>	3	0
data_out	out	<input checked="" type="checkbox"/>	3	0
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		

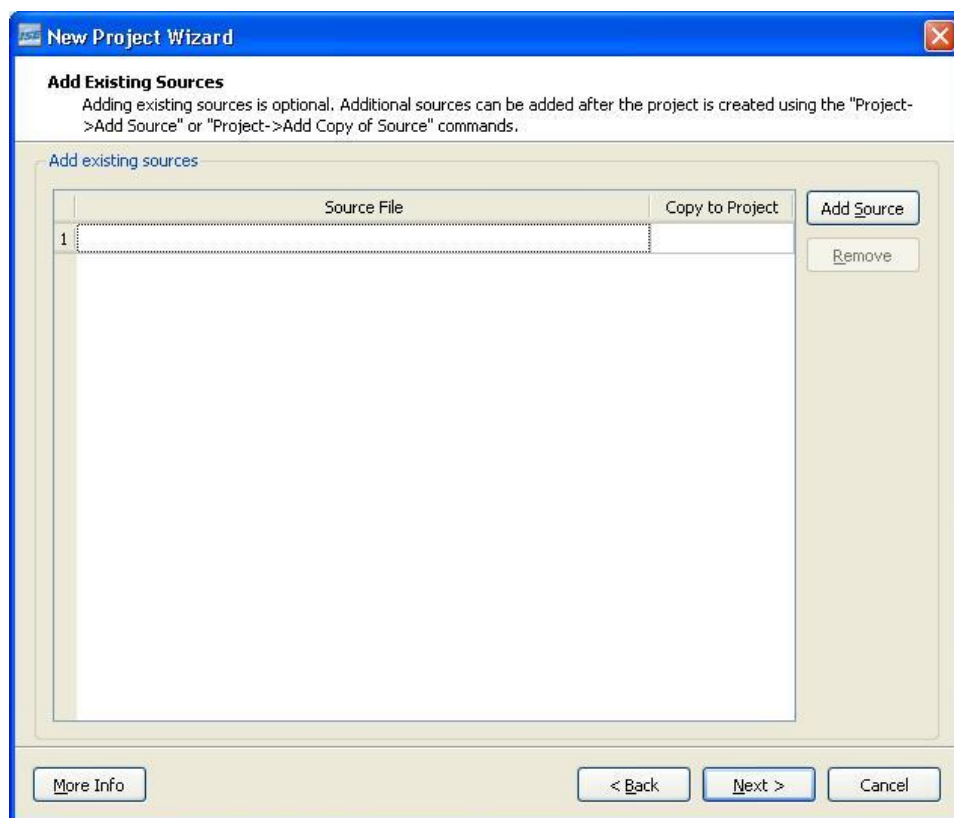
شکل ۶ تعیین پورت‌های ورودی و خروجی



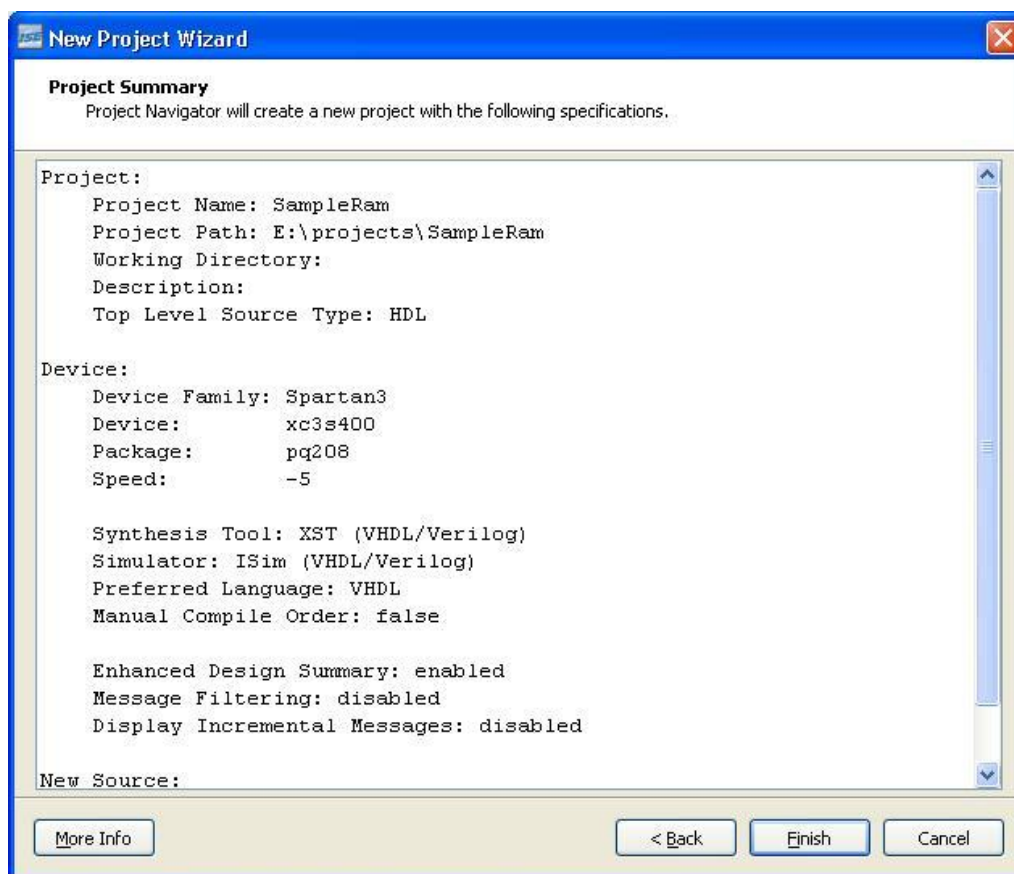
شکل ۷ خلاصه از ویژگی‌های فایل ایجاد شده



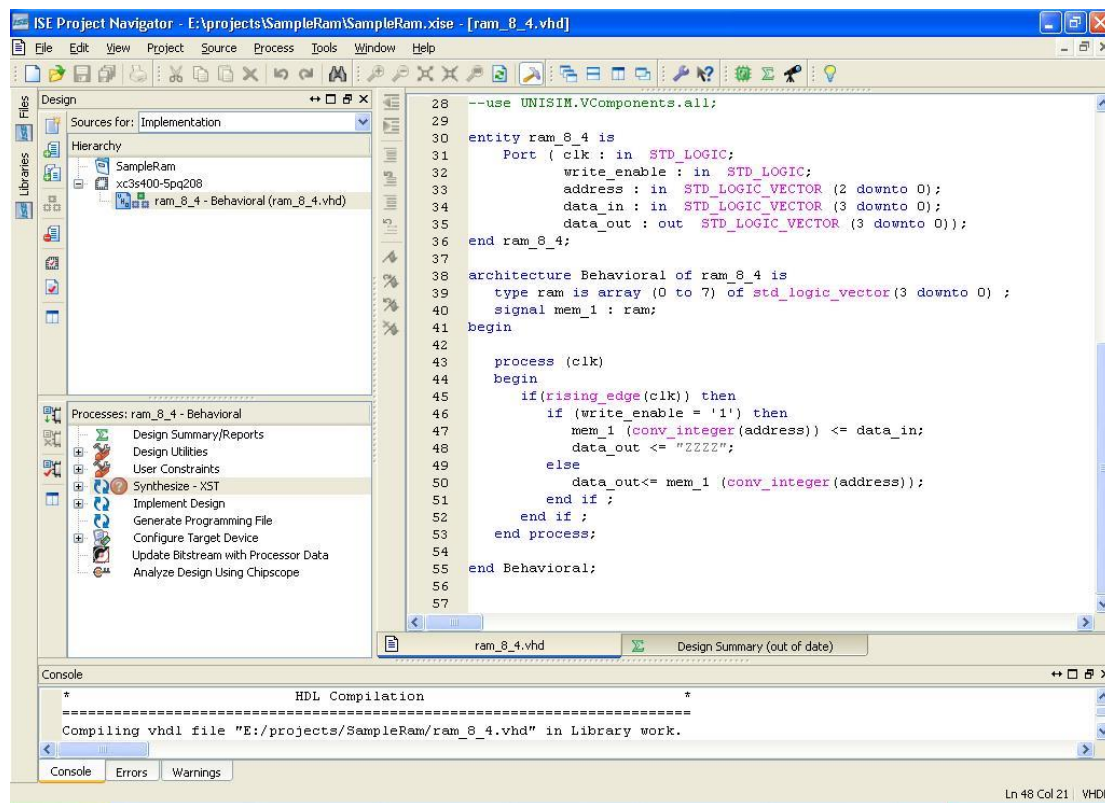
شکل ۸ لیست فایل‌های ایجاد شده



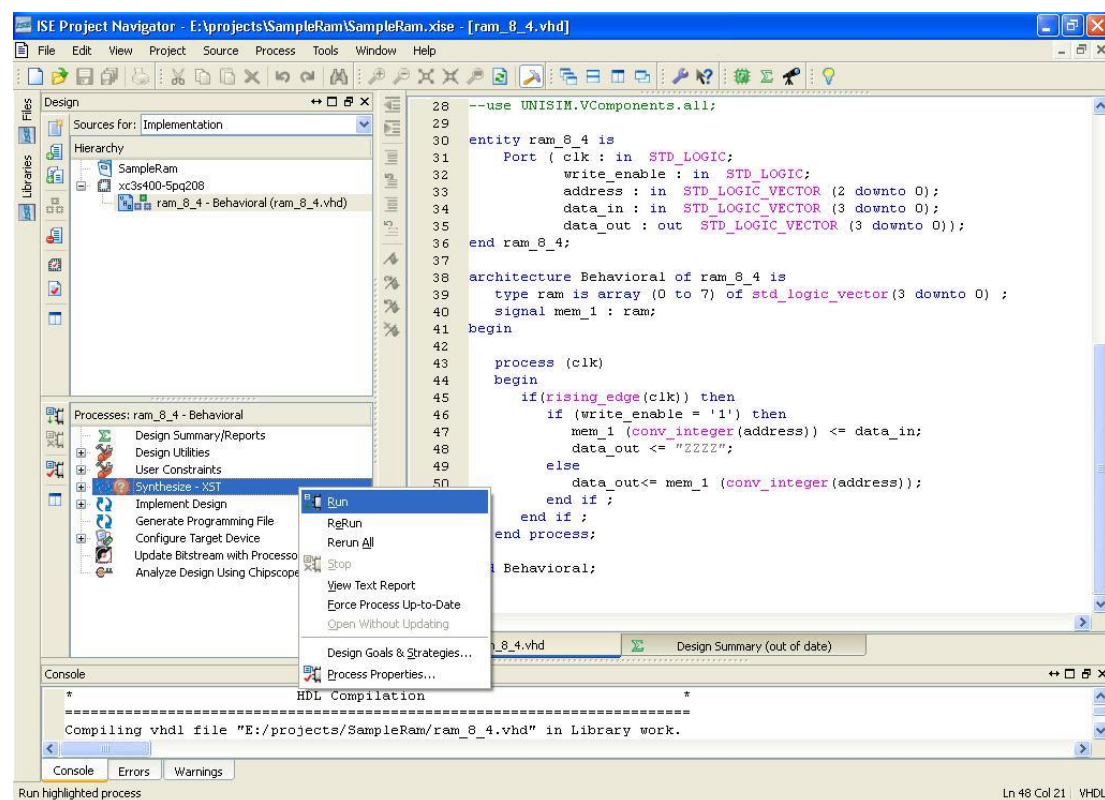
شکل ۹ افزودن فایل‌هایی که از قبل وجود دارند



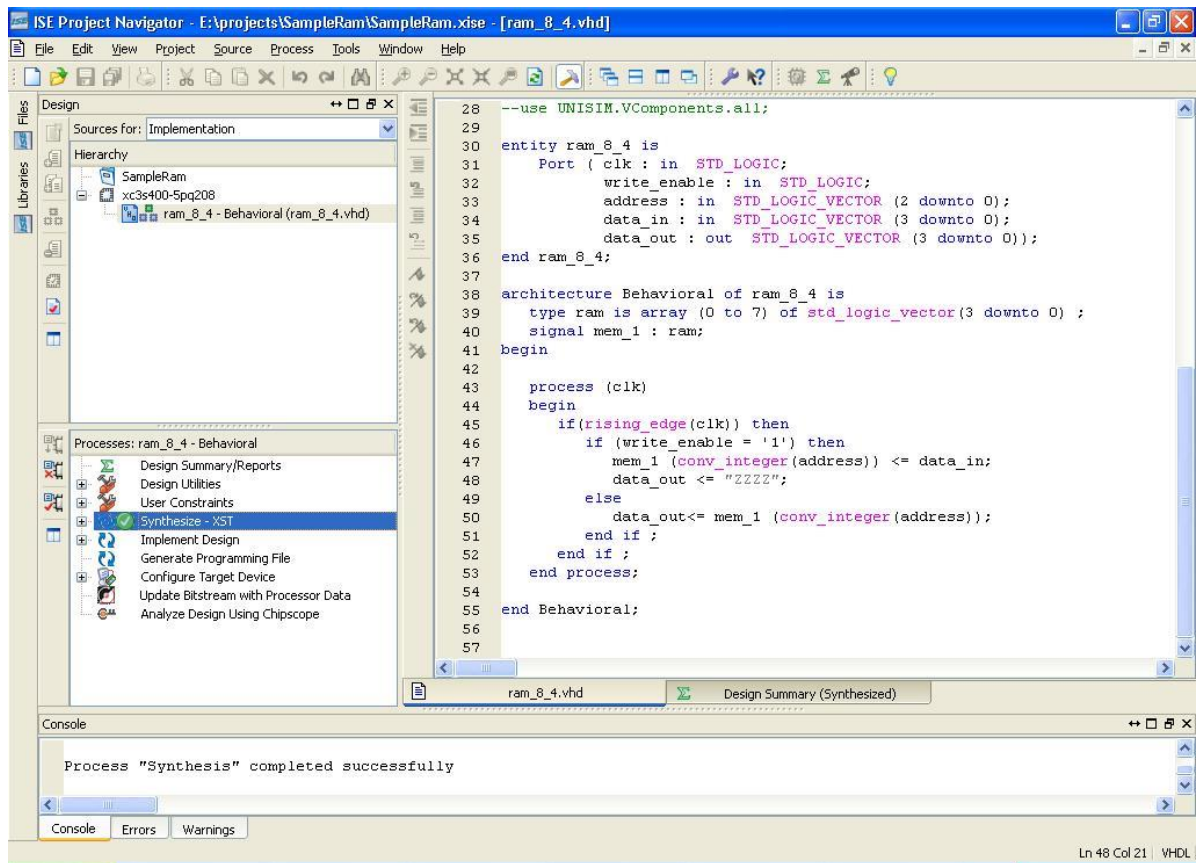
شکل ۱۰ خلاصه ای از ویژگی‌های پروژه ایجاد شده



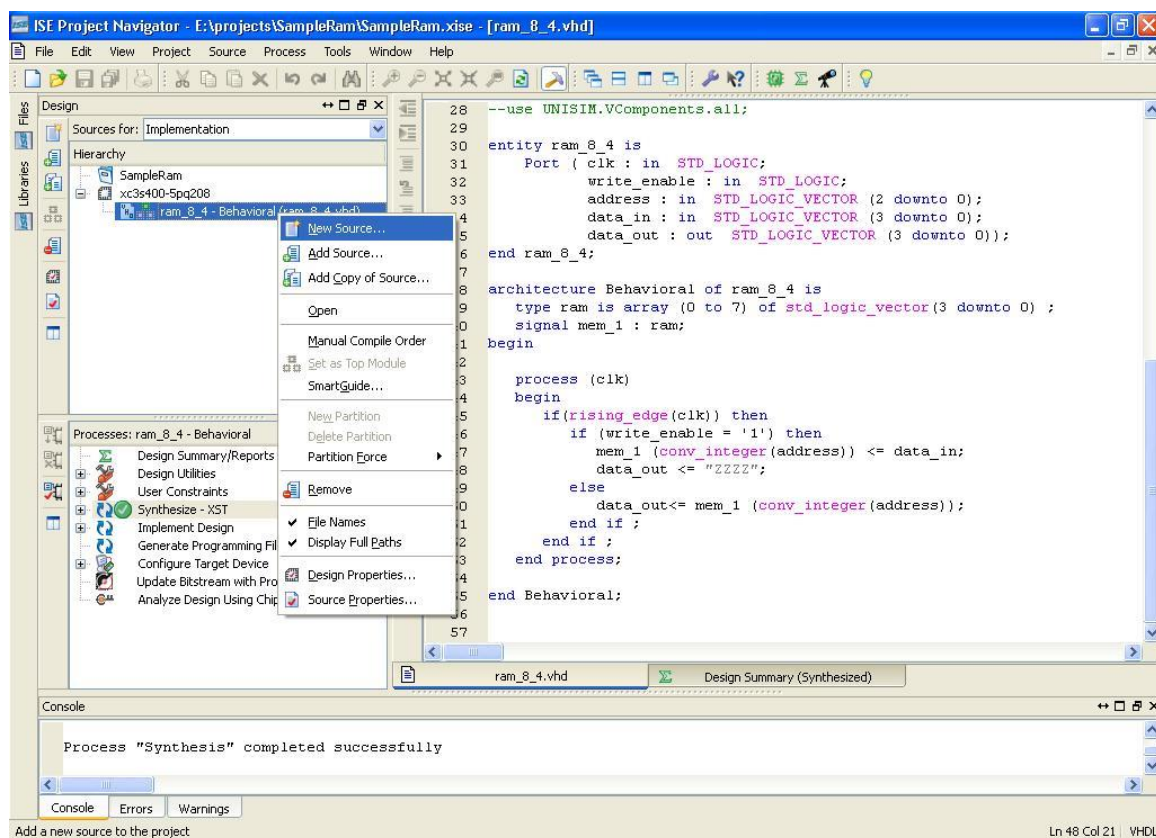
شکل ۱۱ نوشتن کد طراحی



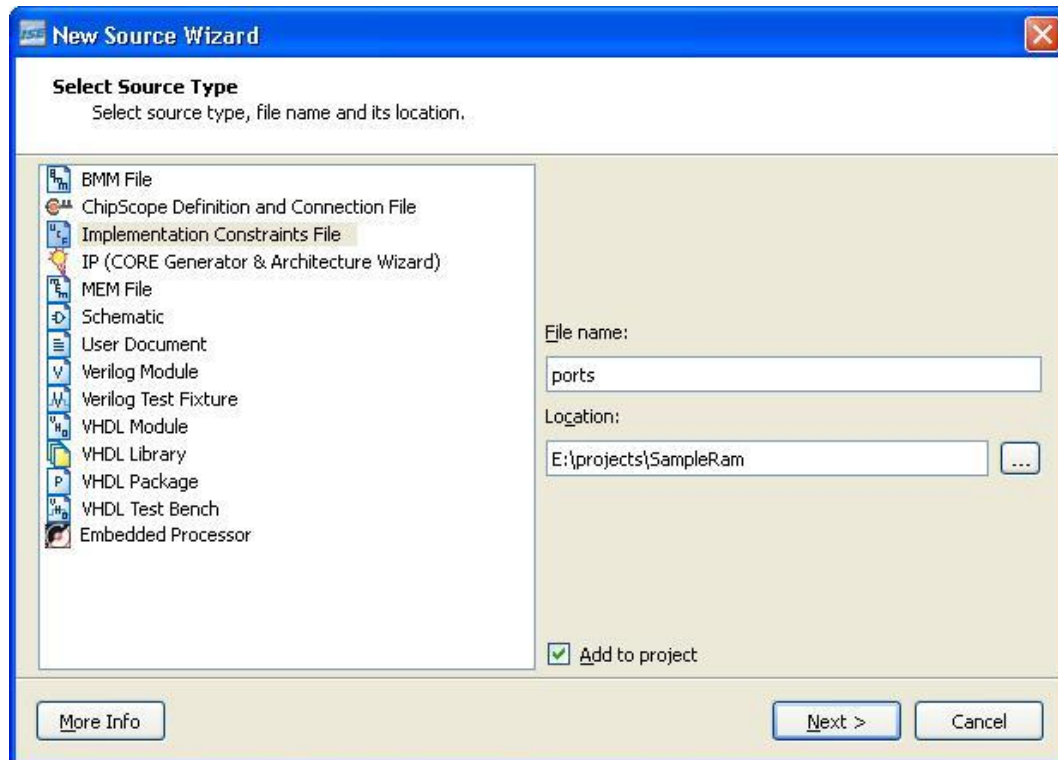
شکل ۱۲ منوی سنتز



شکل ۱۳ نتیجه سنتز



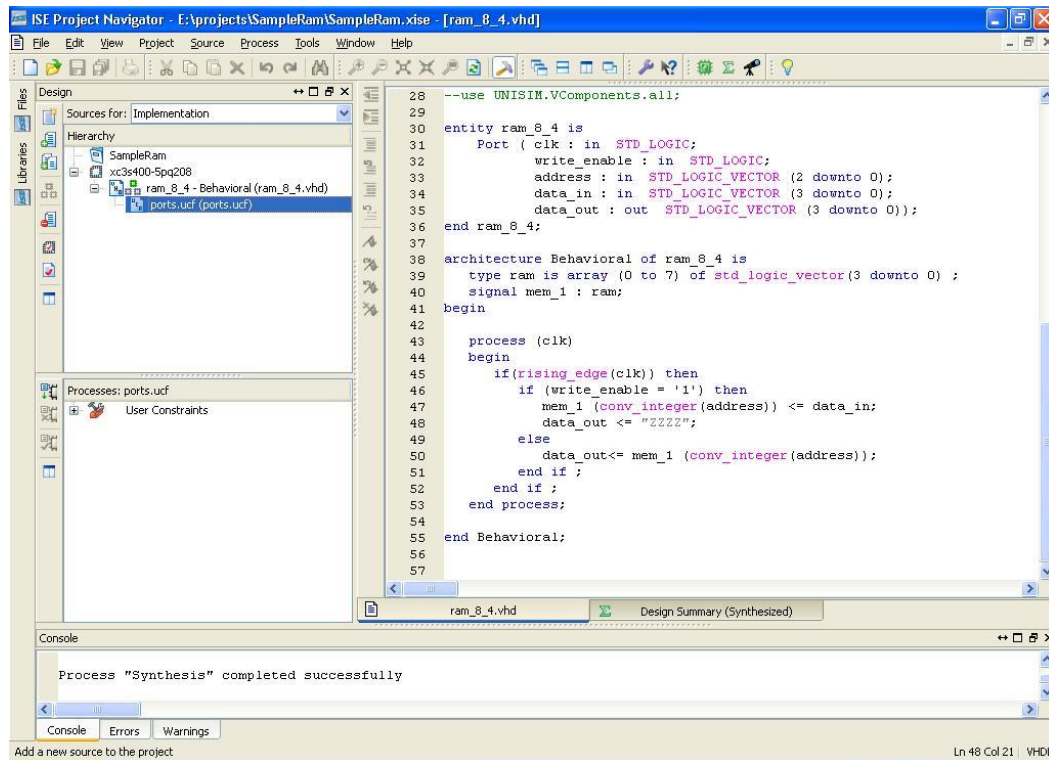
شکل ۱۴ منوی ایجاد فایل محدودیت (تعیین پورت‌های FPGA)



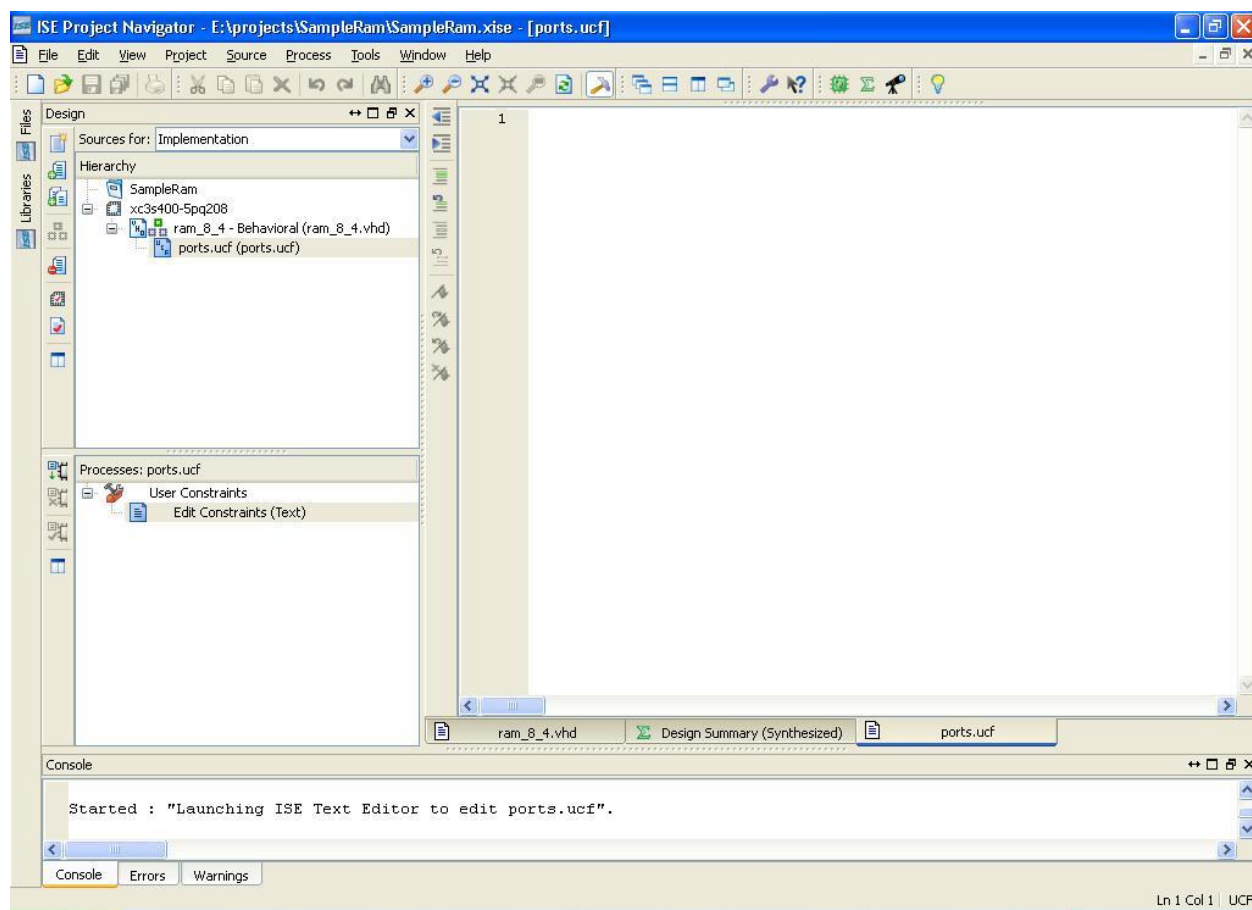
شکل ۱۵ تعیین نام فایل محدودیت



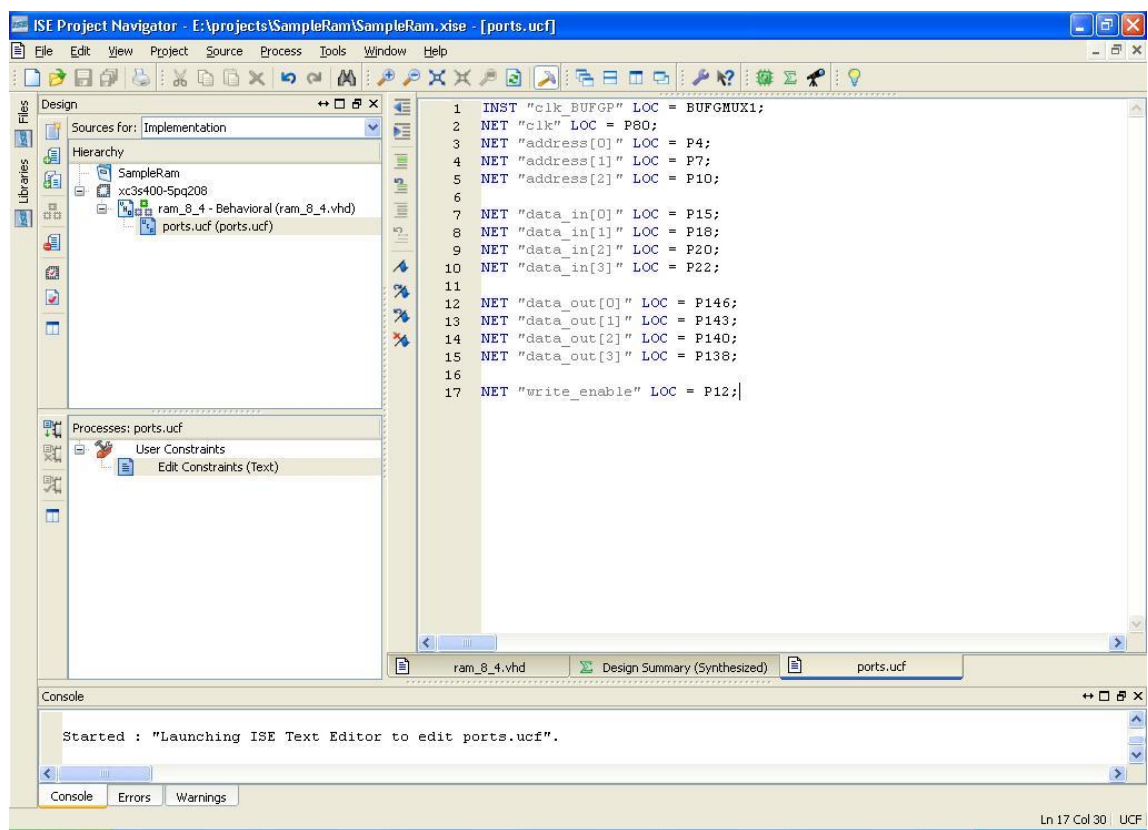
شکل ۱۶ ویژگی‌های فایل محدودیت ایجاد شده



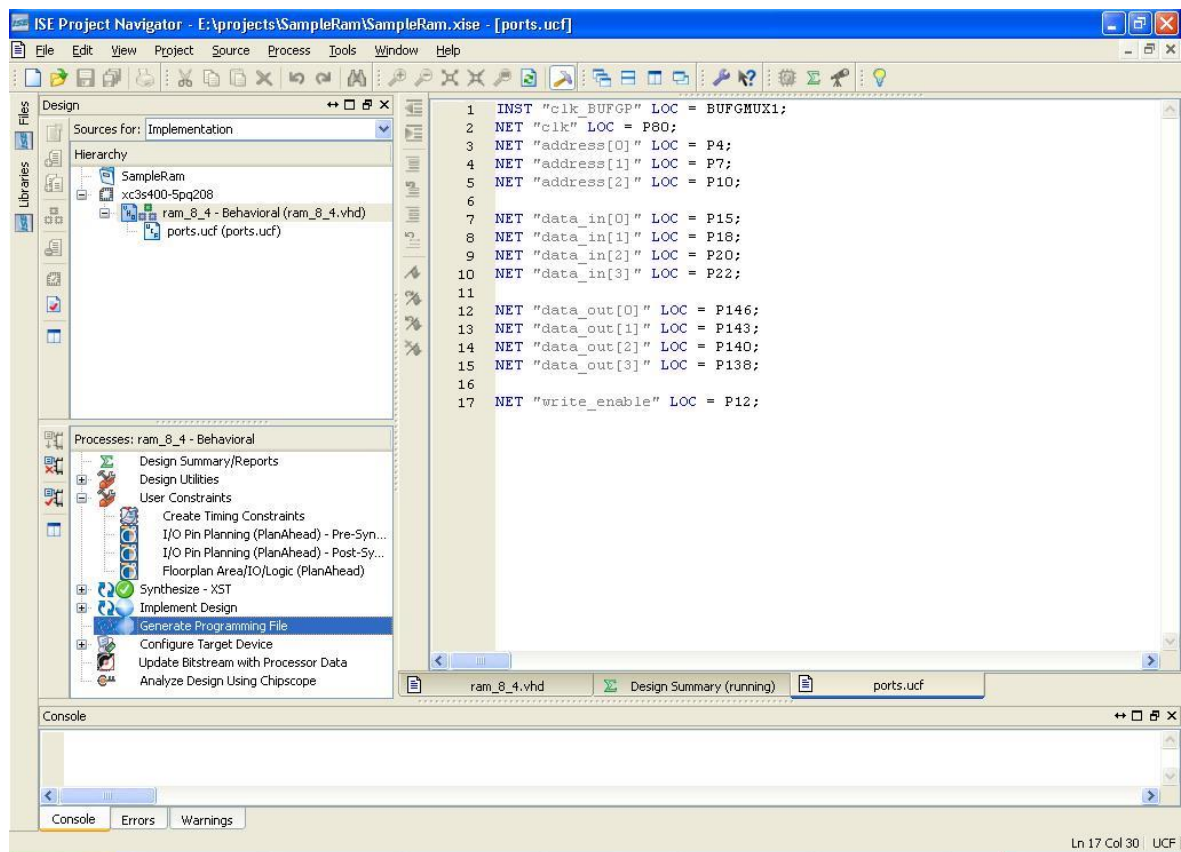
شکل ۱۷ فایل محدودیت در منوی Hierarchy



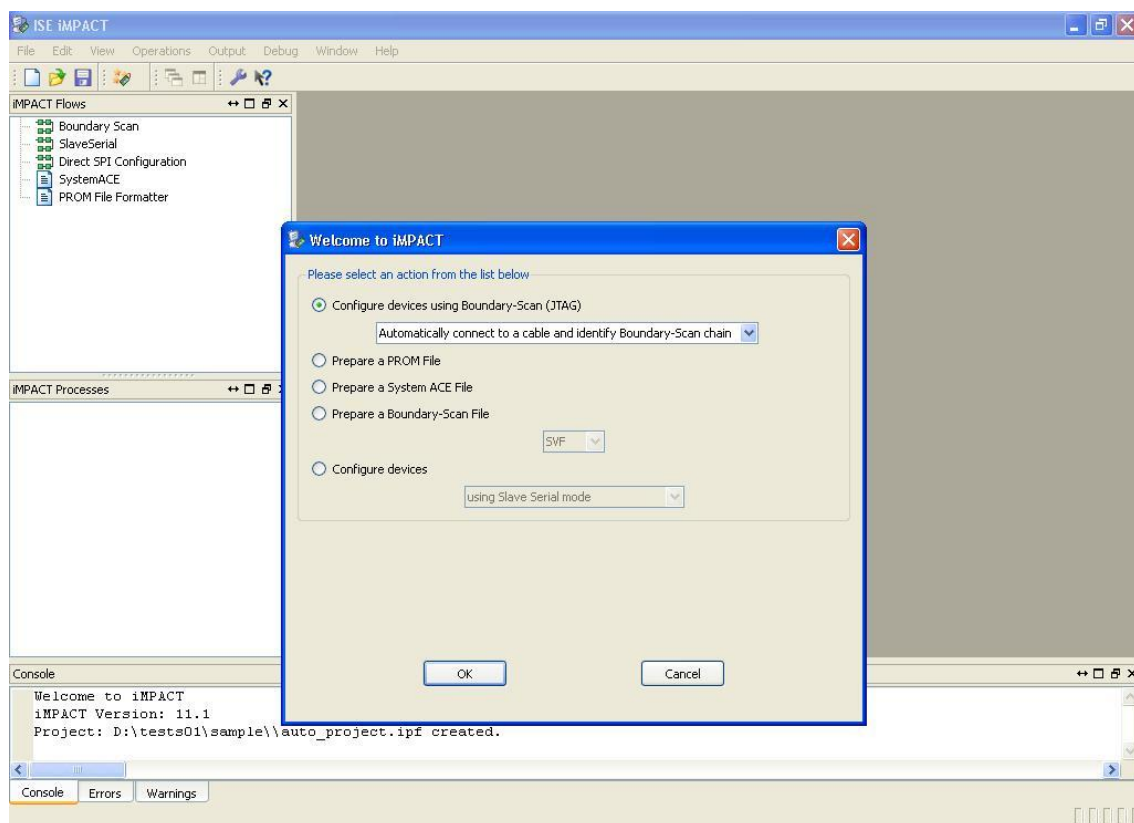
شکل ۱۸ ویرایش فایل محدودیت به صورت متنی



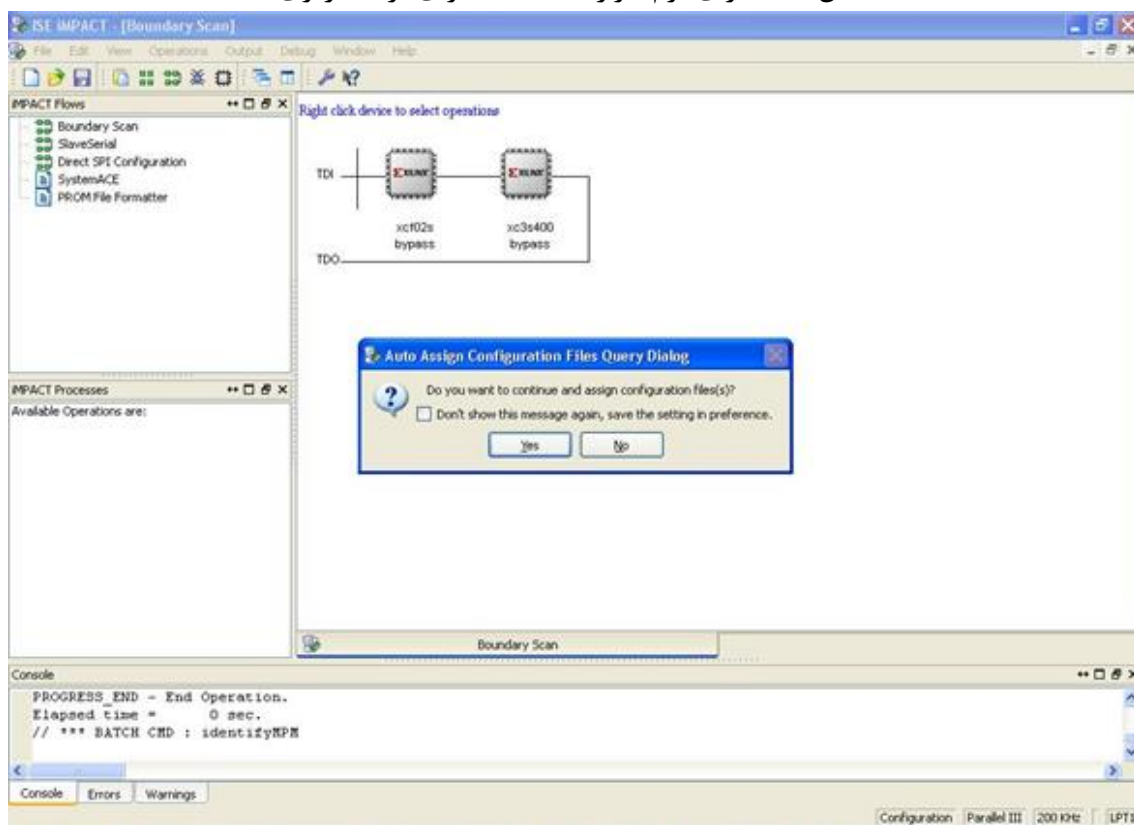
شکل ۱۹ تعیین port های طرح بر روی FPGA



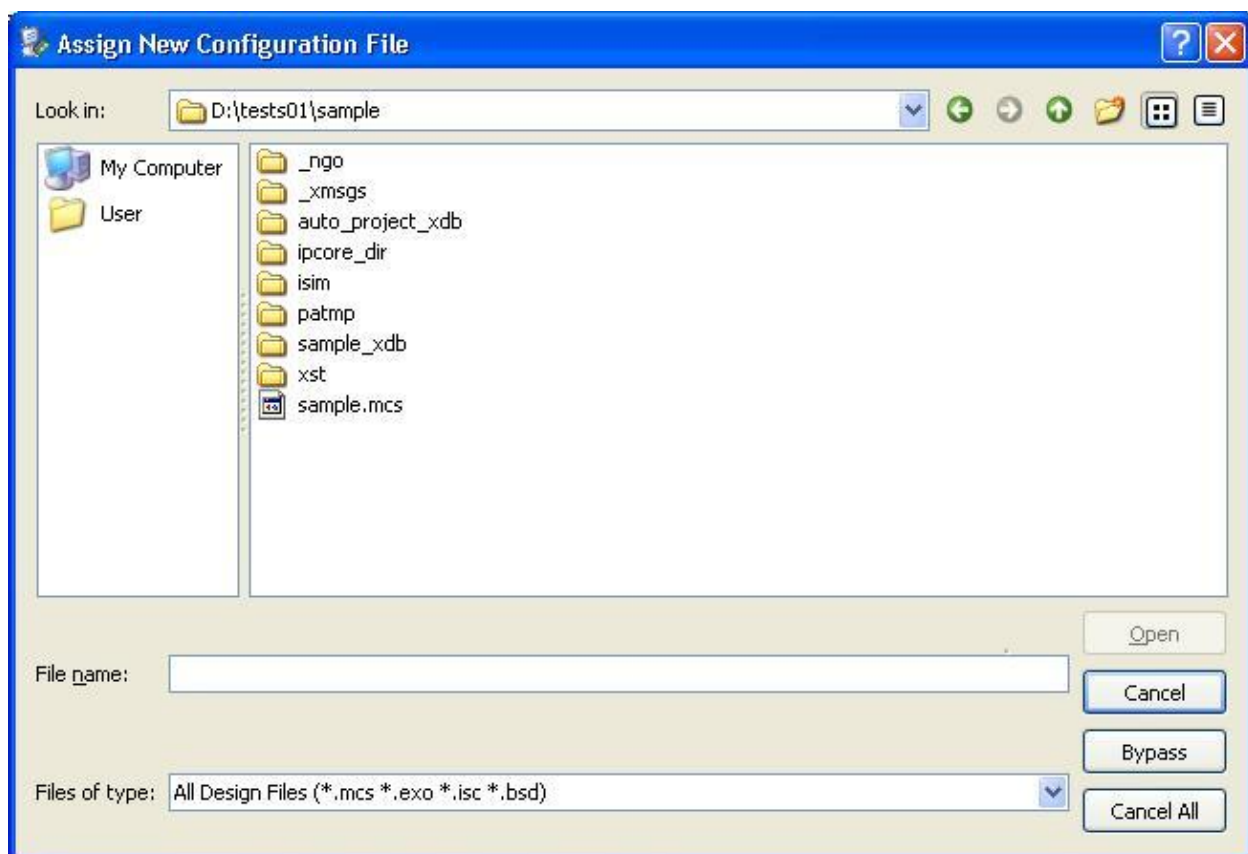
شکل ۲۰ ایجاد فایل برنامه‌ریزی



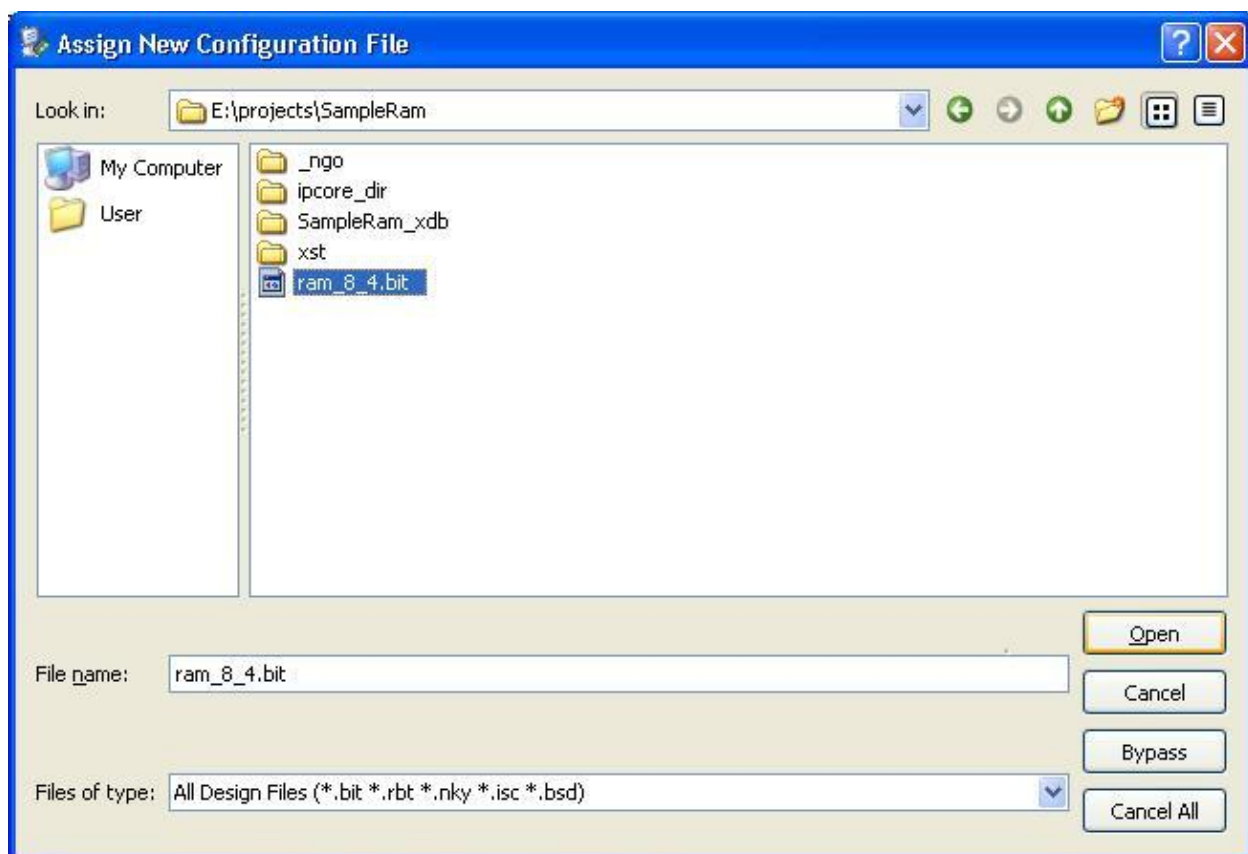
شکل ۲۱ اجرای نرم افزار IMPACT برای برنامه ریزی



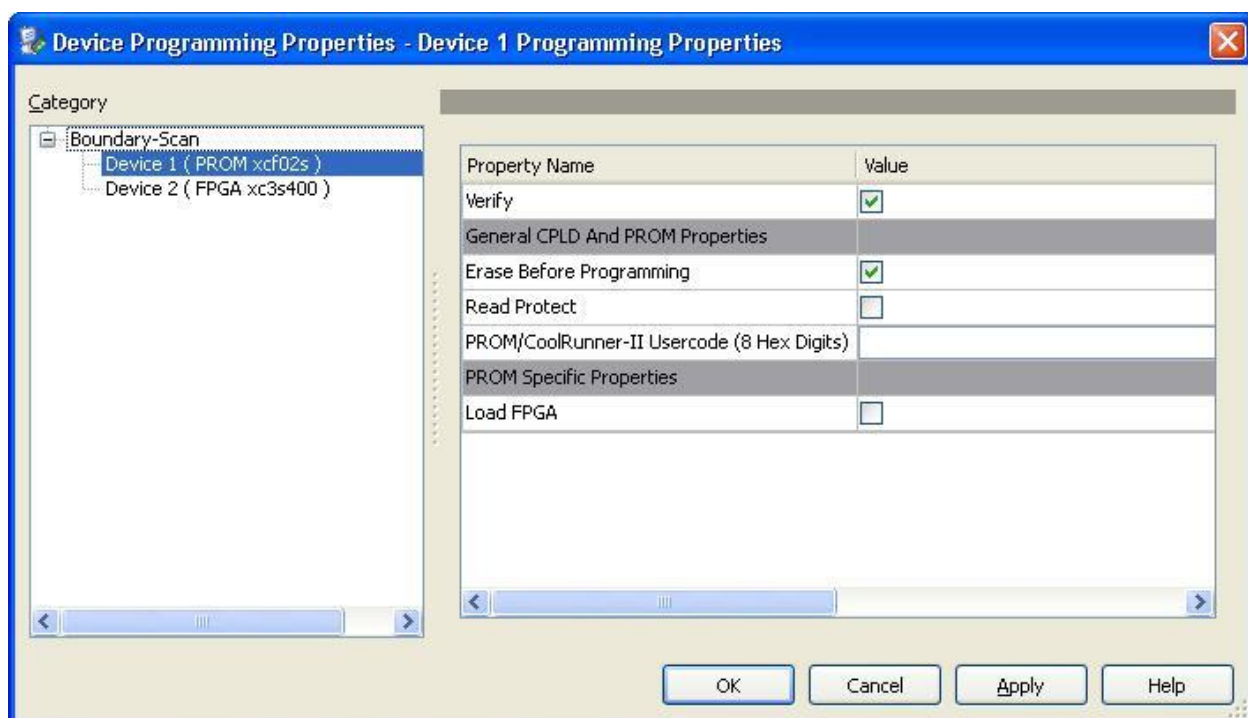
شکل ۲۲ ابزارهای شناخته شده



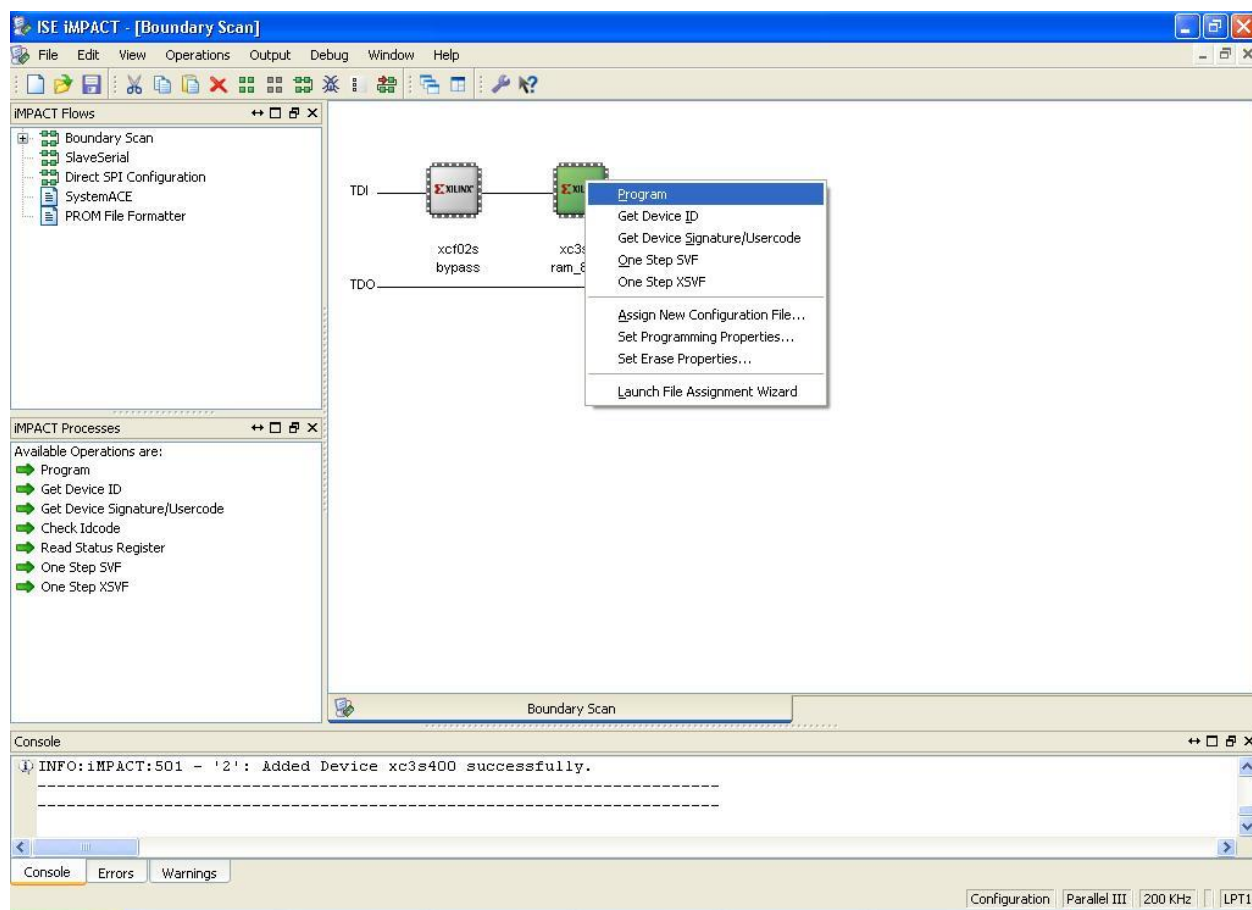
شکل ۲۳ تعیین فایل برنامه ریزی RAM موجود در روی برد. (فعلا این مرحله را bypass می کنیم.)



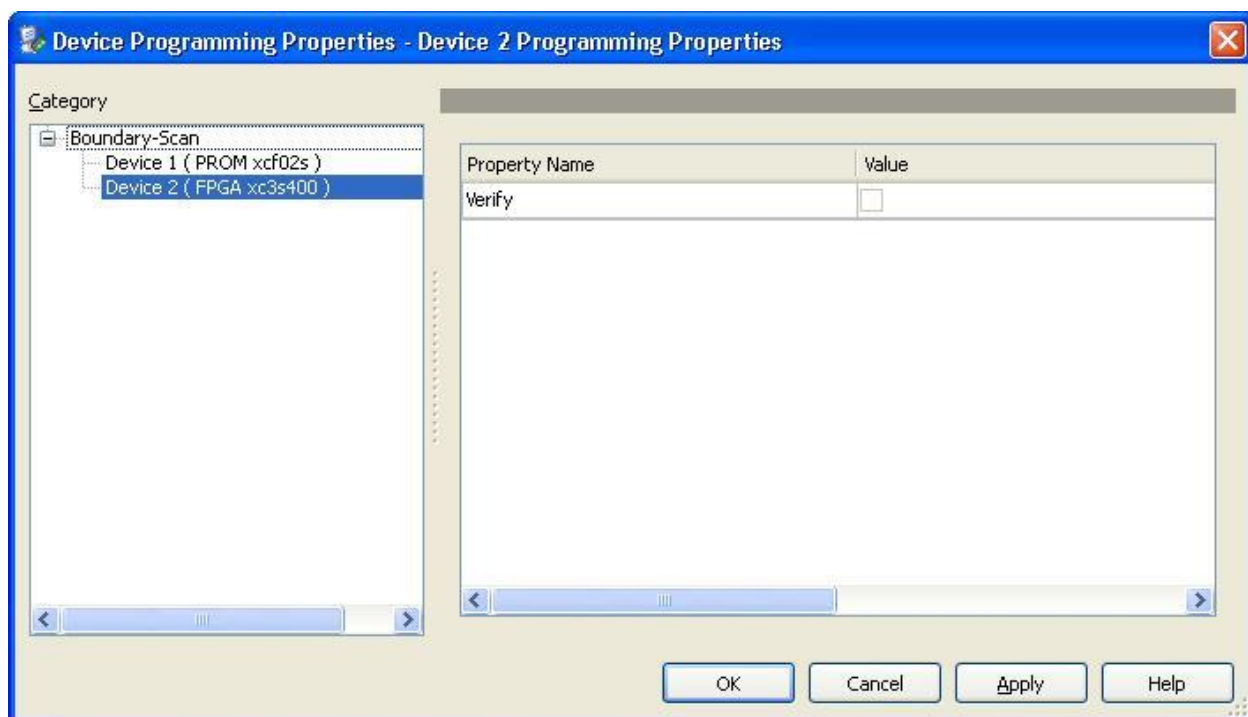
شکل ۲۴ انتخاب فایل برنامه ریزی تولید شده در مرحله قبل



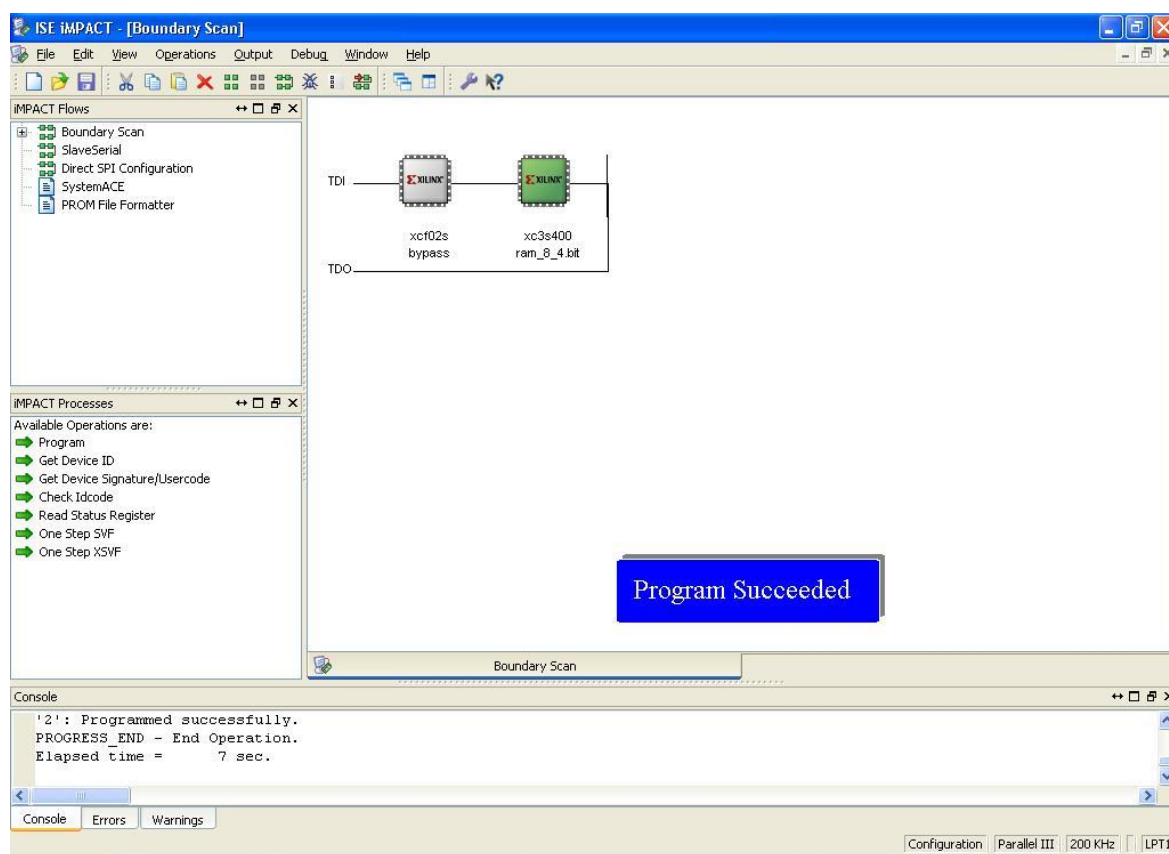
شکل ۲۵ نمایش ویژگی‌های برنامه ریزی ابزار



شکل ۲۶ برنامه ریزی FPGA

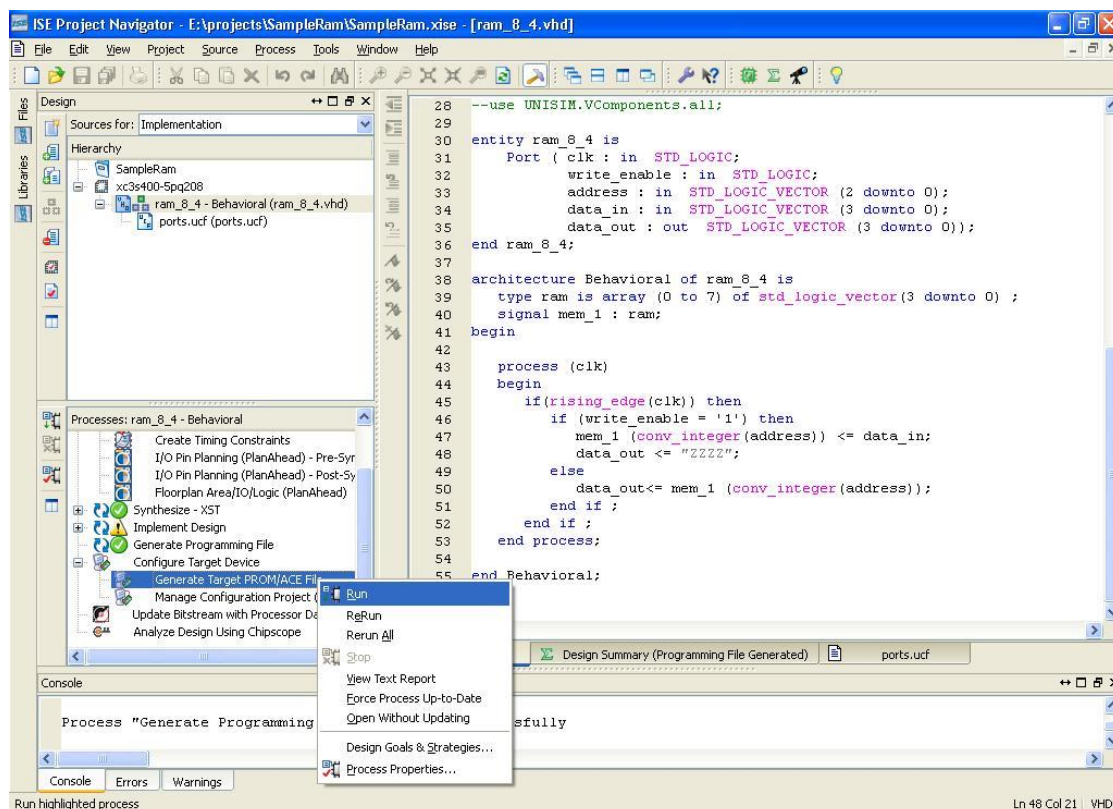


شکل ۲۷ تائید نهایی

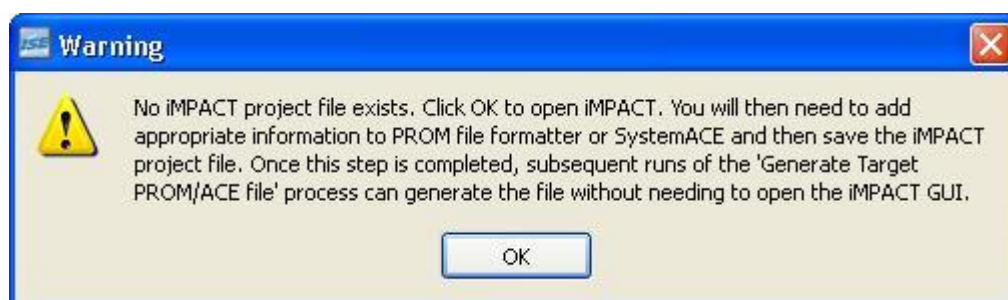


شکل ۲۸ وضعیت برنامه ریزی

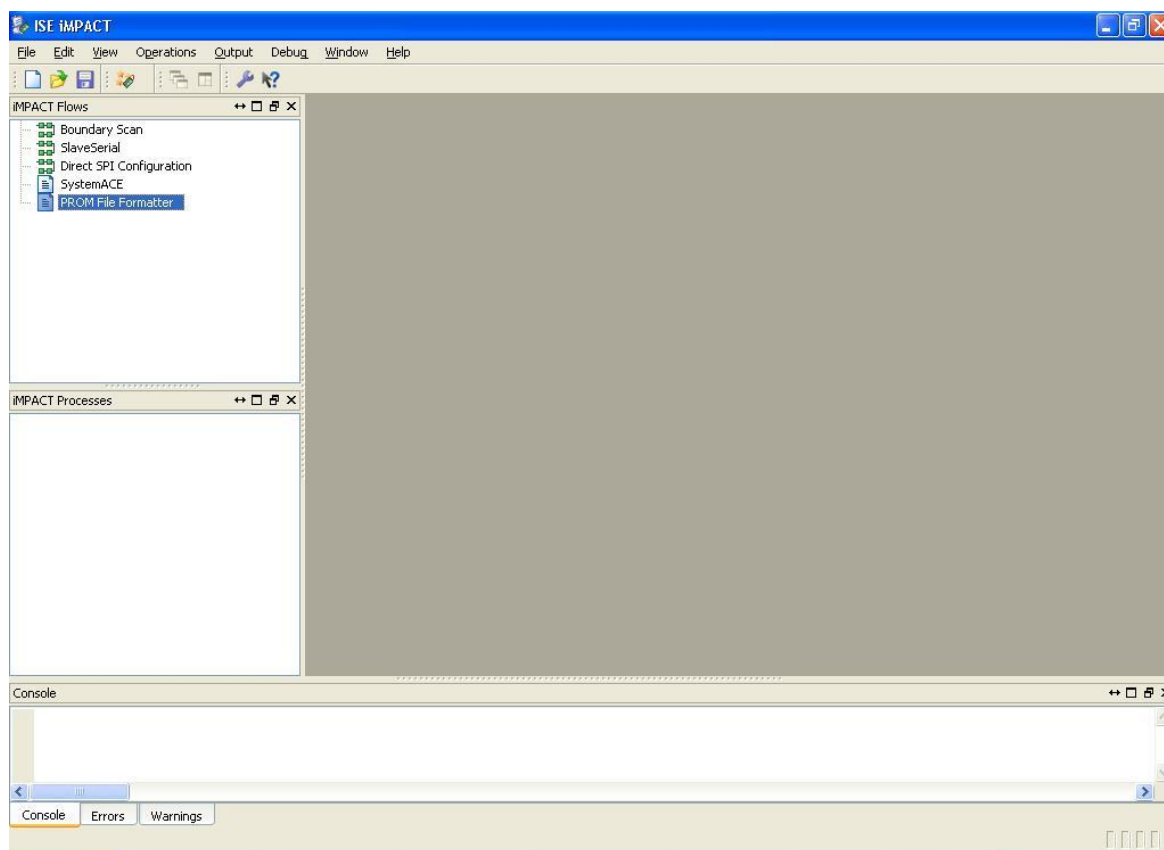
فاز دوم: برنامه ریزی RAM روی برد



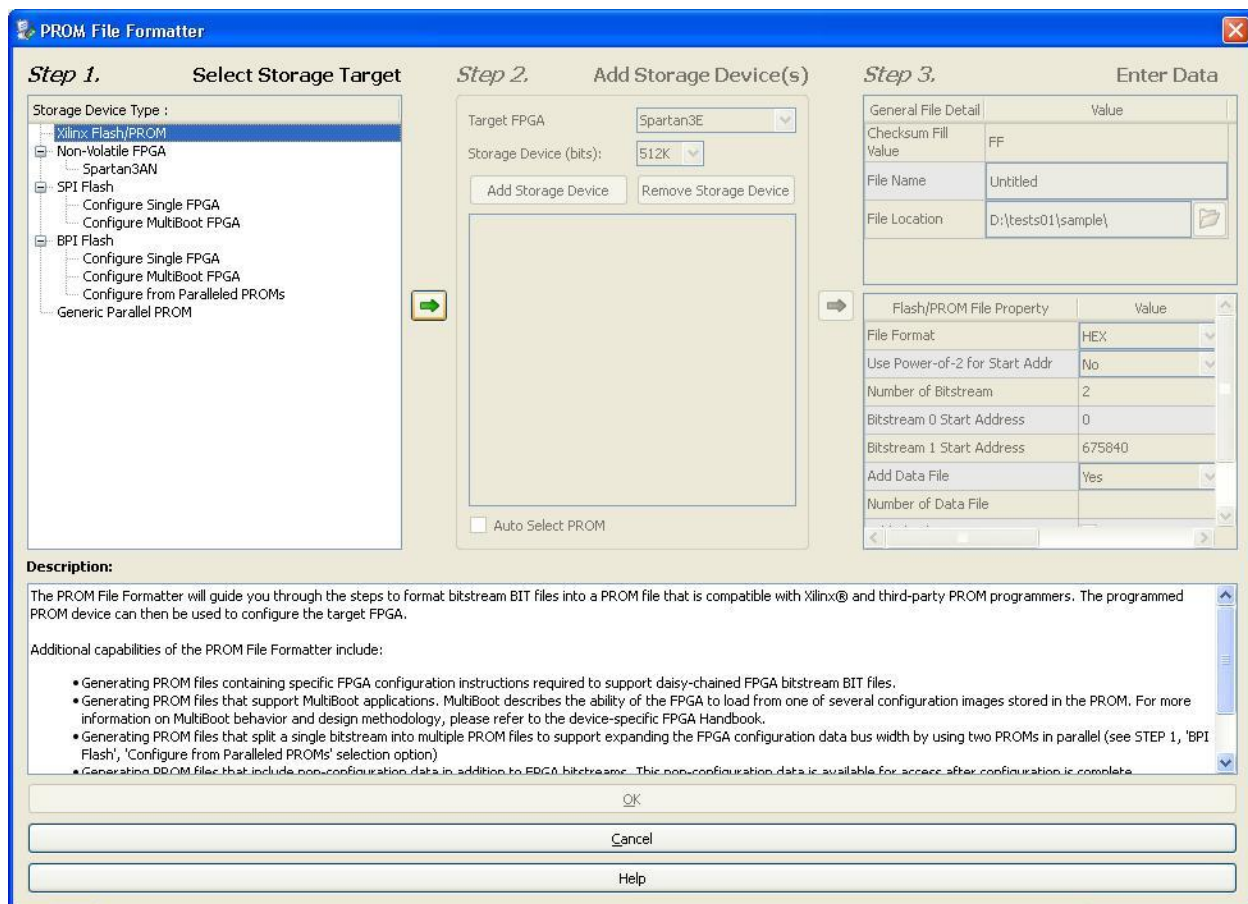
شکل ۲۹ منوی ایجاد فایل برنامه ریزی RAM



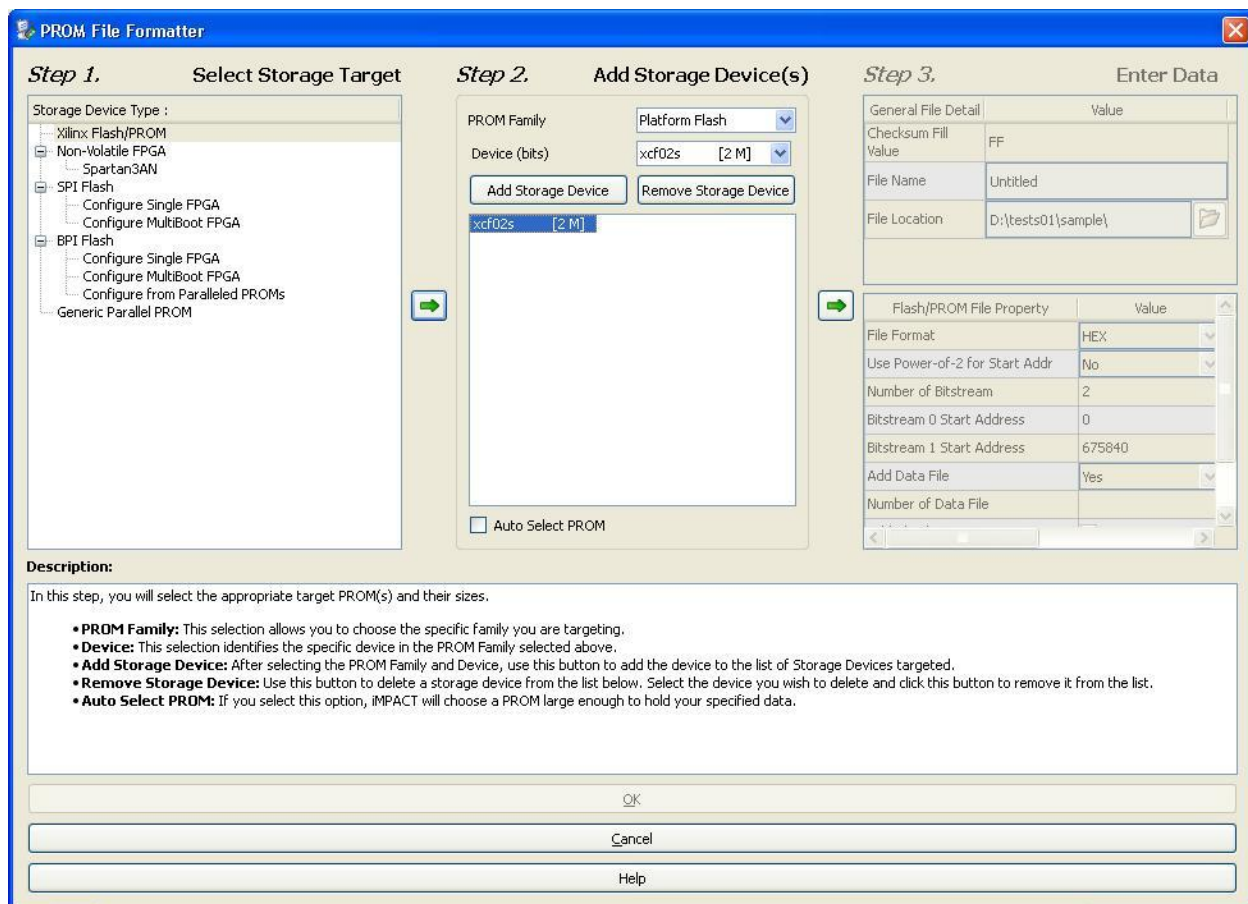
شکل ۳۰ هشدار مبنی بر ایجاد پروژه iMPACT جدید



شکل ۳۱ منوی ایجاد فایل برنامه ریزی در پنجره iMPACT



شکل ۳۲ گام اول ایجاد فایل برنامه ریزی



شکل ۳۳ گام دوم ایجاد فایل برنامه ریزی

PROM File Formatter

Step 1. Select Storage Target

Storage Device Type :

- Xilinx Flash/PROM
 - Non-Volatile FPGA
 - Spartan3AN
 - SPI Flash
 - Configure Single FPGA
 - Configure MultiBoot FPGA
 - BPI Flash
 - Configure Single FPGA
 - Configure MultiBoot FPGA
 - Configure from Paralleled PROMs
 - Generic Parallel PROM

Step 2. Add Storage Device(s)

PROM Family: Platform Flash

Device (bits): xcf02s [2 M]

Add Storage Device Remove Storage Device

xcf02s [2 M]

☐ Auto Select PROM

Step 3. Enter Data

General File Data	Value
Checksum Fill Value	FF
File Name	ram_8_4
File Location	E:/projects/SampleRam

Flash/PROM File Property	Value
File Format	MCS
Add Data Files	No

Description:

In this step, you will enter information to assist in setting up and generating a PROM file for the targeted storage device and mode.

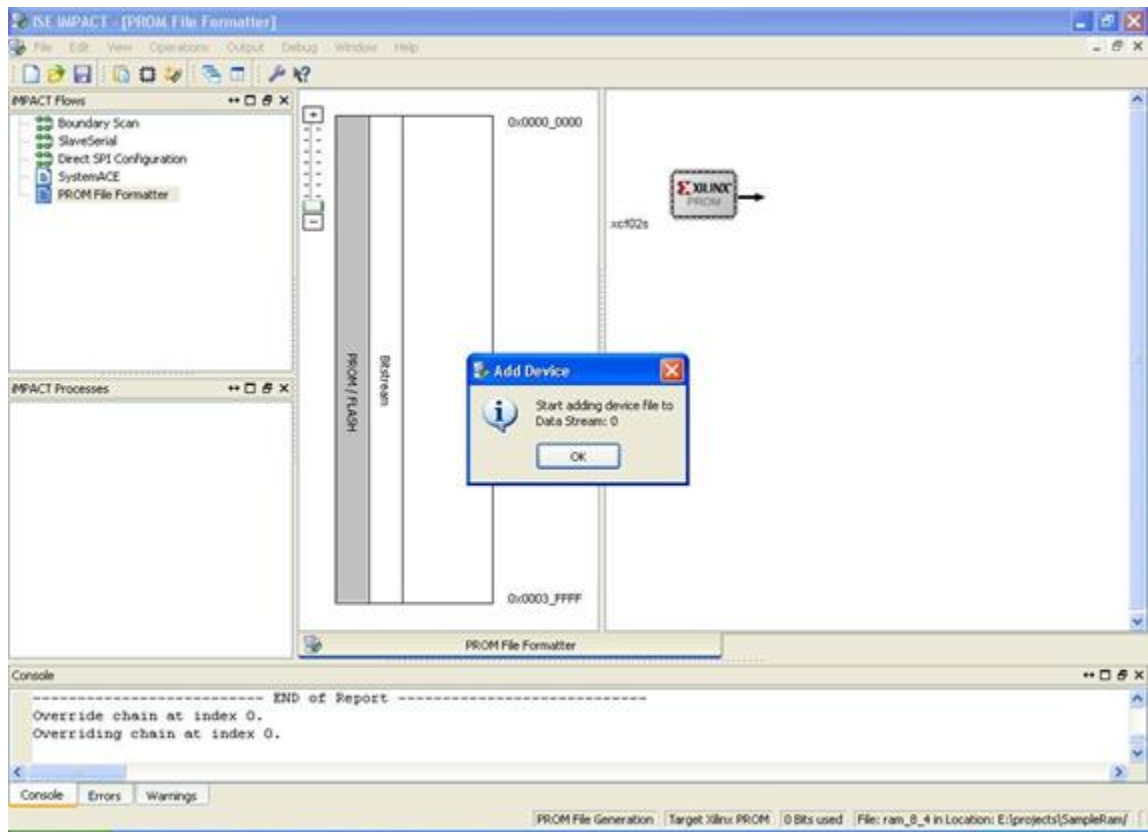
- Checksum Fill Value:** When data is insufficient to fill the entire memory of a PROM, the value specified here is used to calculate the checksum of the unused portions.
- File Name:** This allows you to specify the base name of the file to which your PROM data will be written.
- File Location:** This allows you to specify the directory in which the file named above will be created.
- File Format:** PROM files can be generated in any number of industry standard formats. Depending on the PROM file format your PROM programmer uses, you output a TEK, MCS, EXO, HEX, UFP, ISC or BIN file. MCS is the most popular. ISC is used when targeting programming flows that utilize IEEE Std 1532. Third Party socket-based programmers usually accept any of the listed formats. If you are using a microprocessor to configure your devices, you output a HEX, UFP, or BIN file.
- Add Data Files:** Some PROM devices allow you to store user (non-configuration) data for use by the FPGA after configuration. Choose this option if your application needs this capability.

OK

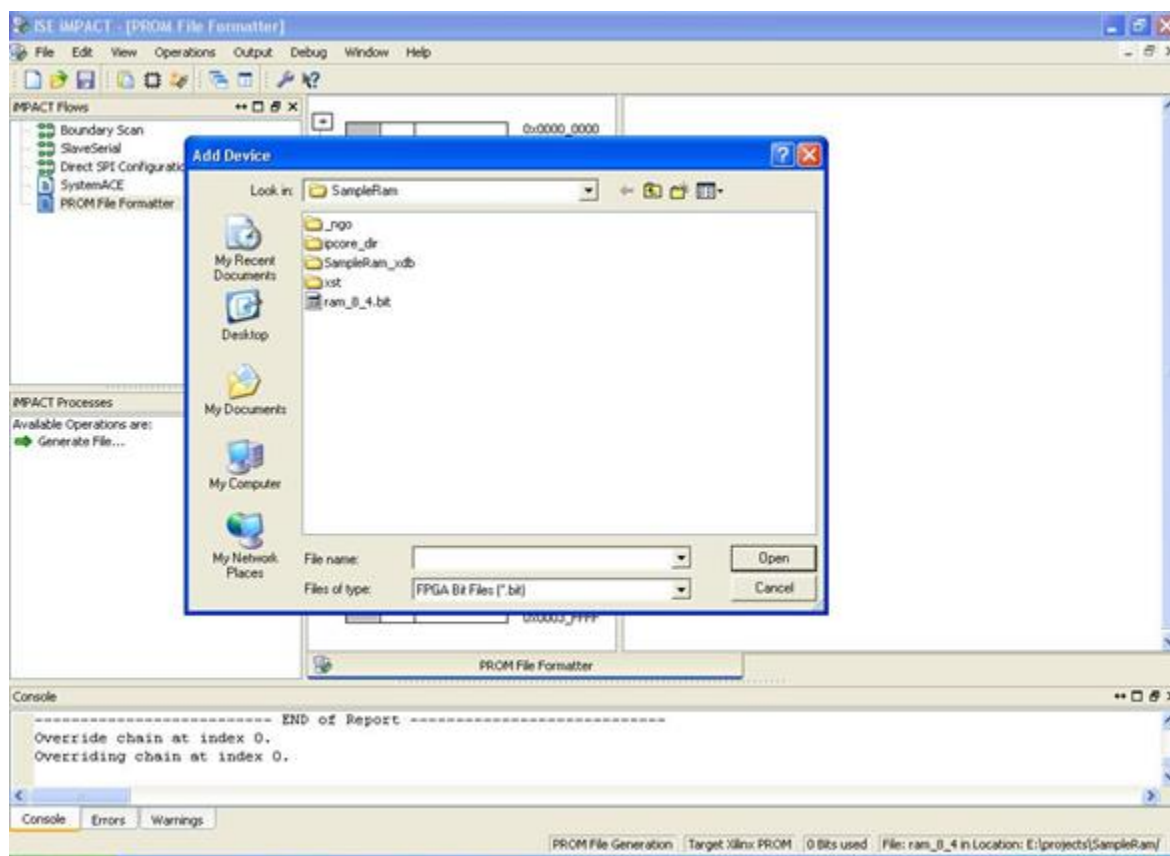
Cancel

Help

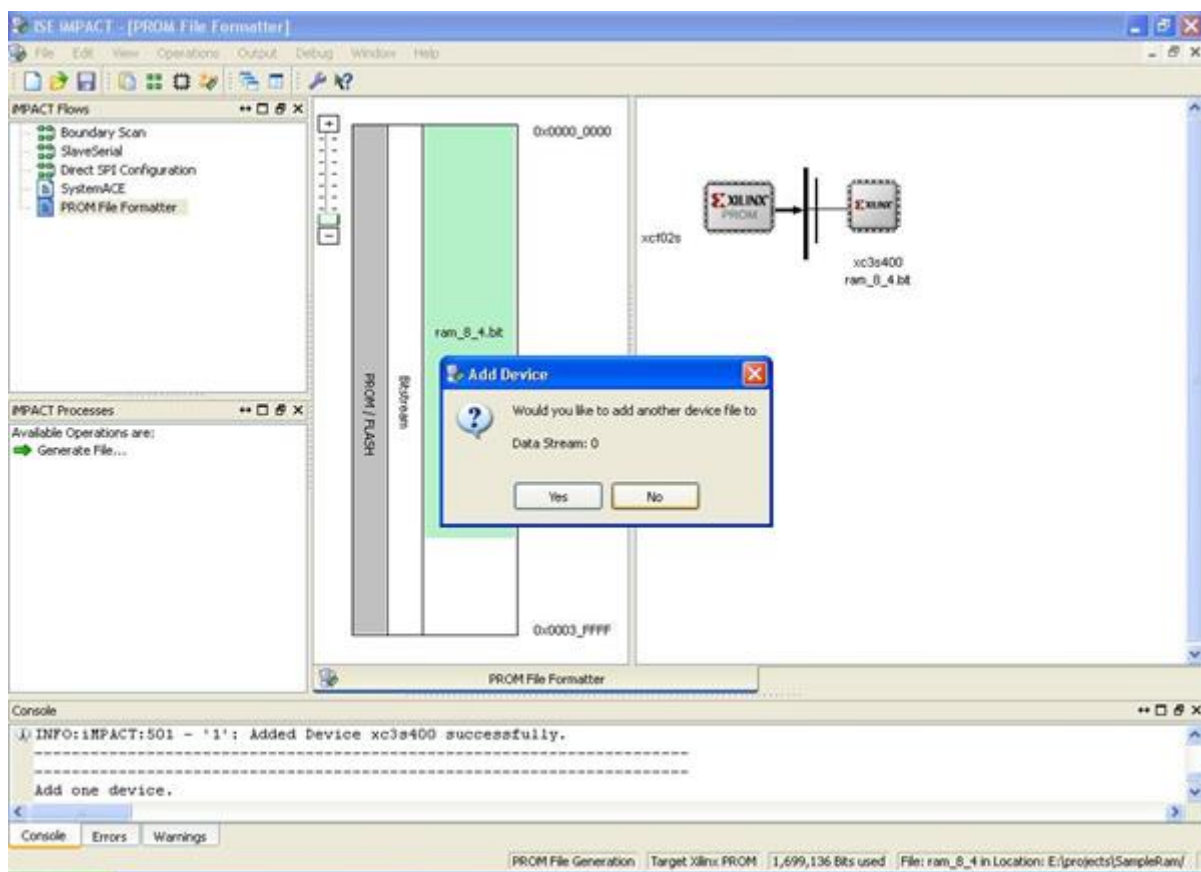
شکل ۳۴ گام سوم ایجاد فایل برنامه ریزی



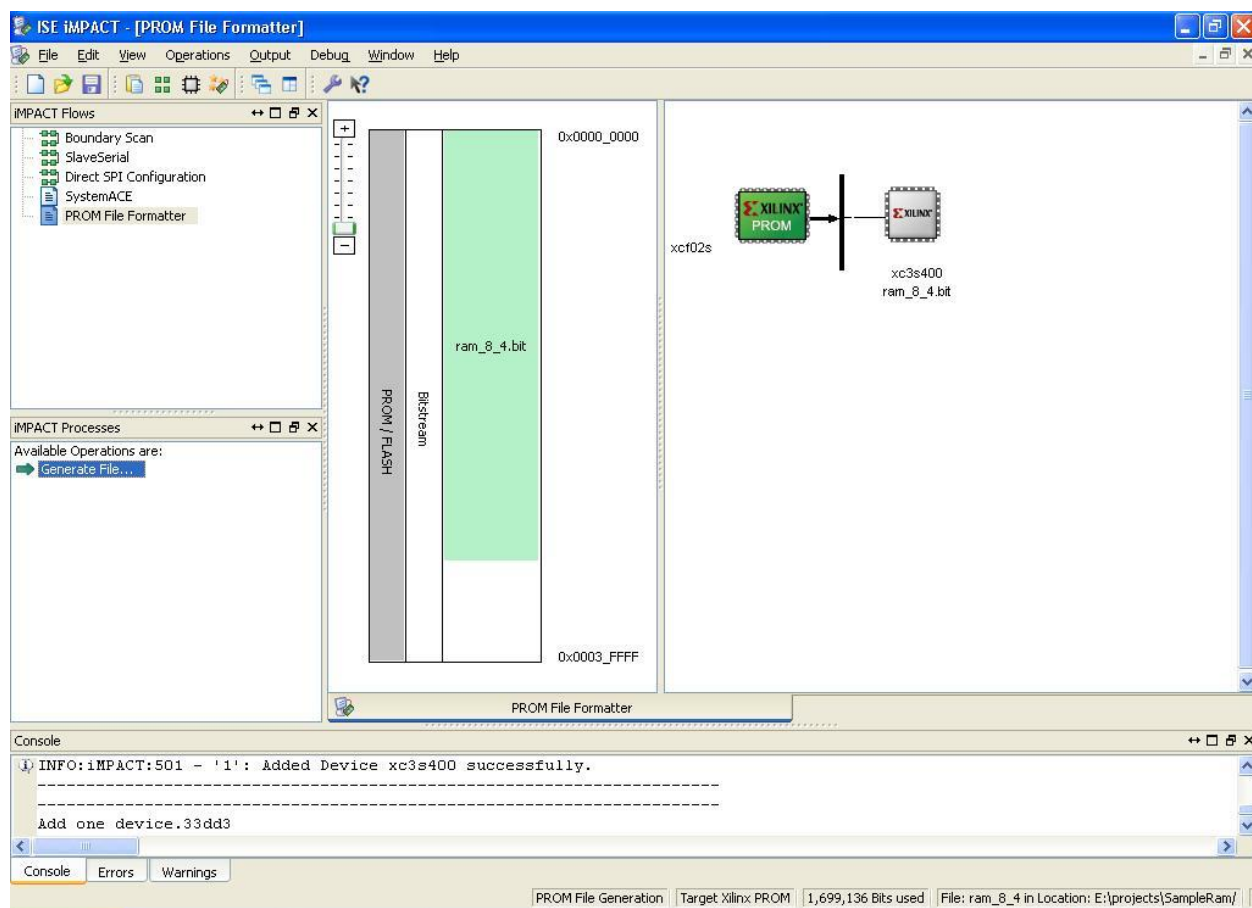
شکل ۳۵ جستجوی RAM های روی برد توسط iMPACT



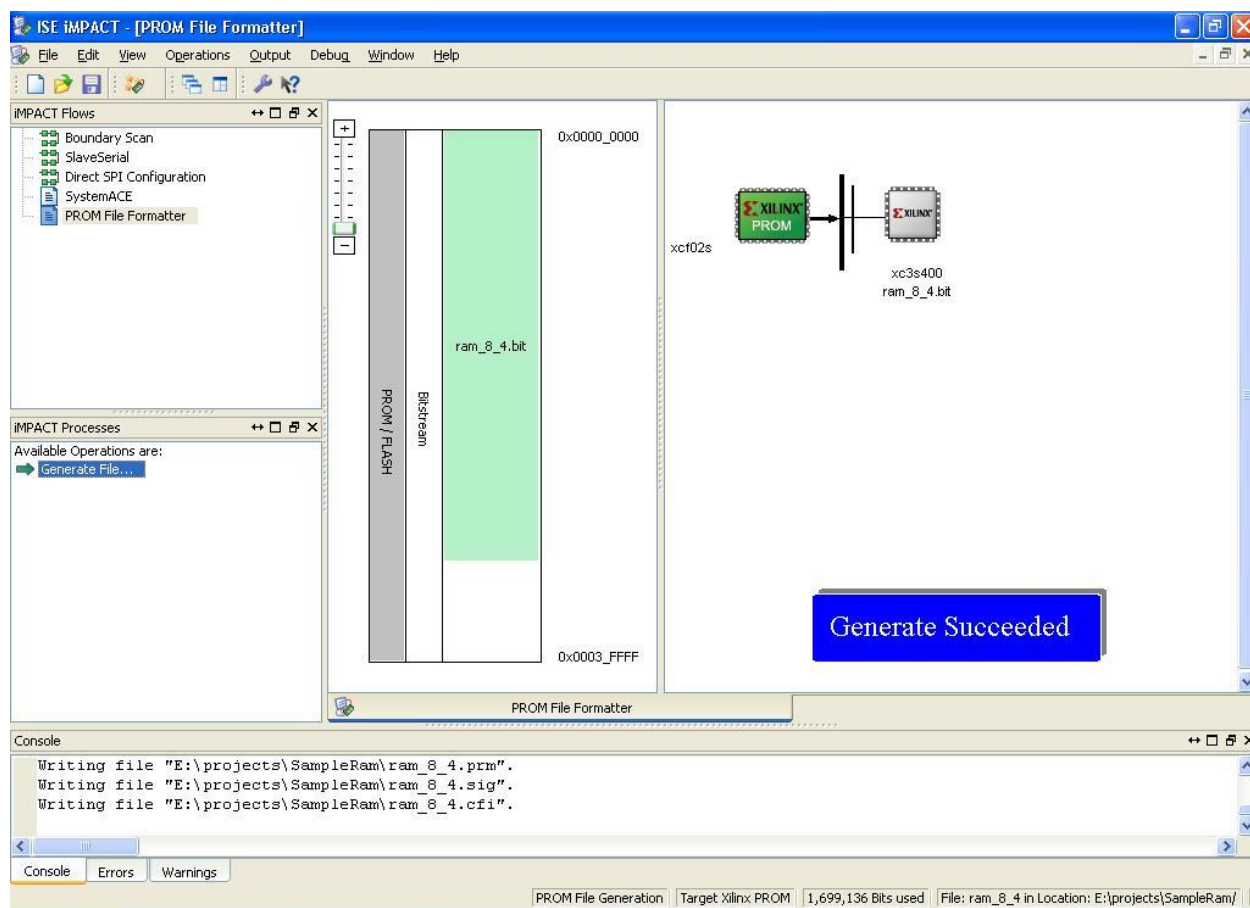
شکل ۳۶ انتخاب فایل برنامه ریزی FPGA برای برنامه ریزی RAM



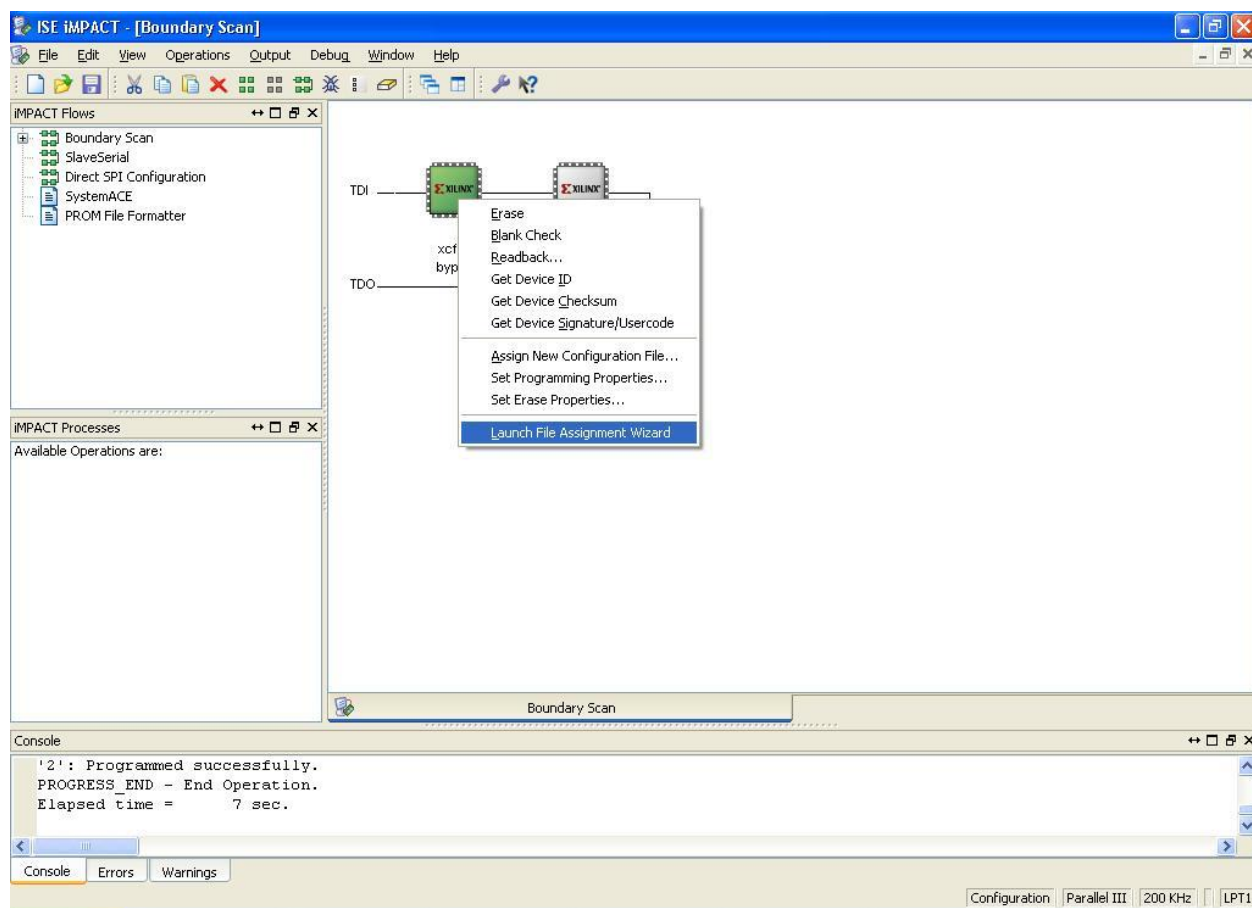
شکل ۳۷ هشدار مبنی بر افزودن فایل جدید



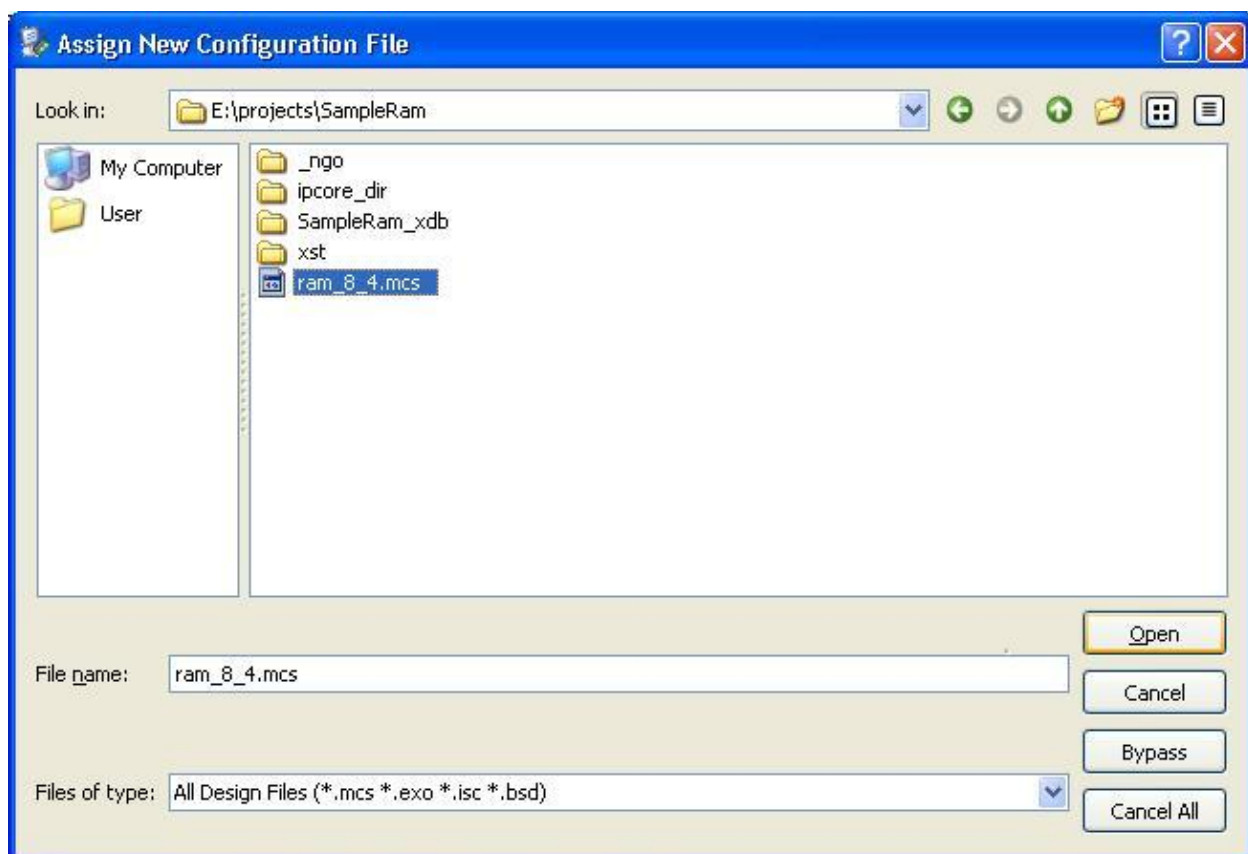
شکل ۳۸ نتیجه انتخاب فایل



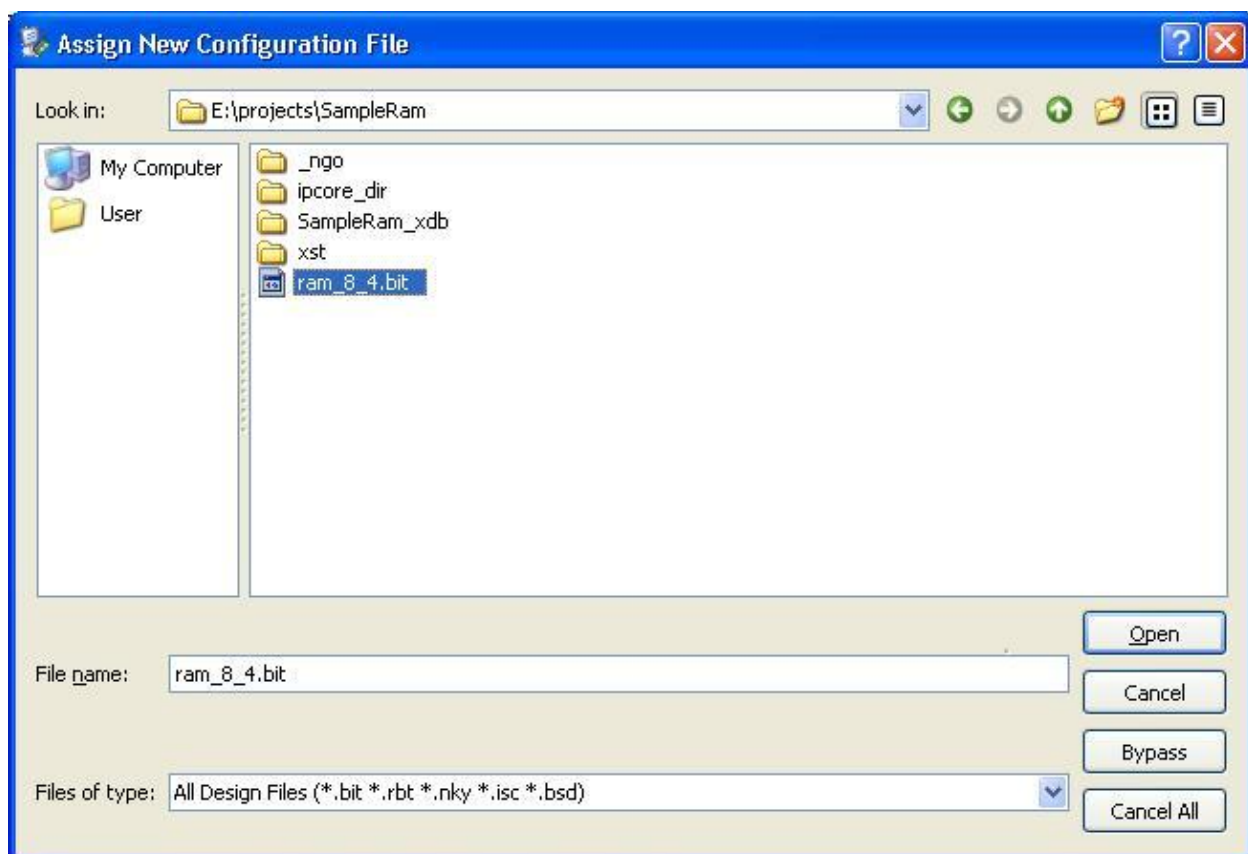
شکل ۳۹ ایجاد موفقیت آمیز فایل برنامه ریزی RAM



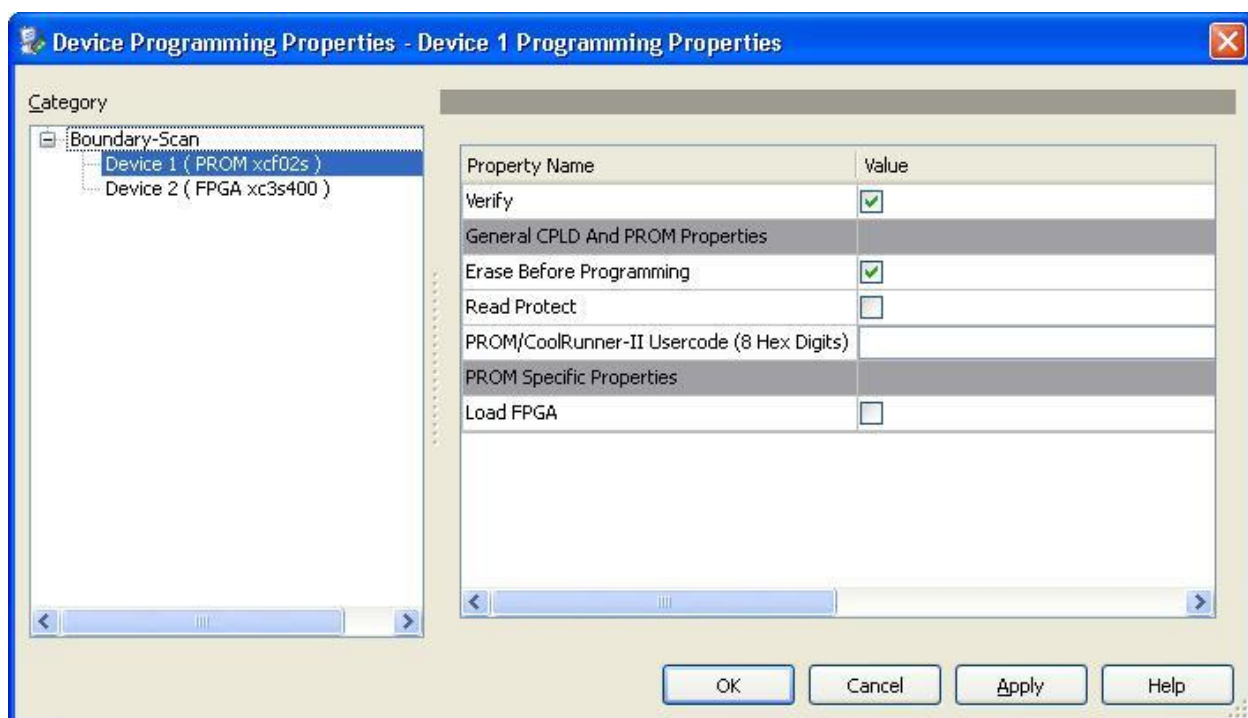
شکل ۴۰ تعیین فایل برنامه ریزی RAM



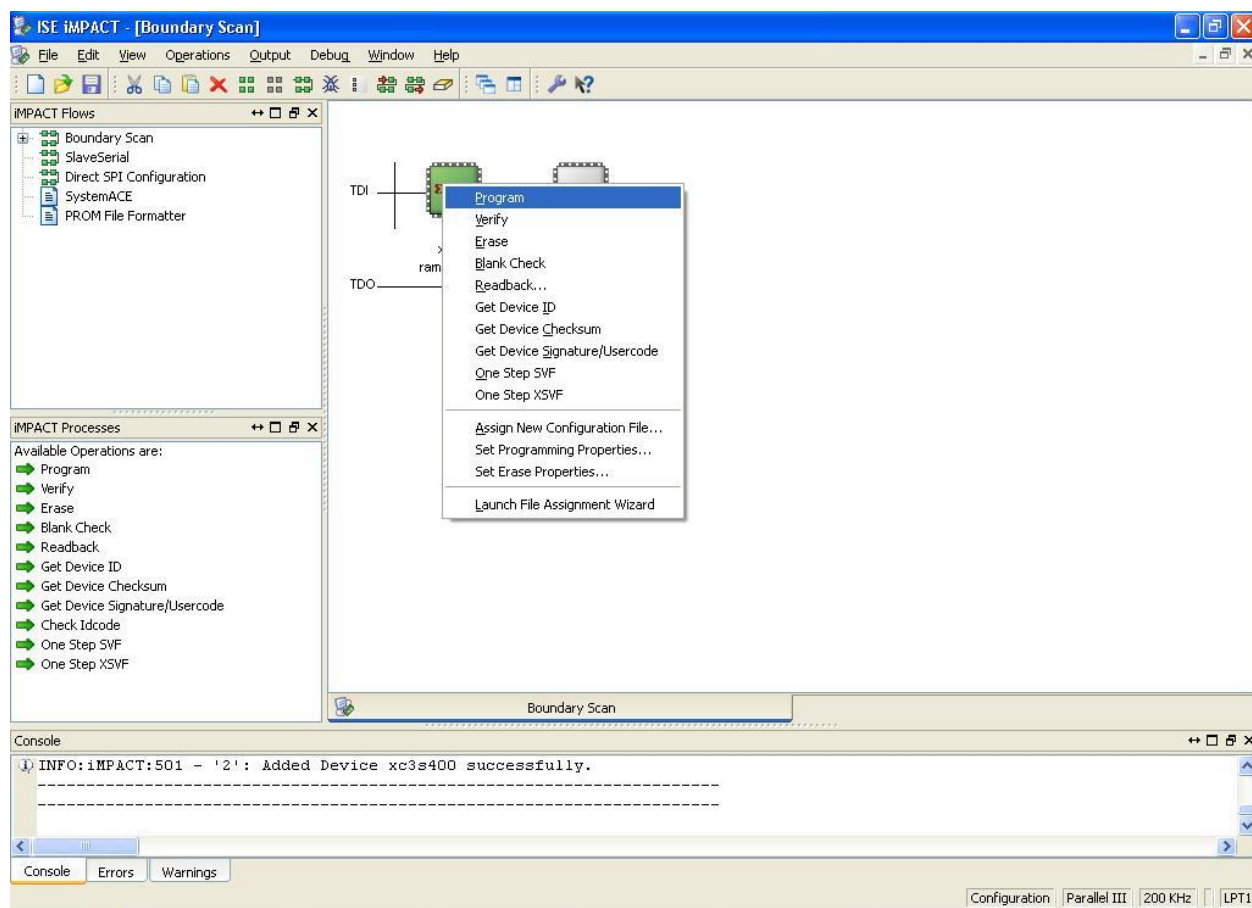
شکل ۴۱ انتخاب فایل برنامه ریزی RAM



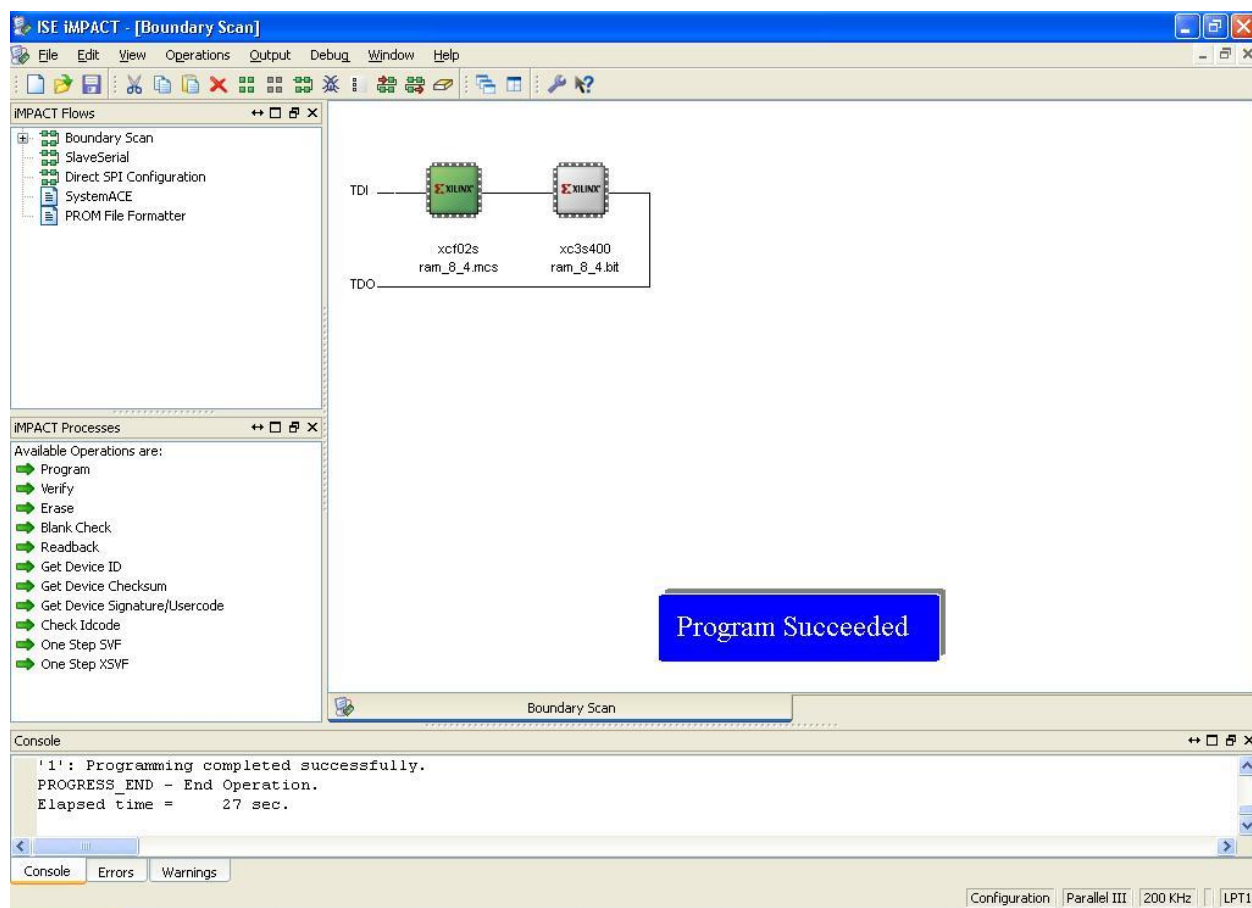
شکل ۴۲ انتخاب فایل برنامه ریزی FPGA



شکل ۴۳ ویژگی‌های برنامه ریزی دو ابزار



شکل ۴۴ برنامه ریزی RAM



شکل ۴۵ نتیجه موفقیت آمیز برنامه ریزی RAM