

SISTEMAS DIGITALES II

ACTIVIDAD # 6

CAPÍTULO DEL CURSO: FUNDAMENTOS DE MICROPROCESADORES Y SISTEMAS EMBEBIDOS.

TEMA DE LA ACTIVIDAD: SISTEMA DIGITAL BASADO EN MICROPROCESADOR

OBJETIVOS DE APRENDIZAJE:

- Analizar la simulación en el diagrama de tiempo y el código VHDL de un Sistema Digital, utilizando descripción estructural para la comprobación de un microprocesador básico, teniendo en consideración el orden de prioridad de sus señales.
- Diseñar el diagrama ASM del bloque Controlador del procesador digital en VHDL, utilizando un formato establecido por el código para la verificación de la máquina secuencial sincrónica.

DURACIÓN: 120 minutos

MATERIALES Y HERRAMIENTAS:


- Software Intel Quartus Prime version 19.1

MARCO TEÓRICO:

Un procesador básico está conformado por una memoria RAM que se va a encargar que almacenar las instrucciones del programa principal, un bloque Fetch que se va a encargar de decodificar las instrucciones y separarlas código de instrucción y diferentes operandos, bloque de registros que servirán para almacenar valores y utilizarlos para diferentes propósitos, la Unidad Aritmética Lógica que se encargará de realizar las operaciones sencillas del microprocesador, y la Unidad de Control que servirá para controlar los bloques más importantes del sistema digital [1]

DESCRIPCIÓN DE LA PRÁCTICA: Se analizará un sistema digital y se realizará el diagrama de tiempo para simular un circuito que funciona como un microprocesador básico.

PROCEDIMIENTO:

1. Ejecute el programa Quartus Prime 19.1 Standard Edition que se encuentra en el escritorio representado por el ícono .
2. Proceda a crear un nuevo proyecto seleccionando la opción **File→New Project Wizard** como se muestra en la Figura 1, y coloque como nombre del proyecto ACTIVIDAD6.

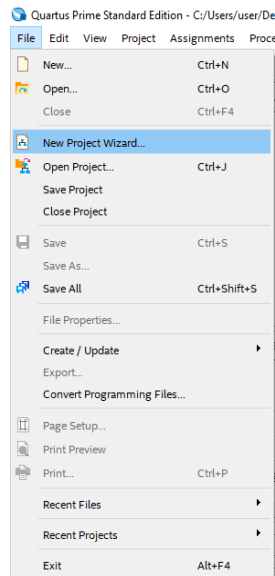


Figura 1. Creación de un nuevo proyecto.

3. Cuando esté creando el proyecto, recuerde habilitar la opción del Simulador **Simulation: ModelSim-Altera** en la penúltima sección **EDA Tool Settings** de la ventana **New Project Wizard**, como se visualiza en la Figura 2.

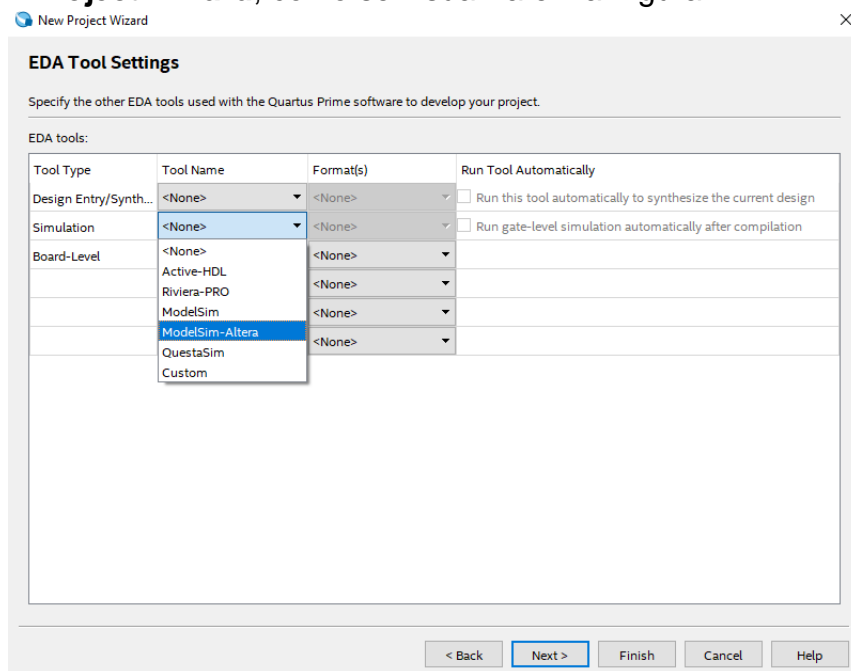


Figura 2. Selección de la herramienta de simulación ModelSim-Altera.

4. Una vez creado el proyecto, integre al mismo todos los bloques en formato **.VHD** que se encuentren en la carpeta compartida de la práctica como se visualiza en la Figura 3.

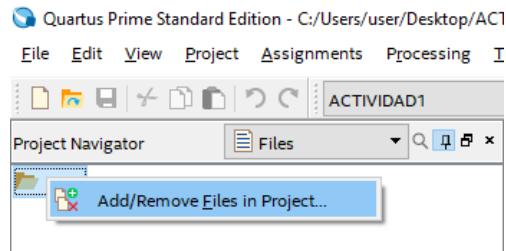


Figura 3. Adhesión de archivos a Quartus Prime.

- En el menú **Assignments**, se debe asegurar que se haya escogido la FPGA de la familia **Cyclone V (E/GX/GT/SX/SE/ST)**, como se indica en la Figura 4.

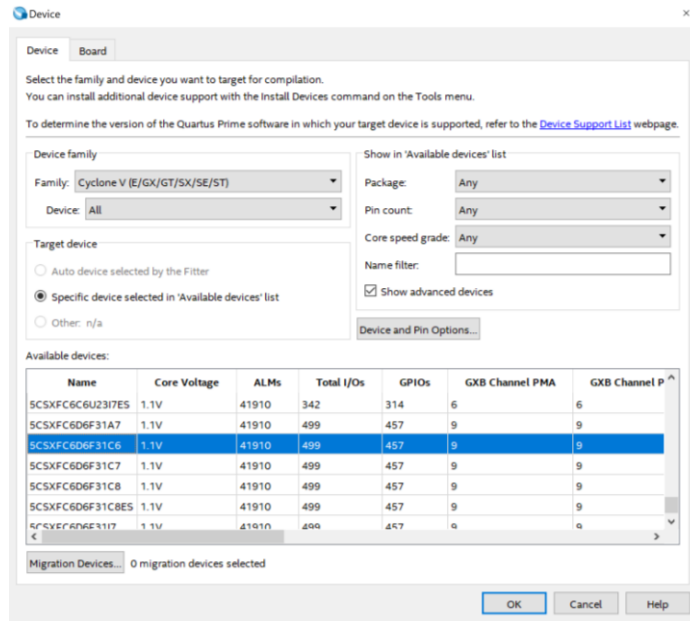


Figura 4. Selección del modelo del chip de la familia Cyclone V.

- Establezca como más alta jerarquía al bloque **processor_design.vhd** dando clic derecho sobre el mismo y seleccione la opción **Set as Top-Level Entity** tal como se observa en la Figura 5.

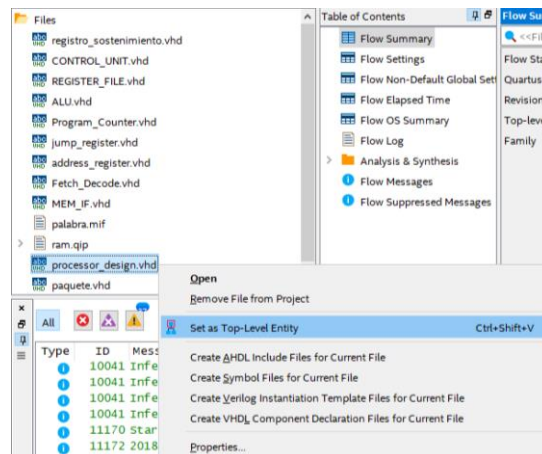



Figura 5. Establecimiento del bloque processor_design como más alta jerarquía.

7. Realice la compilación del **processor_design.vhd** dando clic en el ícono  y luego proceda a crear un archivo de simulación dando clic en **File→New→University Program VWF**, como se visualiza en la Figura 6.

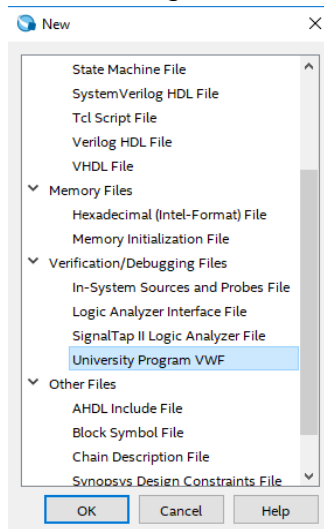


Figura 6. Creación de un archivo de simulación.

8. Proceda a colocar, en orden de prioridad, las señales en el diagrama de tiempo como se observa en la Figura 7. Puede filtrar por **Pins: all**.

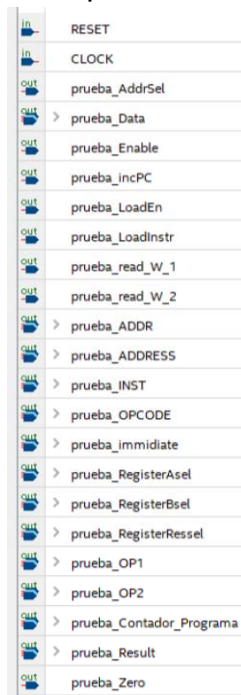


Figura 7. Señales del bloque **processor_design.vhd** en el diagrama de tiempo.

9. Proceda nuevamente a agregar, en orden de prioridad, las señales del controlador como se observa en la Figura 8. Puede filtrar por **Design Entry (all names)**.

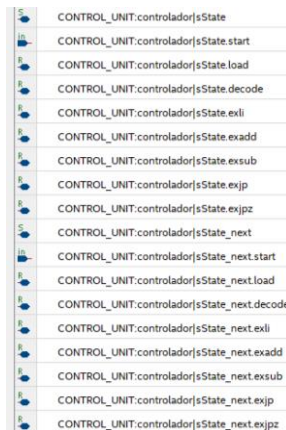



Figura 8. Señales del bloque controlador del archivo processor_design.vhd.

10. Seleccione las señales del controlador y establezca dichas señales como valor desconocido (**Forcing Unknown**) dando clic en el ícono , como se visualiza en la Figura 9.

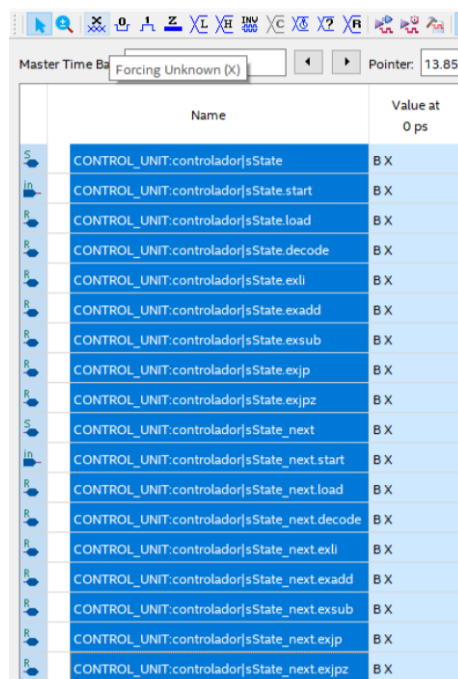


Figura 9. Establecimiento de valores desconocidos a las señales de estados.

11. Proceda a guardar el archivo de simulación con el nombre **SIMULACION**, dando clic en **File**→**Save as**.
12. Establezca valores únicamente a las señales RESET y CLOCK tal como se visualiza en la Figura 10 del archivo **SIMULACION.vwf** en el diagrama de tiempo.

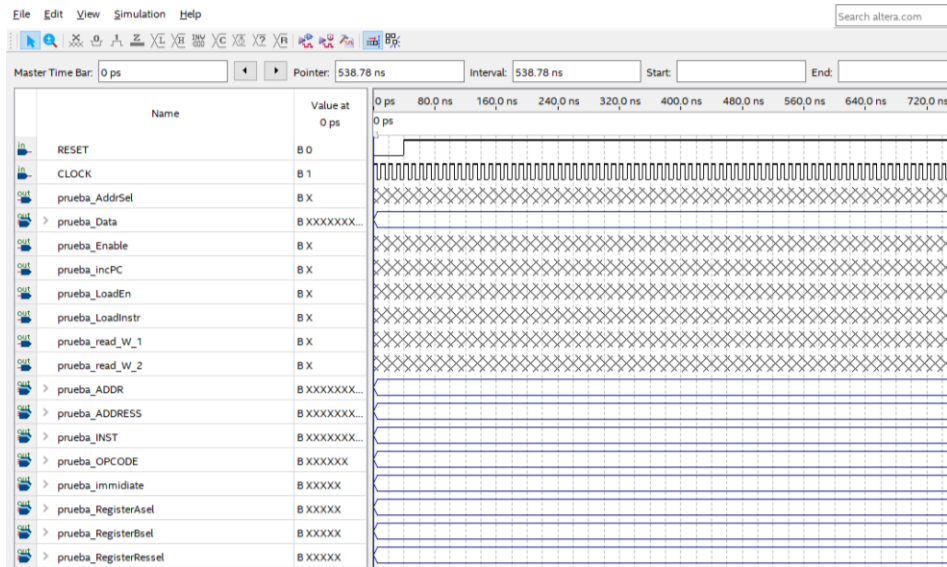


Figura 10. Señales con valores en el Diagrama de tiempo del archivo SIMULACION.vwf.

13. Proceda a realizar la simulación del archivo **SIMULACION.vwf** dando clic en **Simulation→Run Functional Simulation**.
14. Del reporte de simulación que se obtiene, proceda a contestar la pregunta #1.
15. Conteste la pregunta #2.
16. Conteste la pregunta #3.
17. Conteste la pregunta #4.
18. Conteste la pregunta #5.
19. Conteste la pregunta #6.
20. Describa las conclusiones y recomendaciones de la práctica.

Bibliografía:

- [1] D. Meyer, «Multicore Reconfiguration Platform - A Research and Evaluation FPGA Framework for Runtime Reconfigurable Systems», Thesis, Helmut-Schmidt-Universität, Universität der Bundeswehr Hamburg, 2015. Accedido: dic. 28, 2021. [En línea]. Disponible en: <https://openhsu.ub.hsu-hh.de/handle/10.24405/551>