

**Universitatea Tehnică “Gheorghe Asachi” din Iaşi**

**FACULTATEA DE AUTOMATICĂ ȘI CALCULATOARE**

**ELECTRONICĂ DIGITALĂ**

**Proiect**

**Tema: MODUL ALU-v5**

Studenţi:

Chihalău Gabriel Eduard

Vasilca Rareș

Cunievici Petru Sebastian

Grupa : 1212B

Coordonator:

Asistent doctorand Ionica Pletea

**2023**

**Tema proiectului:**

**ALU – v5**

**1. Specificaţiile proiectului:**

Să se implementeze în FPGA prin descriere în limbaj VHDL, utilizând programul VIVADO, modulul prezentat în figura 1 care este descris prin urmatoarele specificaţii:

a) operanzii A şi B au dimensiunea de 2 biţi

b) operaţiile vor fi stabilite prin portul de intrare OPCODE

c) lista de operaţii aritmetice: \*, /, +, -

Rezultatele vor fi asignate la portul C şi vor fi vizualizate pe Displayul 7 segmente de pe placa de dezvoltare.

Descrierea va fi făcută în mod comportamental.



Fişierul bitstream rezultat în urma procesului de implementare va fi verificat utilizând placa de dezvoltare BASYS3

**2. Modulul ALU\_v5**

Modulul ALU\_v5 este o unitate aritmetică și logică simplificată, proiectată pentru a efectua operații de bază între doi operanzi de 2 biți. Acesta primește, prin semnalul OPCODE, indicația operației care urmează să fie efectuată, iar rezultatul este redirecționat către ieșirea C. Rezultatul poate avea o lățime mai mare decât operanzii, în special în cazul operațiilor de înmulțire. Afișarea rezultatului se face prin decodificare binar-zecimală pe display-ul cu 7 segmente al plăcii BASYS3.

**3. Metoda de implementare**

Proiectul este realizat utilizând:

* **FPGA:** Artix-7 (de pe placa BASYS3)
* **Limbaj de descriere hardware:** VHDL
* **Mediul de dezvoltare:** Xilinx Vivado
* **Descrierea funcțională:** comportamentală (proces sensibil la semnale)
* **Testare:** prin simulare și implementare directă pe placa FPGA

**4. Descrierea (scurtă) a sistemului de dezvoltare BASYS 3**

Placa BASYS 3, dezvoltată de Digilent, este o platformă educațională bazată pe FPGA-ul Xilinx Artix-7 XC7A35T. Aceasta oferă multiple resurse pentru proiecte digitale:

* 16 switch-uri, 5 butoane și 16 LED-uri pentru I/O simple
* 4 display-uri cu 7 segmente
* Clock intern de 100 MHz
* Conectori Pmod pentru extensii externe

Este ideală pentru prototiparea și testarea circuitelor digitale în timp real.

**5. Editarea fişierului VHDL**

entity ALU\_v5 is

Port (

A : in STD\_LOGIC\_VECTOR (1 downto 0);

B : in STD\_LOGIC\_VECTOR (1 downto 0);

OPCODE : in STD\_LOGIC\_VECTOR (1 downto 0);

C : out STD\_LOGIC\_VECTOR (3 downto 0)

);

end ALU\_v5;

**6. Editarea fişierului de constrângeri**

set\_property PACKAGE\_PIN W5 [get\_ports A[0]]

set\_property PACKAGE\_PIN V5 [get\_ports A[1]]

set\_property PACKAGE\_PIN W6 [get\_ports B[0]]

set\_property PACKAGE\_PIN U5 [get\_ports B[1]]

set\_property PACKAGE\_PIN V6 [get\_ports OPCODE[0]]

set\_property PACKAGE\_PIN U6 [get\_ports OPCODE[1]]

# Display connections

set\_property PACKAGE\_PIN T10 [get\_ports C[0]]

set\_property PACKAGE\_PIN R10 [get\_ports C[1]]

set\_property PACKAGE\_PIN K16 [get\_ports C[2]]

set\_property PACKAGE\_PIN K13 [get\_ports C[3]]

**7. Descrierea paşilor de sinteză şi testarea circuitului rezultat**

* Crearea proiectului în Vivado, selectarea plăcii BASYS3
* Adăugarea fișierului VHDL și a fișierului .xdc cu constrângeri
* Verificarea sintaxei și rularea sintezei (Synthesis)
* Implementarea designului (Implementation)
* Generarea fișierului .bit (Generate Bitstream)
* Programarea plăcii FPGA cu fișierul .bit folosind Hardware Manager
* Testarea funcțională prin interacțiunea cu switch-urile și monitorizarea rezultatului pe display-ul cu 7 segmente

**8. Concluzii**

Proiectul ALU-v5 a demonstrat implementarea cu succes a unei unități aritmetice simple pe FPGA. Folosirea limbajului VHDL și a mediului Vivado a permis o dezvoltare structurată și eficientă. Afișarea rezultatelor pe display-ul 7 segmente a oferit o modalitate intuitivă de testare și validare a funcționalității. Proiectul oferă o bază solidă pentru extinderea ulterioară cu operații logice sau cu suport pentru operanzi mai mari.

Bibliografie:

1. VHDL Reference Manual, <http://www.ics.uci.edu/~jmoorkan/vhdlref/Synario%20VHDL%20Manual.pdf>

2. BASYS 3 Reference Manual, https://reference.digilentinc.com/reference/programmable-logic/basys-3/reference-manual