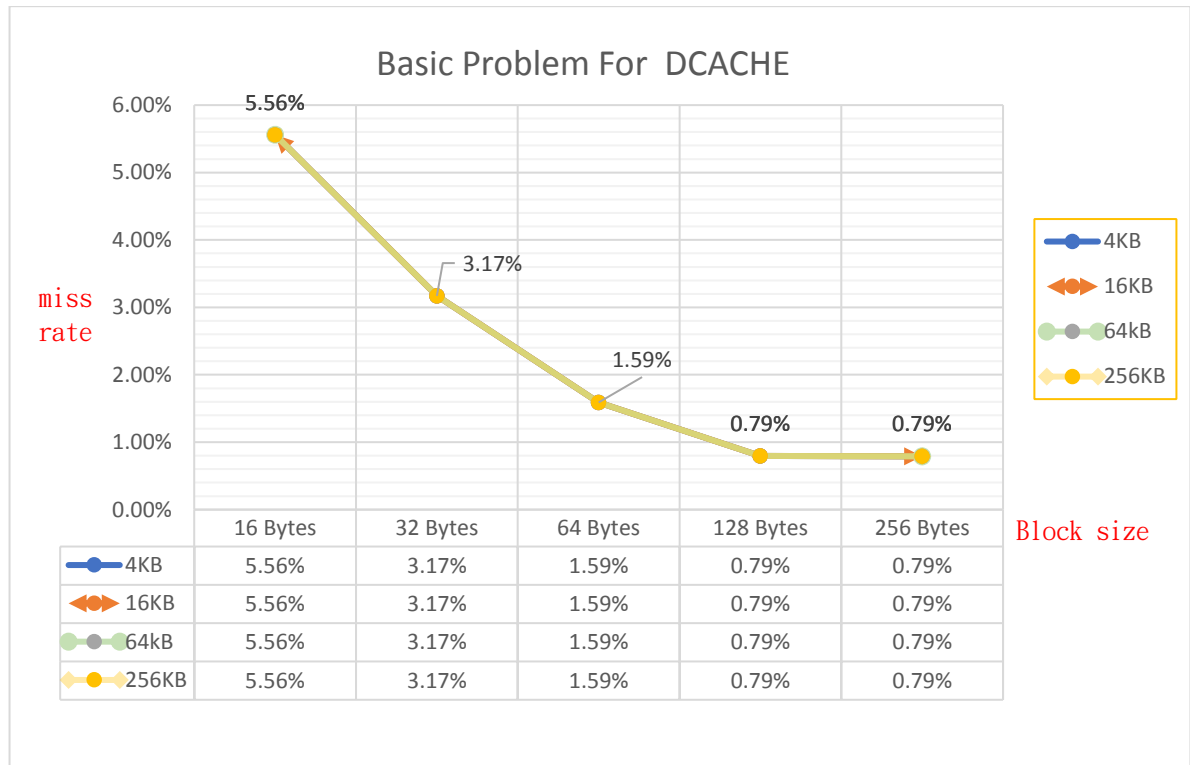


# Computer Organization Lab5

## 一、Basic problem for DCACHE

### 1. 繪圖結果

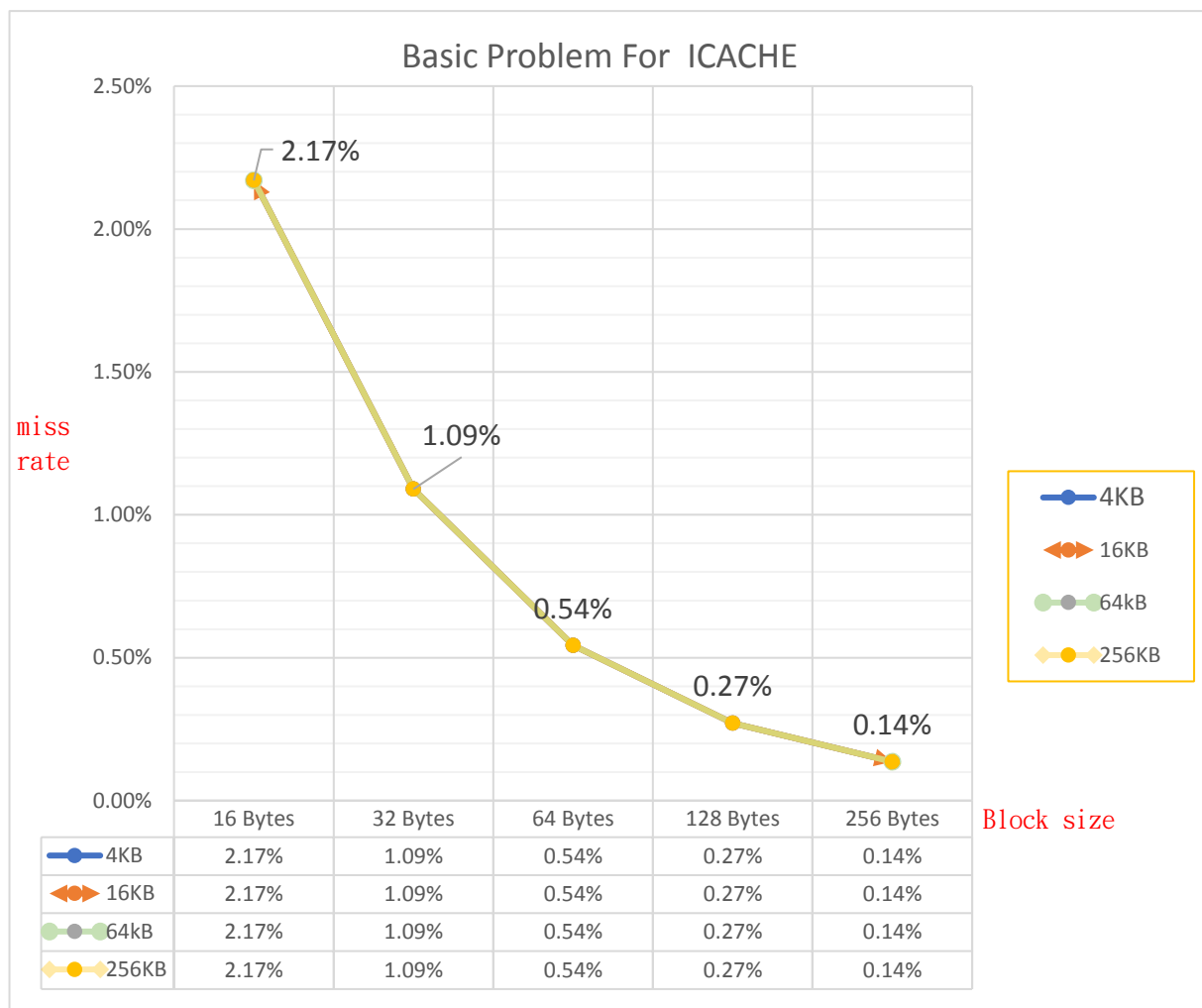


### 2. 說明：

由上圖可以看到，cache size 不變時，當 block size 增加時，miss rate 是逐漸下降的，推測是因為當 block size 增加後，一個 block 能夠存的資料變多，使得 compulsory miss 的機率變低，所以 miss rate 會逐漸下降。

## 二、Basic Problem for ICACHE

### 1. 繪圖結果：

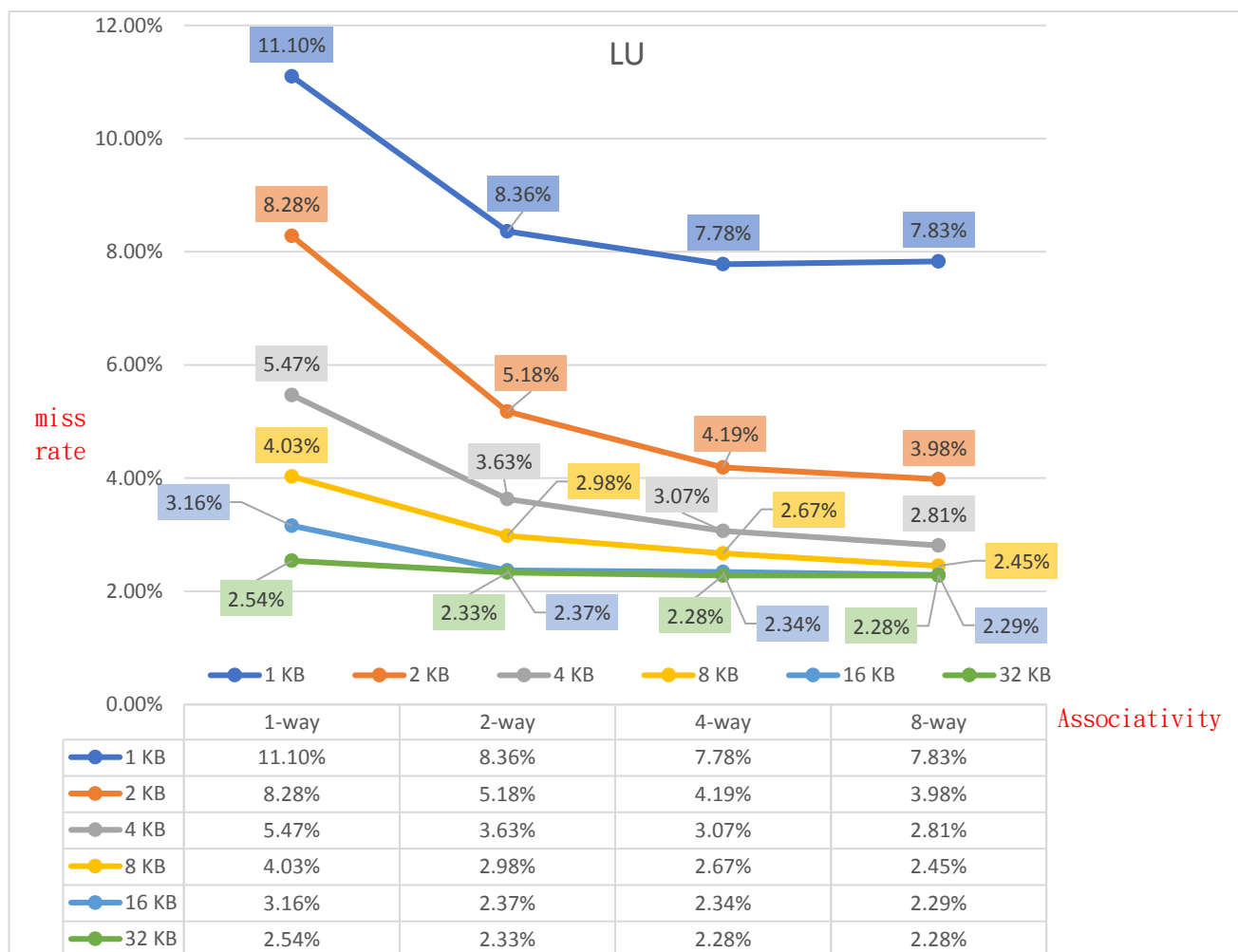


### 2. 說明：

在這裡我們也可以看到，cache size 不變，當 block size 增加時，miss rate 也是逐漸下降的，但在 ICACHE 中下降幅度是比在 DCACHE 中還要大一點的，推測是因為在做矩陣乘法時，指令會一直重複存取，所以當把 block size 加大後，ICACHE 的 miss rate 會降低較多是可以預期的。

### 三、LU

#### 1. 繪圖結果：



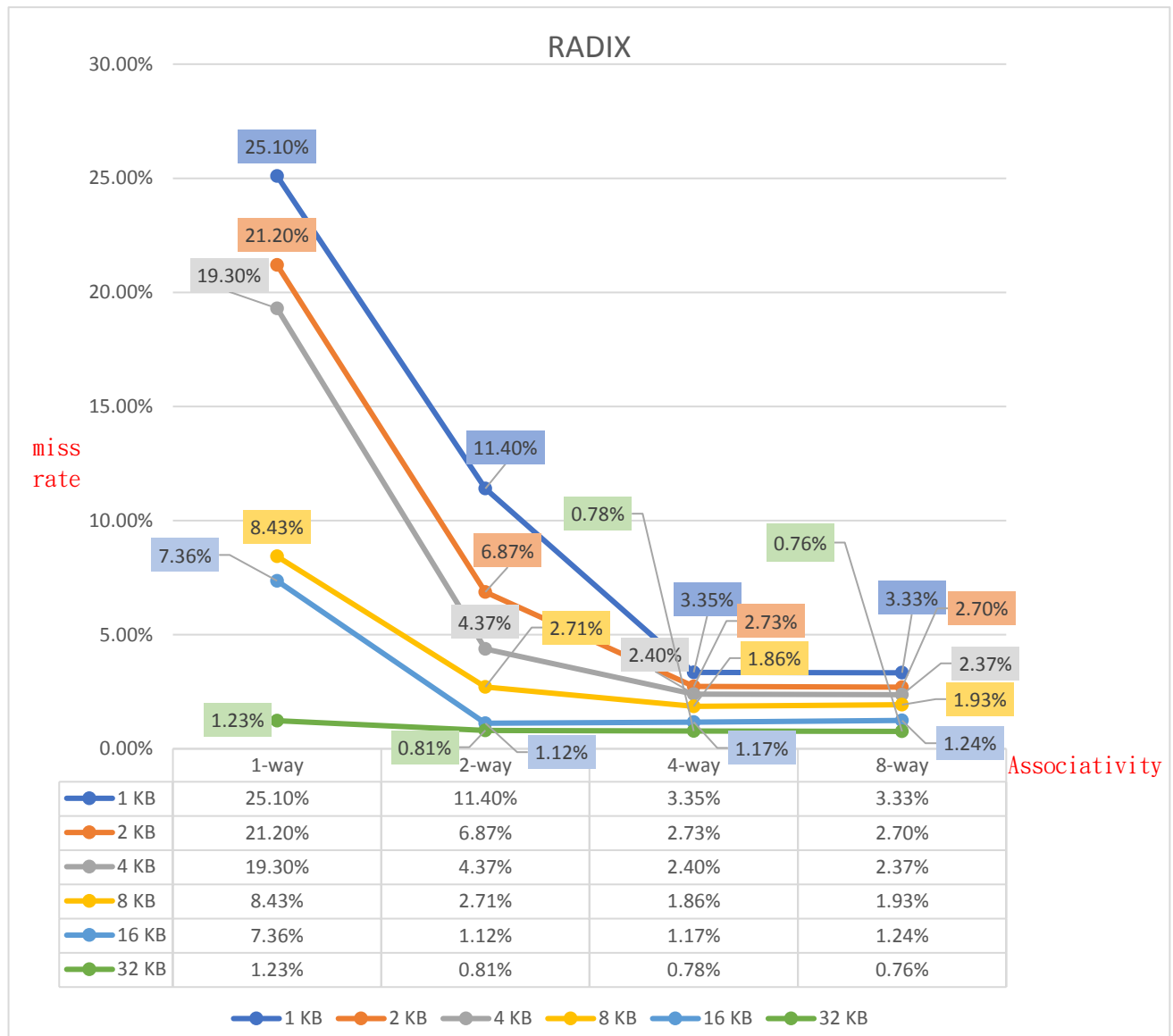
#### 2. 說明：

在相同的 cache size 下，可以看到如果 associativity 增加的話，則 miss rate 會逐漸下降，推測原因是因為 associativity 增加的關係導致一個 set 能夠存的 block 數變多而使得 conflict miss 的機率降低，進而使得 miss rate 下降。

而在相同的 associativity 下，可以看到如果 cache size 上升的話，則 miss rate 也是會逐漸下降，推測原因是因為 cache size 增加的關係，使得一整個 cache 能存的東西變多使得 capacity miss 的機率降低，進而使得 miss rate 下降。

#### 四、RADIX

##### 1. 繪圖結果：



##### 2. 說明：

這題的結果與前一題相似，皆是不管 associativity 或是 cache size 上升，miss rate 皆逐漸下降。跟上一題比較不同的是，當 cache size 固定時，當 associativity 上升，miss rate 會有大幅的下降，由其是當從 1-way 變成 2-way 時，miss rate 幾乎是只有原本的一半，推測會有這種原因可能是此測資所需要的資料幾乎都在一塊非常集中的記憶體空間中，故當 associativity 上升後，conflict miss 的機率會降低。

五、Total bit(block size is fixed which is 64 bytes)

- 32-bit byte-address
- $\text{Byte\_offset} = \log_2 64 = 6 \text{ bit}$
- $\text{Index\_offset} = \log_2 ((\text{Cache size} * 1024 / 64) / \text{Associativity})$
- $\text{Tag bit} = 32 - \text{Byte\_offset} - \text{Index\_offset}$
- $\text{Total\_bits\_in\_a\_block}(\text{set}) = (\text{Tag bit} + 64 * 8 + 1) * \text{Associativity}$
- $\text{Total bits in a cache} = \text{Total\_bits\_in\_a\_block}(\text{set}) * \text{num\_of\_block}(\text{set})$

Cache size \ Associativity	1-way	2-way	4-way	8-way
1 KB	8560	8576	8592	8608
2 KB	17088	17120	17152	17184
4 KB	34112	34176	34240	34304
8 KB	68096	68224	68352	68480
16 KB	135936	136192	136448	136704
32 KB	271360	271872	272384	272896

單位：bits