**0416315王定偉、0416005張彧豪**

**Computer Organization Lab5**

1. Basic problem for DCACHE
2. 繪圖結果
3. 說明：

由上圖可以看到，cache size不變時，當block size增加時，miss rate是逐漸下降的，推測是因為當block size增加後，一個block能夠存的資料變多，使得compulsory miss的機率變低，所以miss rate會逐漸下降。

1. Basic Problem for ICACHE
2. 繪圖結果：
3. 說明：

在這裡我們也可以看到，cache size不變，當block size增加時，miss rate也是逐漸下降的，但在ICACHE中下降幅度是比在DCACHE中還要大一點的，推測是因為在做矩陣乘法時，指令會一直重複存取，所以當把block size加大後，ICACHE的miss rate會降低較多是可以預期的。

1. LU
2. 繪圖結果：
3. 說明：

在相同的cache size下，可以看到如果associativity增加的話，則miss rate會逐漸下降，推測原因是因為associativity增加的關係導致一個set能夠存的block數變多而使得conflict miss的機率降低，進而使得miss rate下降。

而在相同的associativity下，可以看到如果cache size上升的話，則miss rate也是會逐漸下降，推測原因是因為cache size增加的關係，使得一整個cache能存的東西變多使得capacity miss的機率降低，進而使得miss rate下降。

1. RADIX
2. 繪圖結果：
3. 說明：

這題的結果與前一題相似，皆是不管associativity或是cache size上升，miss rate皆逐漸下降。跟上一題比較不同的是，當cache size固定時，當associativity上升，miss rate會有大幅的下降，由其是當從1-way變成2-way時，miss rate幾乎是只有原本的一半，推測會有這種原因可能是此測資所需要的資料幾乎都在一塊非常集中的記憶體空間中，故當associactivity上升後，conflict miss的機率會降低。

1. Total bit(block size is fixed which is 64 bytes)

* 32-bit byte-address
* Byte\_offset = = 6 bit
* Index\_offset =
* Tag bit = 32-Byte\_offset-Index\_offset
* Total\_bits\_in\_a\_block(set) = (Tag bit+64\*8+1)\*Associativity
* Total bits in a cache = Total\_bits\_in\_a\_block(set)\*num\_of\_block(set)

Associativity

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Cache size | 1-way | 2-way | 4-way | 8-way |
| 1 KB | 8560 | 8576 | 8592 | 8608 |
| 2 KB | 17088 | 17120 | 17152 | 17184 |
| 4 KB | 34112 | 34176 | 34240 | 34304 |
| 8 KB | 68096 | 68224 | 68352 | 68480 |
| 16 KB | 135936 | 136192 | 136448 | 136704 |
| 32 KB | 271360 | 271872 | 272384 | 272896 |

單位：bits