

密级状态: 绝密( ) 秘密( ☒ ) 内部资料( ☒ ) 公开( )

文档编号: (芯片型号) - ASR6505 (英文、数字)

## ASR6505 硬件设计指南

文件状态:  [ <input checked="" type="checkbox"/> ] 正在修改  [ <input type="checkbox"/> ] 正式发布	当前版本:	V1.2
	作者:	ASR6505 AE Team
	启动日期:	2019-5-03
	审核:	
	完成日期:	2019-10-08

翱捷科技（上海）有限公司

ASR Microelectronics Co., Ltd

(版本所有, 翻版必究)

## 版本历史

版本号	修改日期	作 者	修 改 说 明
V0.0	2019.05.03	ASR6505 AE Team	Created by AE Team
V1.0	2019.05.24	ASR6505 AE Team	1) 更新 ASR6505 原理图设计，主要是 ASR6505 的封装和 pin 定义，和 Datasheet 保持一致。 2) 更正本文档中的文字错误。
V1.1	2019.10.08	ASR6505 AE Team	1) 更正原理图中信号标号错误。 2) 更正模组接口信号不一致的地方。 3) 2.1 注意事项 2) SPI 接口连接说明。

## Table of Contents

<b>1</b>	<b>概述.....</b>	<b>4</b>
<b>2</b>	<b>ASR6505 硬件设计.....</b>	<b>4</b>
2.1	ASR6505 模组方框图.....	4
2.2	ASR6505 芯片管脚定义.....	4
2.3	ASR6505 客户模组参考设计 .....	7
2.4	ASR6505 电路解析 .....	7
2.4.1	电源电路 .....	7
2.4.2	晶振电路 .....	8
2.4.3	射频电路 .....	9
2.4.4	模组接口 .....	9
2.5	ASR6505 芯片封装定义.....	10
<b>3</b>	<b>物料选型指南.....</b>	<b>11</b>
3.1	晶振 .....	11
3.2	射频开关 .....	11
3.3	功率电感 .....	11
3.4	外置天线 .....	11
<b>4</b>	<b>LAYOUT 指导 .....</b>	<b>11</b>
4.1	电源走线 .....	11
4.2	RF 走线 .....	12
4.3	晶体走线 .....	12

## 1 概述

ASR6505 是一款通用的 LoRa 无线通讯芯片，该芯片集成了 LoRa 射频收发器, LoRa 调制解调器和 8 位的 RISC MCU。 MCU 采用 ST 的 STM8L152 系列芯片, Harvard architecture and 3-stage pipeline; Max freq: 16 MHz, 16 CISC MIPS peak, up to 64-KB Flash, 2-KB data EEPROM, RTC, LCD, timers, USARTs, I2C, SPIs, ADC, DAC, comparators; LoRa 射频收发器的频率覆盖 150M-960M 的连续频段; LoRa 调制解调器除支持 LoRa 调制还支持 (G) FSK 调制。

ASR6505 在 SF12 下接受灵敏超过-140dBm, 最大的发送功率为 22dBm, 最大的工作电流为 108mA, Sleep mode 下电流低至 1.8uA, 因此 ASR6505 芯片特别适合超远距离, 超低功耗, 高性价比的 LPWAN 应用。

该应用笔记主要用于指导客户进行 ASR6505 的硬件设计, 包括原理图参考设计, layout 注意事项, 以及重要物料选型和替换。

## 2 ASR6505 硬件设计

### 2.1 ASR6505 模组方框图

ASR6505 LoRa 模组方框图如下:

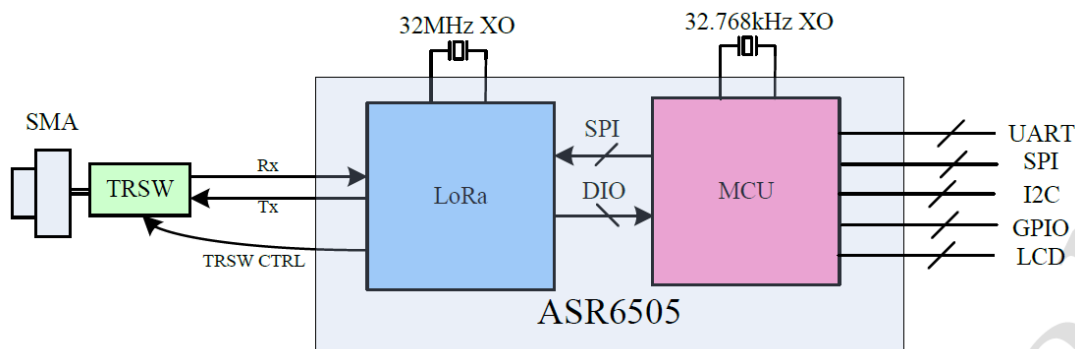


图 2-1-1 ASR6505 模组方框图

注意事项:

- 1) ASR6505 是基于 LoRa 射频芯片 SX1262 和 STM8L152 的 SIP 封装的 LoRa 芯片组, 因此 ASR6505 的射频性能和 Semtech SX1262 性能基本一样, MCU 的参数也和 STM 的 STM8L152 芯片性能一致。
- 2) LoRa 射频芯片(SX1262)和 MCU 芯片(STM8L152)两者通过 SPI 接口进行通讯, SX1262 和 STM8L152 的 SPI 信号除 **SPIO\_NSS** 外都在芯片内部相连, 特别注意 **SPIO\_NSS** 必须连到 **SPIO\_SEL**。
- 3) ASR6505 不支持 ClassB。

### 2.2 ASR6505 芯片管脚定义

表2-2-1 ASR6501管脚类型定义

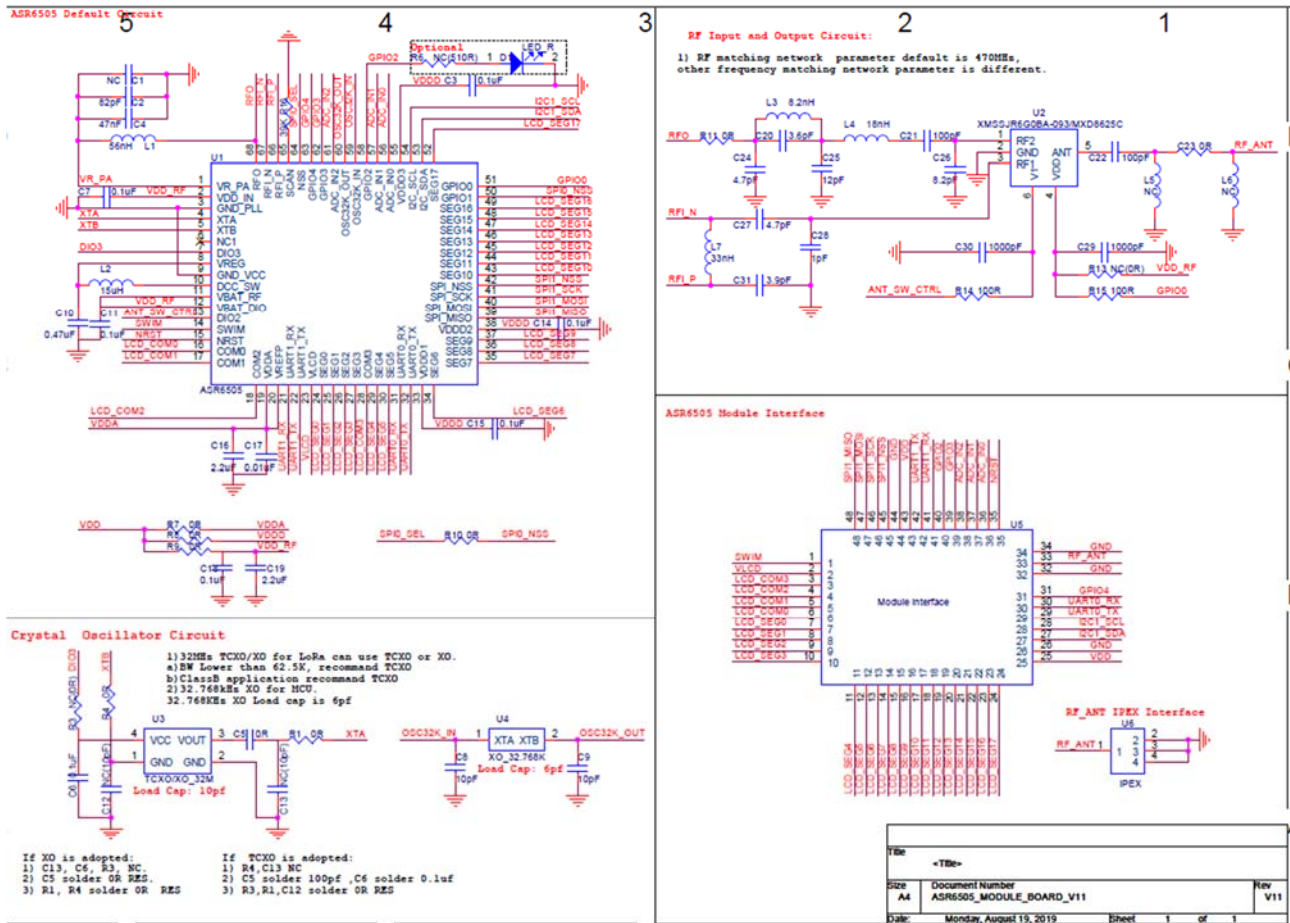
Pin Type	Description
I	Input
O	Output
I/O	Input/output
P	Power
G	Ground

表 2-2-2ASR6505 管脚复用定义

DIR	NO.	PIN_NAME	PIN_NAME	Default	Fuction1	Fuction2	Fuction3	Fuction4
LEFT	1	VR_PA	VR_PA	VR_PA				
	2	VDD_IN	VDD_IN	VDD_IN				
	3	GND_PLL	GND_PLL	GND_PLL				
	4	XTA	XTA	XTA				
	5	XTB	XTB	XTB				
	6	NC	NC	NC				
	7	DIO3	DI03	DI03				
	8	VREG	VREG	VREG				
	9	GND_DCC	GND_DCC	GND_DCC				
	10	DCC_SW	DCC_SW	DCC_SW				
	11	VBAT_RF	VBAT_RF	VBAT_RF				
	12	VBAT_DIO	VBAT_DIO	VBAT_DIO				
	13	DIO2	DI02	DI02				
	14	SWIM	PA0	SWIM				
	15	NRST	PA1	NRST				
	16	LCD_COM0	PA4	LCD_COM0	ADC1_IN2	COMP1_INP		
	17	LCD_COM1	PA5	LCD_COM1	ADC1_IN1	COMP1_INP		
BOTTOM	18	LCD_COM2	PA6	LCD_COM2	ADC1_IN0	COMP1_INP	ADC1_TRIG	
	19	VDDA	VDD1	VDD1/VDDA				
	20	VREFP	VREFP	VREFP				
	21	UART1_RX	PG0	UART3_RX	LCD_SEG28			
	22	UART1_TX	PG1	UART3_TX	LCD_SEG29			
	23	VLCD	VLCD	VLCD				
	24	LCD_SEG0	PE3	LCD_SEG4	UART2_RX			
	25	LCD_SEG1	PE4	LCD_SEG5	UART2_TX	DAC_TRIG1	DAC_TRIG2	
	26	LCD_SEG2	PE5	LCD_SEG6	ADC1_IN23	COMP1_INP	COMP2_INP	
	27	LCD_SEG3	PD0	LCD_SEG7	ADC1_IN22		COMP2_INP	ADC1_TRIG
	28	LCD_COM3	PD1	LCD_COM3	COMP1_INP	COMP2_INP	ADC1_IN21	
	29	LCD_SEG4	PD2	LCD_SEG8	ADC1_IN20	COMP1_INP		
	30	LCD_SEG5	PD3	LCD_SEG9	ADC1_IN19	COMP1_INP		
	31	UART0_RX	PH4	UART2_RX				
	32	UART0_TX	PH5	UART2_TX				
	33	VDDD1	VDD3	VDD3				
RIGHT	34	LCD_SEG6	PB4	LCD_SEG14	SPI1_NSS	ADC1_IN14	COMP1_INP	DAC_OUT2
	35	LCD_SEG7	PB5	LCD_SEG15	SPI1_SCK	ADC1_IN13	COMP1_INP	DAC_OUT2
	36	LCD_SEG8	PB6	LCD_SEG16	SPI1_MOSI	ADC1_IN12	COMP1_INP	DAC_OUT2
	37	LCD_SEG9	PB7	LCD_SEG17	SPI1_MISO	ADC1_IN11	COMP1_INP	
	38	VDDD2	VDD4	VDD4				
	39	SPI_MISO	PF0	SPI1_MISO		ADC1_IN24		DAC_OUT1
	40	SPI_MOSI	PF1	SPI1_MOSI		ADC1_IN25		DAC_OUT2

	41	SPI_SCK	PF2	SPI1_SCK		ADC1_IN26		
	42	SPI_NSS	PF3	SPI1_NSS		ADC1_IN27		
	43	LCD_SEG10	PF4	LCD_SEG40	LCD_COM4			
	44	LCD_SEG11	PF5	LCD_SEG41	LCD_COM5			
	45	LCD_SEG12	PF6	LCD_SEG42	LCD_COM6			
	46	LCD_SEG13	PF7	LCD_SEG43	LCD_COM7			
	47	LCD_SEG14	PD4	LCD_SEG18		ADC1_IN10	COMP1_INP	
	48	LCD_SEG15	PD5	LCD_SEG19		ADC1_IN9	COMP1_INP	
	49	LCD_SEG16	PD6	LCD_SEG20	SPI2_SCK	ADC1_IN8	COMP1_INP	VREF_INT
	50	GPIO1	PD7	LCD_SEG21	SPI2_NSS	ADC1_IN7	COMP1_INP	VREF_INT
	51	GPIO0	PG6	GPIO0	SPI2_MOSI			
TOP	52	LCD_SEG17	PG7	GPIO1	SPI2_MISO	LCD_SEG35		
	53	I2C_SDA	PC0	I2C1_SDA				
	54	I2C_SCL	PC1	I2C1_SCL				
	55	VDDD3	VDD2	VDD2				
	56	ADC1_IN0	PC2	ADC1_IN6	UART1_RX	LCD_SEG22	COMP1_INP	
	57	ADC1_IN1	PC3	ADC1_IN5	UART1_TX	LCD_SEG23	COMP1_INP	COMP2_INM
	58	GPIO2	PC4	GPIO2	LCD_COM4	ADC1_IN4	COMP1_INP	COMP2_INM
	59	OSC32K_IN	PC5	OSC32_IN	SPI1_NSS	UART1_TX		
	60	OSC32K_OUT	PC6	OSC32_OUT	SPI1_SCK	UART1_RX		
	61	ADC1_IN2	PC7	ADC1_IN3	LCD_COM5	LCD_SEG25	COMP1_INP	COMP2_INM
	62	GPIO3	PE6	GPIO3	LCD_COM6	LCD_SEG26	UART3_TX	
	63	GPIO4	PE7	GPIO4	LCD_COM7	LCD_SEG27	UART3_RX	
	64	NSS	NSS	NSS				
	65	SCAN	SCAN	SCAN				
	66	RFI_P	RFI_P					
	67	RFI_N	RFI_N					
	68	RFO	RFO					

## 2.3 ASR6505 客户模组参考设计



### 注意事项:

- 1) 请注意 ASR6505 客户模组参考电路默认的匹配网络为 470MHz，如需其他频率的匹配网络请参考文档：[31\\_ASR6501\\_2 Matching](#)。
- 2) LoRa 射频芯片(SX1262)和 MCU 芯片(STM8L152)两者通过 SPI 接口进行通讯，且已经在芯片内部连接。ASR6505 预留一组 SPI 供客户使用。
- 4) 特别注意 DC-DC 的上拉电感 L6 (15uH) 必须用功率电感，功率电感的具体要求参考本文档第 4 章 [物料选型指南](#)。VR\_PA 处的电感 L1 (56nH) 强烈建议选用 0402 封装，额定电流更大，对提升 TX 的发射功率有帮助。

## 2.4 ASR6505 电路解析

### 2.4.1 电源电路

ASR6505 有电源分成三个部分：VDDD，VDDA，和 VDD\_RF。VDDD 给 MCU 的数字部分供电，VDDA 给 MCU 的模拟部分（ADC）供电，VDD\_RF 给射频部分供电。

SX1262 内部 Regulator (REG PA) 通过外部的上拉电感 L1 给 PA 的输出级 RFO 提供偏置。内部 Regulator (REG PA) 由芯片内部集成 DC-DC 或 LDO 供电，DC-DC 和 LDO 由 VDD\_IN 供电，VDD\_IN 要么来自电池或者外部电源，VDD\_IN 正常工作范围为 1.8-3.7V，推荐电压为 3.3V。

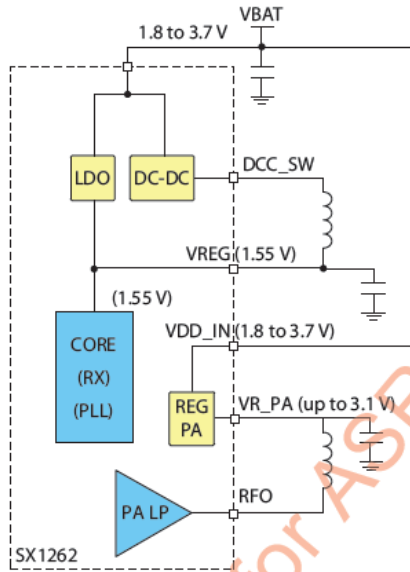


图2-6-1 PA Supply Scheme in DC-DC Mode

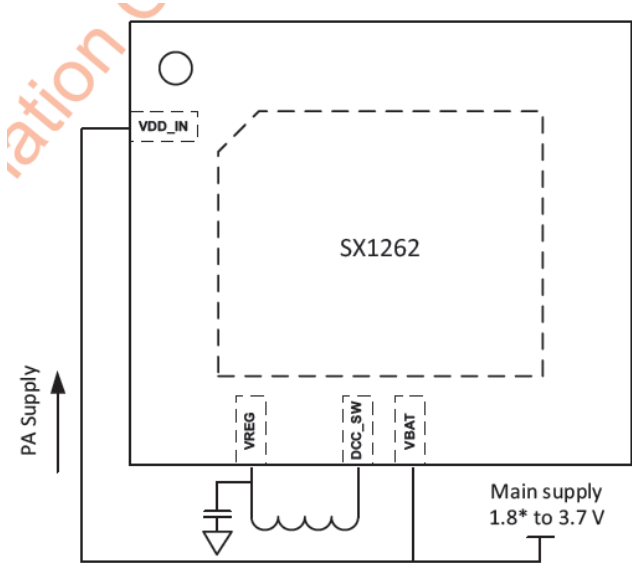
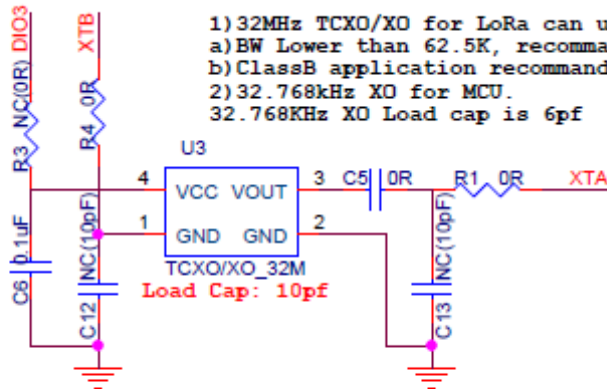


图2-6-2 SX1262 Diagram with the DC-DC Regulator Power Option

## 2.4.2 晶振电路

ASR6505 Demo Module 用到 2 种晶振: 1) 32MHz TCXO/XO for LoRa, 晶振负载电容为 10pf; 如果用带宽低于 62.5K 强烈推荐 TCXO; 如果采用 XO, SX1262 内部集成负载电容矩阵, 一般不需要外加负载电容, 采用内部默认的负载电容即可; 频偏偏正的时候, 建议适当增加外接负载电容; 如果频偏负, 建议换 32M 的晶振。2) 32.768kHz XO for MCU, 晶振的负载电容为 6pf, 为了便于起振, 外接的负载电容可以 CL 可以小于 12pf, 建议用 10pf。

### Crystal Oscillator Circuit

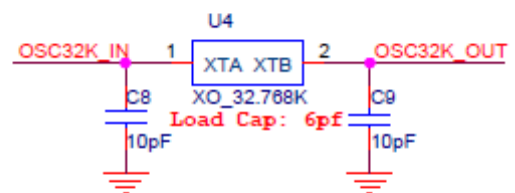


If XO is adopted:

- 1) C13, C6, R3, NC.
- 2) C5 solder 0R RES.
- 3) R1, R4 solder 0R RES

If TCXO is adopted:

- 1) R4, C13 NC
- 2) C5 solder 100pf, C6 solder 0.1uf
- 3) R3, R1, C12 solder 0R RES

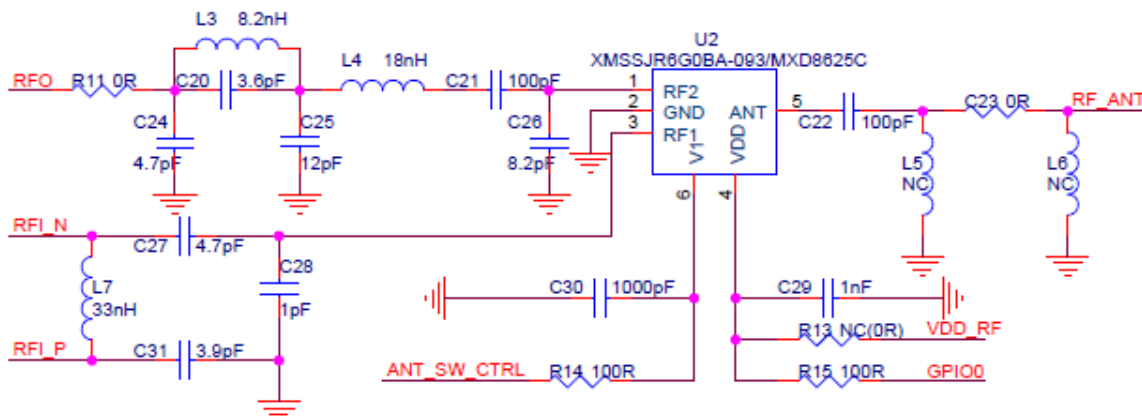




## 2.4.3 射频电路

### RF Input and Output Circuit:

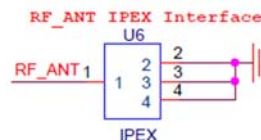
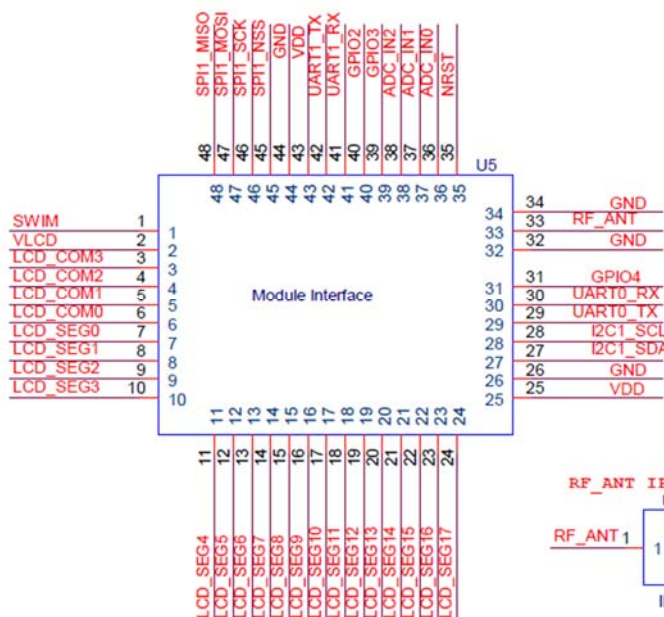
1) RF matching network parameter default is 470MHz, other frequency matching network parameter is different.



- 1) ASR6505 客户模组参考设计原理图默认的匹配网络为 **470MHz**，如需其他频率的匹配网络请参考文档：**31\_ASR6501\_2 Matching**。
- 2) XMSSJR6G0BA 采用单端控制模式，pin6 为 TRSW 的 CTRL 信号接到 SX1262 的 DIO2，DIO2 的控制逻辑为：A) DIO2 为高，RF2->TX；DIO2 为低，RF1->RX；**注意不同的 RFSW 控制逻辑和管脚不一样，画电路时一定要参考对应 RFSW 的 Datasheet。**
- 3) GPIO 接 TRSW 的 VDD pin，Lora 芯片正常工作时，GPIO 为高。Lora 芯片为 Sleep mode 时，GPIO 拉低关掉 TRSW，防止 TRSW 漏电（XMSSJR6G0BA 大概有 5uA 的漏电），如果对功耗不敏感，GPIO 可以用作其他用途，VDD\_RF 连到 RFSW 的 VDD 即可。
- 4) RFSW XMSSJR6G0BA 物料不容易找到，可以用替换料取代，具体参考本文档第 4 章物料选型指南。

## 2.4.4 模组接口

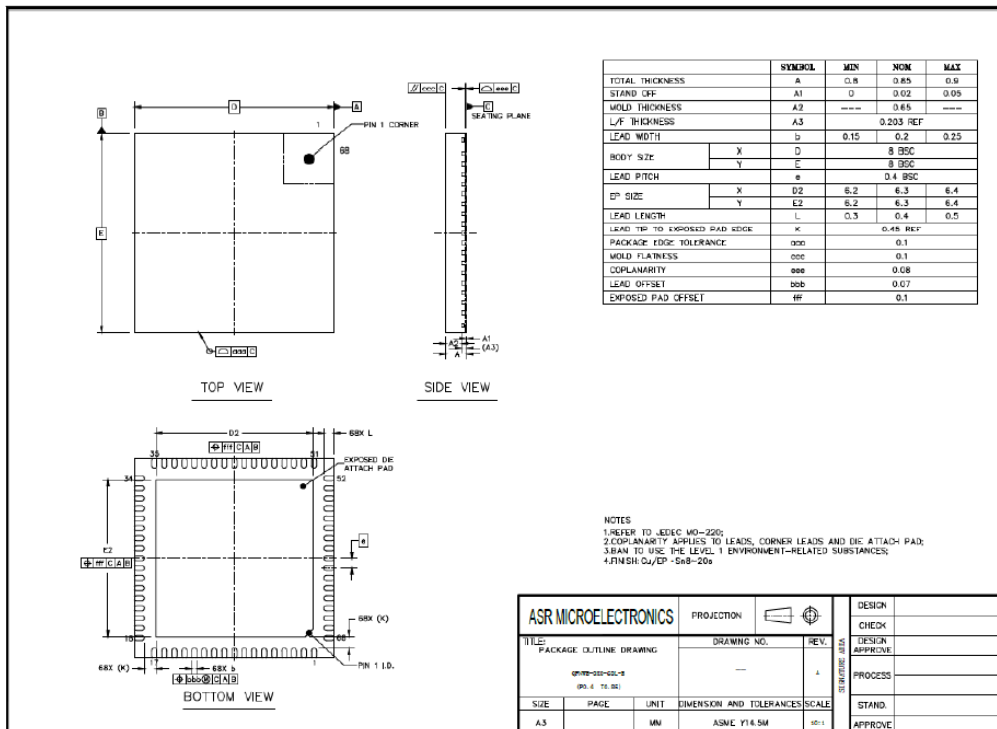
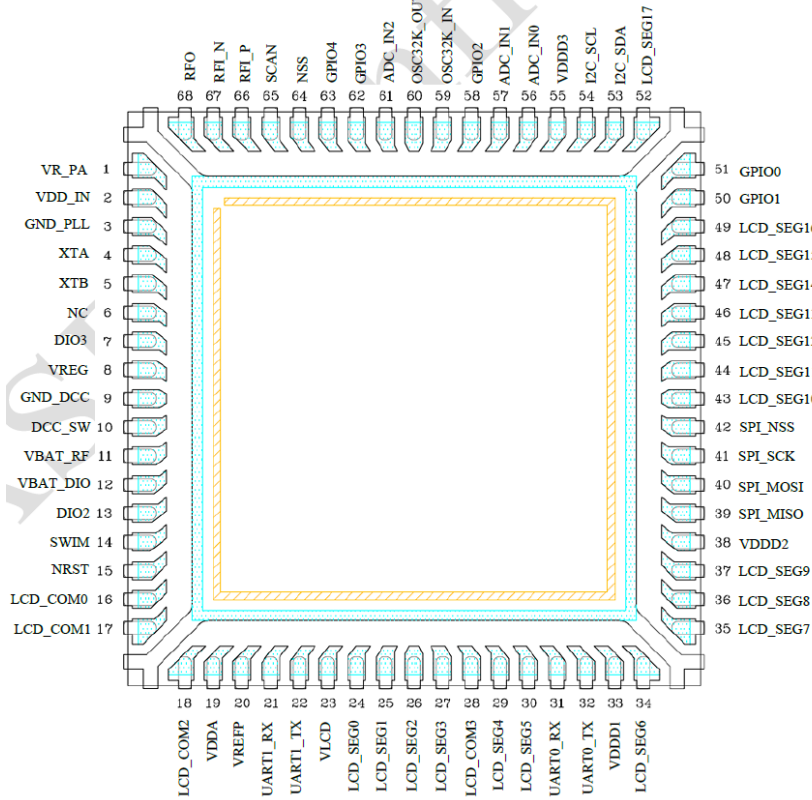
### ASR6505 Module Interface



- 1) 上述的信号建议引到模组的邮票孔 pad 处, RF\_ANT 建议预留 IPEX 天线接口, 方便模组的射频测试。
- 2) 原理图上 COM 和 SEG 的序号为 ASR 自定义序号, LCD 编程以 STM8L152 的实际序号为准, 两者不是一一对应, 请参考本文档中 **ASR6505 管脚复用定义表**

## 2.5 ASR6505 芯片封装定义

图 2-6-1 管脚类型定义



### 3 物料选型指南

#### 3.1 晶振

Ref	Description	Requirement	Demo Module 默认晶体	参考电路 推荐晶体	Vendor
U6	32MKHz XO	Load Cap 10pf, no need to mount, SX126X include, $\pm 10\text{ppm}$ is preferred	DSB211SDN(TCXO) DSX211G(XO)	鸿星 XO: E1FB32E007900E 晶技 XO: 8Y32000002 泰晶 XO: SX-3225	替换料及价格参考: OSC_List.xlsx
U9	32.768KHz XO	Load Cap 12pf, $\pm 20\text{ppm}$ , -40-85	DST1610A(XO)		

#### 3.2 射频开关

Ref	Description	Requirement	Demo 模组 采用物料	参考电路 推荐 RFSW	Vendor
U10	RFSW	Frequency Range:0.1-3 GHz, Insertion Loss:0.35 dB typ.@ 1000 MHz ; 0.5 dB typ.@ 2000 MHz Isolation: 30 dB @ 1000 MHz Switch time: 1.5us	XMSSJR6G0BA-093	推荐单端控制的 RFSW CAN1630/PE4259	替换料及价格参考: RFSW_List.xlsx

#### 3.3 功率电感

若采用DC-DC给Regulator (REG PA) 供电, 则功率电感L6必不可少, 功率电感要求为: 1) 15uH inductor; 2) DCR (max) = 2 ohms 3) Idc (min) = 100 mA 4) Freq (min) = 20 MHz

Reference	Manufacturer	Value ( $\mu\text{H}$ )	Idc max (mA)	Freq (MHz)	DCR (ohm)	Package (L x W x H in mm)
LPS3010-153	Coilcraft	15	370	43	0.95	2.95 x 2.95 x 0.9
MLZ2012N150L	TDK	15	90	40	0.47	2 x 1.25 x 1.25
MLZ2012M150W	TDK	15	120	40	0.95	2 x 1.25 x 1.25
VLS2010ET-150M	TDK	15	440	40	1.476	2 x 2 x 1
VLS2012ET-150M	TDK	15	440	40	1.062	2 x 2 x 1.2

#### 3.4 外置天线

NA

### 4 Layout 指导

#### 4.1 电源走线

- 1) 电源最好加 2.2uF 和 0.1uF 电容滤波滤除低频和高频电源噪声。
- 2) 电源线走线尽可能的宽, 不应低于 18mil, 为了减少线间串扰, 间距符合 3W 规则。
- 3) 电源线不要跨其他电源线和高频走线, 避免对电源造成干扰。
- 4) VDD\_IN 的最大电流为 108mA, 需要给 VDD\_IN 的走线可以承受 300mA 的电流。

## 4.2 RF 走线

在 PCB 中射频走线如图5-2-1所示，必须要注意下列事项：

- 1) 射频线的匹配网络器件尽量靠近芯片放置。
- 2) 射频线走在 top 层，不可穿层走线，传输线要求做50 欧姆特征阻抗处理。
- 3) 射频线不可以有 90 度直角和锐角走线，尽量使用 135° 角走线或圆弧走线。
- 4) 射频线两旁的屏蔽地要尽量完整，第2 层的GND 要完整，天线和射频线周围尽量多的地过孔。
- 5) 射频线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶体，UART、PWM、SDIO等。
- 6) RF传输线特征阻抗为50欧姆，推荐18mil线宽，14mil间距，具体根据PCB板层数和叠构调整（但宽度不应小于12mil），和焊盘连接处最好采用渐增线以降低阻抗突变。



图 5-2-1 gradually increased lines

## 4.3 晶体走线

- 1) 晶体的时钟要在 top 层走线，不可以穿层和交叉，并且周围要用GND 屏蔽。
- 2) 晶体的下面不可以走高速信号线，第 2 层要求完整的GND。
- 3) 晶体的负载电容尽量放置到时钟线末端。
- 4) 晶体的周围不要放置磁性元件，如电感，磁珠等。
- 5) 晶体表层的铜皮挖空，防止周边器件的热量传导到晶体产生温漂。