

總結:

Verilog 真的很好寫，按照老師ppt上的架構，兩三下就寫完了，唯一卡比較久的地方就是，輸出端的變數資料型態是wire，不能直接用常數(3’b010之類的)賦值，造成程式編寫上有一點點不自然，reg 資料型態真的好用，支援continuous assignment也支援procedural assignment，給了設計者很大的空間。