ΗΡΥ302 ΑΣΗΚΗΣΗ 1

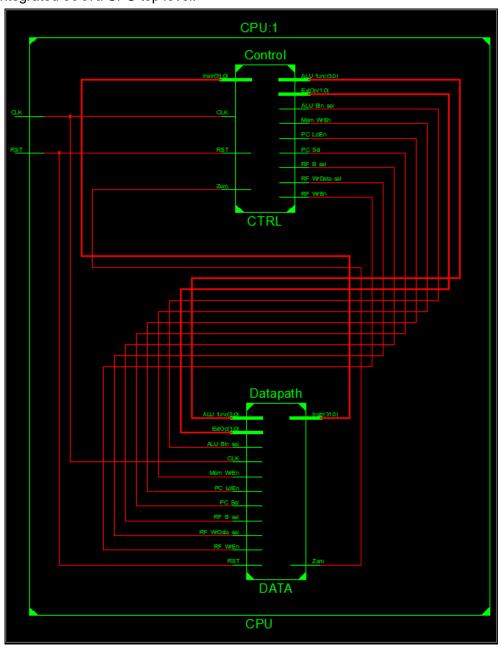
Αριθμός ομάδας: 28

Μέλος ομάδας 1: Νικόλαος Κτενάς 2022030108 Μέλος ομάδας 2: Χατζησωτηρίου Κωνσταντίνος 2022030049 Μέλος ομάδας 3: Μπαρδής Φίλιππος 2022030125

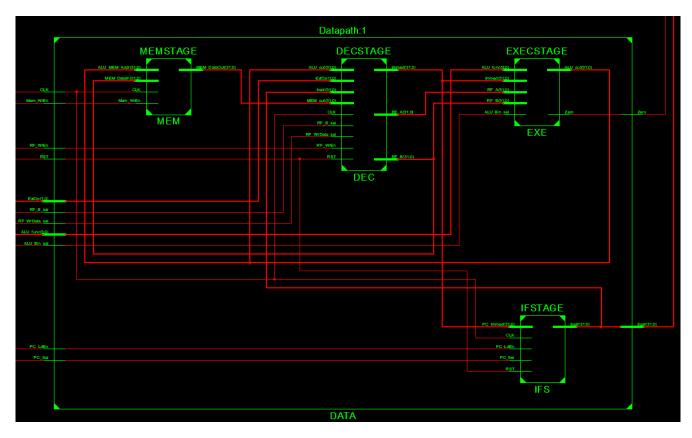
Περιγραφή:

Το κύκλωμα που υλοποιήθηκε είναι ένας single-cycle επεξεργαστής, πανομοιότυπος με αυτόν που περιγράφεται στην εκφώνηση της άσκησης, με μερικές μικρές διαφορές που θα επισημανθούν παρακάτω.

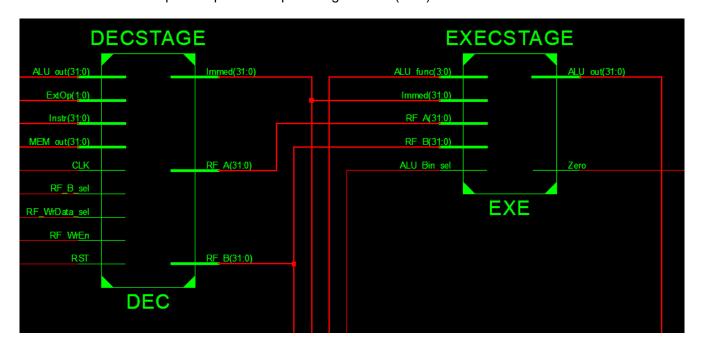
Η υλοποίηση του κυκλώματος πραγματοποιήθηκε σε 2 στάδια: δημιουργία ενιαίου datapath, δημιουργία control unit, και integration σε top level αρχείο (CPU). Το datapath υλοποιήθηκε σαν ένα ενιαίο module με inputs όλα τα control σήματα και outputs τα instruction, zero. Αντίστοιχα, το control unit υλοποιήθηκε σαν module με inputs τα instruction, zero και outputs όλα τα control σήματα. Τα δύο αυτά modules έγιναν integrated σε ενα CPU top level.



Το datapath, σε αντίθεση με τον ενδεδειγμένο τρόπο που παρουσιάστηκε στα φροντιστήρια, υλοποιήθηκε σαν άμεσο top level module όλων των stages που το αποτελούν. Το control unit υλοποιήθηκε σαν ενα απλό process με nested ifs που εξετάζει κάθε πιθανή εντολή και αναθέτει τα κατάλληλα control σήματα, τα οποία επιστρέφει.

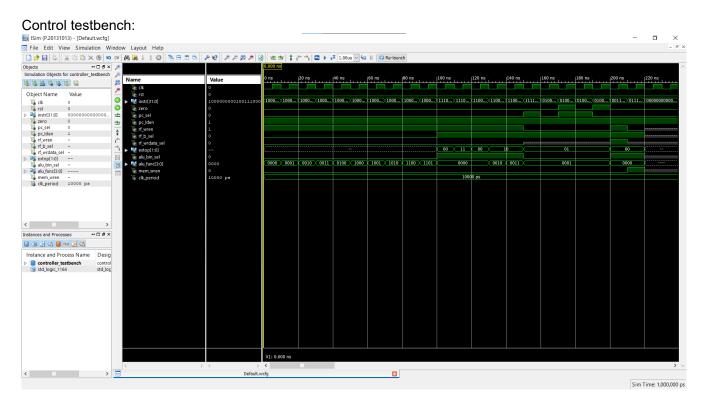


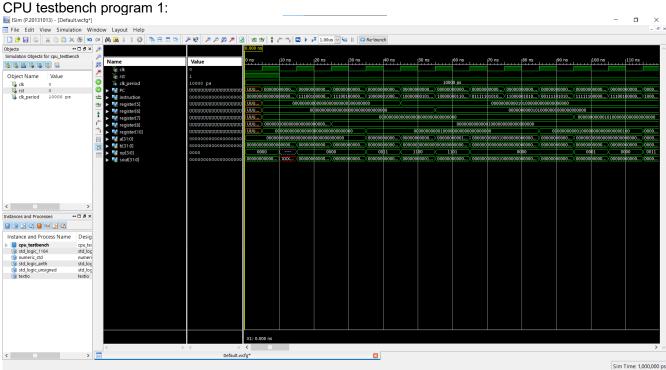
Επιπλέον, θεωρήθηκε απαράιτητο να επεκταθούν τα inputs και outputs στα DECSTAGE και EXECSTAGE αντίστοιχα. Πιό συγκεκριμένα, στο DECSTAGE προστέθηκε σαν input το signal ExtOp (2 bit) και στο EXECSTAGE προστέθηκε σαν output το signal Zero (1 bit).



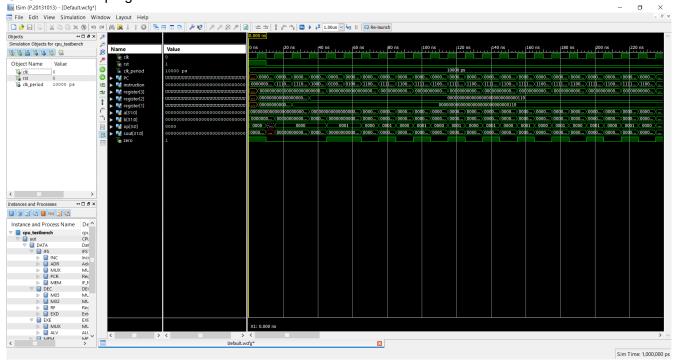
Εξαιρώντας αυτές τις μικρές διαφορές, ο επεξεργαστής υλοποιεί πλήρως το ISA που περιγράφεται στην εκφώνηση και οι εντολές λειτουργούν κανονικά. Ενδεικτικά παρατίθενται γραφικές παραστάσεις απο τα testbench στο Control και στο CPU top level που παρουσιάζουν την ορθή λειτουργία του επεξεργαστή. Το CPU testbench εκτελεί κώδικες αντίστοιχους με αυτούς που δώθηκαν, αλλα διορθωμένους.

Testbench:





CPU testbench program 2:



Συνίσταται η μεγεύθυνση πάνω στις εικόνες ώστε να γίνουν render με καλύτερη ανάλυση.