

Zadatak – Verilog

Sastaviti na jeziku *Verilog* modul koji predstavlja asocijativni bafer. Asinhroni reset povezati na prekidač *SW0*.

1. Faza

Napisati modul koji vrši detekciju ivica ulaznih signala. U trenutku instanciranja modula navodi se broj ulaznih signala i ivica (uzlazna, silazna ili obe) koju će modul detektovati. Svaki put prilikom detekcije navedene ivice ulaznih signala na delu izlaza, koji odgovara ulaznim signalima kod kojih je detektovana ivica, postavlja se aktivna vrednost u trajanju jedne periode signala takta.

2. Faza

Napisati modul koji vrši konverziju binarne predstave jedne decimalne cifre u njoj odgovarajuću predstavu za prikaz na sedmosegmentnom displeju.

3. Faza

Implementirati registar sa mogućnošću (1) paralelnog upisa, (2) inkrementiranja i (3) brisanja. Širina registra mora biti skalabilna.

4. Faza

Koristeći modul iz prethodne faze realizovati asocijativni bafer. U cilju što veće skalabilnosti širina ključa, širina podatka i broj podataka u asocijativnom baferu zadaju se u trenutku instanciranja modula. Moguće je izvršiti (1) paralelni upis, (2) inkrementiranje i (3) brisanje podatka koji odgovara navedenom ključu. Ukoliko ne postoji podatak koji odgovara navedenom ključu potrebno je dodati dati ključ (samo ako u asocijativnom baferu postoji slobodno mesto). Na izlazu asocijativnog bafera nalazi se podatak koji odgovara ključu sa ulaza asocijativnog bafera i informacija da li je taj podatak validan (da li podatak odgovara navedenom ključu).

5. Faza

Proširiti modul iz prethodne faze mogućnošću čitanja svih podataka u asocijativnom baferu. Potrebno je dodati ulazni signal kojim se započinje čitanje. Podaci se čitaju redom, jedan po jedan na svaku sekundu, nezavisno od svojih ključeva.

6. Faza

Proširiti modul iz prethodne faze mogućnošću izbacivanja najređe korišćenog (least recently used) podatka u situacijama kada je asocijativni bafer pun a potrebno dodati nov podatak.