

# Рачунарски ВЛСИ системи (13e114влси)

## Пример прве предиспитне обавезе

### Напомене:

Решење се оцењује одмах на лицу места по принципу “ради или не ради” посматрано на нивоу сваке појединачне ставке.

### Задатак:

Користећи алат *QuestaSim* потребно је испунити ставке које се налазе у наставку. Приликом израде решења на располагању је документација *Verilog* језика.

(а) [5 поена] Написати комбинациони модул који има следеће портове: седмобитни податак (улаз), једнобитни контролни сигнал (улаз) и осмобитни податак (излаз). Модул треба да утврди да ли битска репрезентација улазног седмобитног податка садржи више нула или јединица и на излаз проследи дати седмобитни податак заједно са утврђеном једнобитном информацијом уметнутом између трећег и четвртог бита седмобитног податка. Уколико контролни сигнал има вредност нула, једнобитна информација има вредност један у случају да битска репрезентација улазног седмобитног податка садржи више нула, док у супротном има вредност нула. Уколико контролни сигнал има вредност један, једнобитна информација има вредност један у случају да битска репрезентација улазног седмобитног податка садржи више јединица, док у супротном има вредност нула.

(б) [5 поена] Написати модул за тестирање (*testbench*) који инстанцира комбинациони модул описан у претходној ставци (*DUT*). *Testbench* треба да побуди *DUT* са свим могућим улазним вредностима. *Testbench* исписује симулациони тренутак и вредности свих улазних и излазних сигнала за *DUT* при свакој промени излазног сигнала.

(в) [5 поена] Написати секвенцијални модул који има следеће портове: асинхрони ресет (улаз), сигнал такта (улаз), четворобитни податак (улаз), тробитни контролни сигнал (улаз) и четворобитни податак (излаз). Излазни податак након асинхроног ресета има вредност нула. Битови контролног сигнала имају следеће значење: нулти бит представља *enable* бит, први бит представља *double* бит (одређује да ли је потребно дуплирати четворобитни податак са улаза пре његовог коришћења у операцији) и други бит представља *operation* бит (дефинише коју операцију треба извршити). Уколико *enable* бит има вредност нула, вредност на излазу у наредној периоди сигнала такта остаје непромењена независно од вредности осталих улазних сигнала. Вредност првог операнда операције јесте (1) вредност улазног четворобитног податка уколико *double* бит има вредност нула или (2) дуплирана вредност улазног четворобитног податка уколико *double* бит има вредност један. Вредност на излазу модула у наредној периоди сигнала такта јесте (1) вредност првог операнда уколико *operation* бит има вредност нула или (2) вредност на излазу у тренутној периоди сигнала такта увећана за један.

(г) [5 поена] Написати модул за тестирање (*testbench*) који инстанцира секвенцијални модул описан у претходној ставци (*DUT*). *Testbench* треба да побуди *DUT* са стотину псеудослучајних улазних вредности. *Testbench* треба да прати и исписује вредност излазног сигнала за *DUT*.