



Universidade Federal de Roraima Departamento de Ciência da Computação Arquitetura e Organização de Computadores

Processador Uniciclo 8 Bits (BORI)

Rosialdo Queivison Vidinho de Queiroz Vicente Venícius Jacob Pereira de Oliveira

#### Características

- Processador Uniciclo de 8 bits baseado na arquitetura MIPS;
- Possui três formatos de instrução.

# Formato das Instruções

Instrução do tipo R				
4 bits	2 bits	2 bits		
7-4	3-2	1-0		
Opcode	Reg2	Reg1		

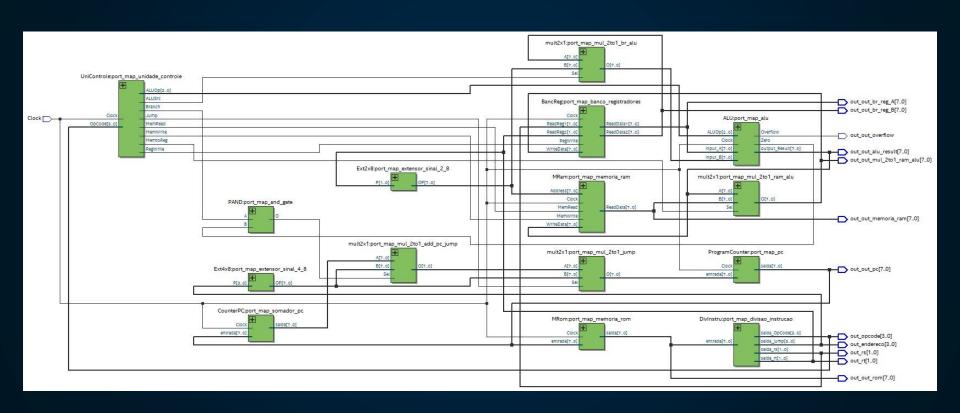
Instrução do tipo I					
4 bits	s 2 bits 2 bits				
7-4	3-2	1-0			
Opcode	Reg2	Imediato			

Instrução do tipo J				
4 bits	4 bits			
7-4	3-0			
Opcode	Endereço			

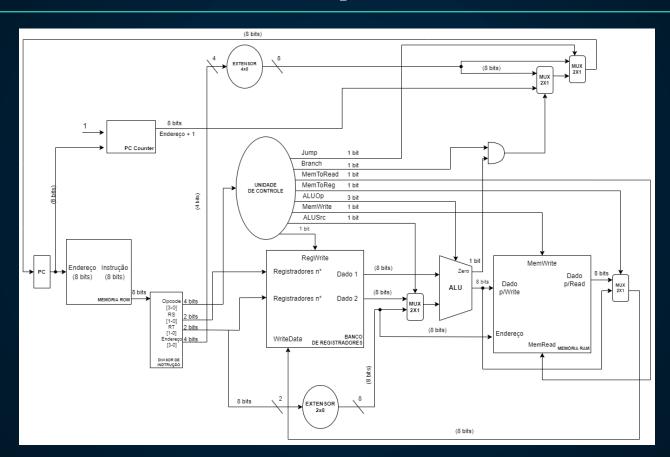
# Conjunto de Instruções

Opcode	Nome	Formato	Nome	Exemplo
0000	LW	R	Load	lw S0, memória (00)
0001	SW	R	Store	sw S0, memória (00)
0010	ADD	R	Soma	add S0, S1
0011	SUB	R	Subtração	sub S0, S1
0100	ADDI	1	Soma imediata	addi S0, 11
0101	SUBI	1	Subtração imediata	subi S0, 11
0110	MOVE	R	Move	move S0, S1
0111	Ш	1	Load Imediato	li S0, 11
1000	BEQ	J	Branch if equal	Beq 0000
1001	BNE	J	Branch if not equal	Bne 0000
1010	СМР	R	Comparação	Cmp S0, S1
1011	JUMP	J	Salto incondicional	Jump 0000

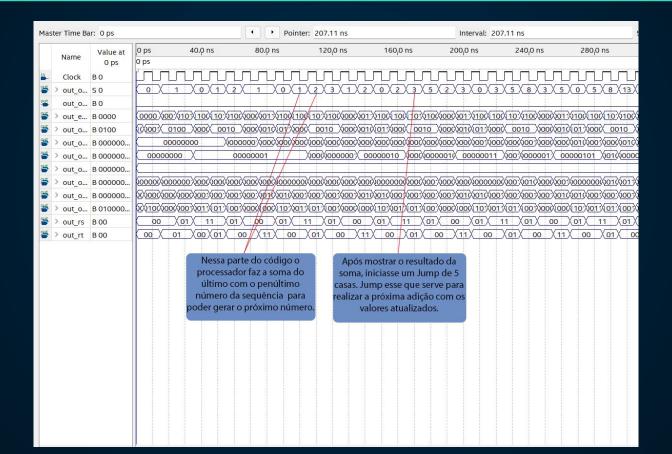
### **RTL Viwer**



## **Datapath**



#### **Wave Fibonacci**



# **Overflow**

		End:		9.46 ns Start:			Pointer: 709.46 ns Interval: 709.46				
730 <sub>1</sub> 0 r	720 <sub>1</sub> 0 ns	710 <sub>1</sub> 0 ns	700 <sub>1</sub> 0 ns	690 <sub>1</sub> 0 ns	680 <sub>i</sub> 0 ns	670 <sub>1</sub> 0 ns	660 <sub>1</sub> 0 ns	650 <sub>1</sub> 0 ns	640 <sub>1</sub> 0 ns	630 <sub>1</sub> 0 ns	620 <sub>1</sub> 0 ns
X 144	121	233	144 X	• X	144	89	233	144	(89)	0	89
0000	0100	1101 X	1100 X	0100 X	0011	0000	0100	1101	1100	0100	0011
0000	10	0000 X 0010		1011 X	0010	0000	10	00	0000	1011	0010
100100	11101001	00000000	10010000 X	11101001	00000000	01011001	10010000	00000000	01011001	10010000	00000000
10000	1001	11101001	X	10010000		1001	0101	10010000	X	01011001	
000000	01111001	11101001	0000 X	00000	10010000	00000000	11101001	10010000	0000	0000	01011001
000001	00000110	00000101	00000100	00001001	00001000	00000111	00000110	00000101	00000100	00001001	00001000
000000	00100100	00101101	00001100 X	10110100	00100011	00000000	00100100	00101101	00001100	10110100	00100011
X	01	1 X	11	01 X	0	(	01	1	1	01	
00	0	O1 X	X	00	11	0	00	01	10	0	11

Antes de passar a capacidade máxima do preocessador, ele retorna um overflow para indicar que atingiu o mázimo de dados possívies

## **Considerações finais**

- Em decorrência do processador ter apenas 8 bits não é possível fazer operações muito grandes como foi demonstrado no teste de Fibonacci;
- É possível executar os testes se dentro dos limites operacionais do processador.