



Universidade Federal de Roraima Departamento de Ciência da Computação Arquitetura e Organização de Computadores

Processador Uniciclo 8 Bits (BORI)

Rosialdo Queivison Vidinho de Queiroz Vicente Venícius Jacob Pereira de Oliveira

Características

Processador Uniciclo de 8 bits baseado na arquitetura MIPS;

Formato das Instruções

Instrução do tipo R					
4 bits	2 bits	2 bits			
7-4	3-2	1-0			
Opcode	Reg2	Reg1			

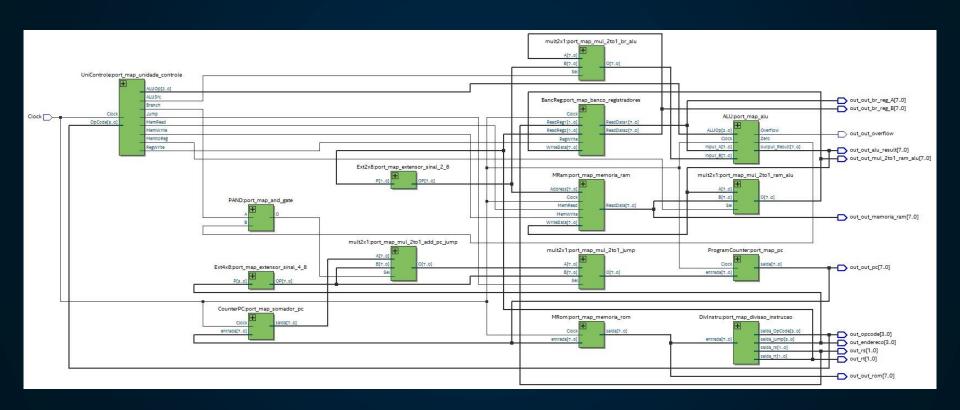
Instrução do tipo I						
4 bits	2 bits	2 bits				
7-4	3-2	1-0				
Opcode	Reg2	Imediato				

Instrução do tipo J				
4 bits	4 bits			
7-4	3-0			
Opcode	Endereço			

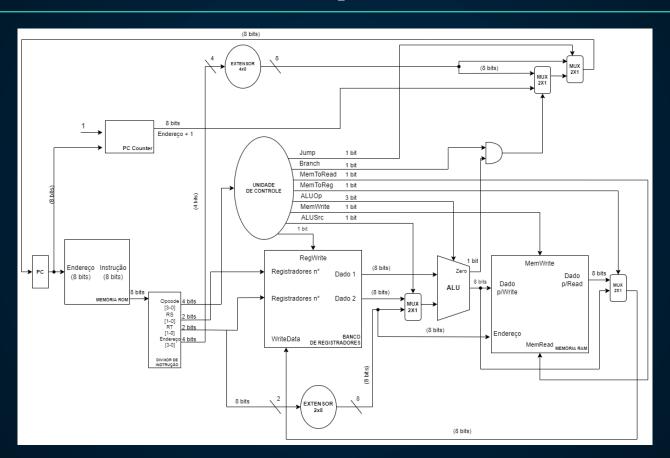
Conjunto de Instruções

Opcode	Nome	Formato	Nome	Exemplo	
0000	LW	R	Load	lw S0, memória (00)	
0001	SW	R	Store	sw S0, memória (00)	
0010	ADD	R	Soma	add S0, S1	
0011	SUB	R	Subtração	sub S0, S1	
0100	ADDI	1	Soma imediata	addi S0, 11	
0101	SUBI	1	Subtração imediata	subi S0, 11	
0110	MOVE	R	Move	move S0, S1	
0111	Ц	1	Load Imediato	li S0, 11	
1000	BEQ	J	Branch if equal	Beq 0000	
1001	BNE	J	Branch if not equal	Bne 0000	
1010	СМР	R	Comparação	Cmp S0, S1	
1011	JUMP	J	Salto incondicional	Jump 0000	

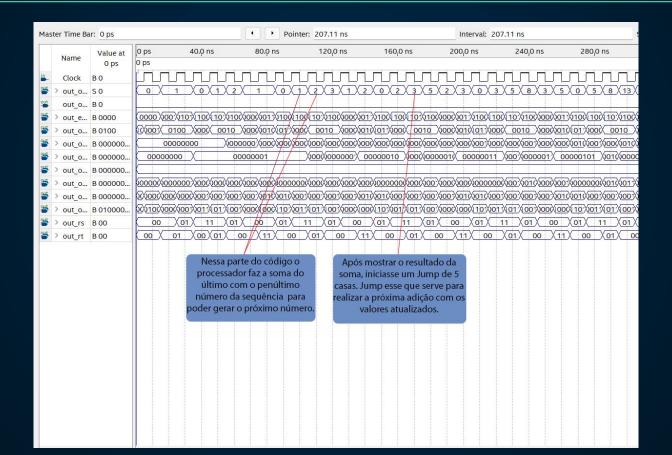
RTL Viwer



Datapath



Wave Fibonacci



Overflow

Pointer: 709.46 ns			Interval: 70	Interval: 709.46 ns Start:			End:				
620 ₁ 0 ns	630 _i 0 ns	640 _i 0 ns	650 _, 0 ns	660,0 ns	670 _i 0 ns	680 _i 0 ns	690 ₁ 0 ns	700 _i 0 ns	710 _; 0 ns	720 _i 0 ns	730 ₁ 0
89 X	0	89	144	233	89	144	X 0	144	233	121	144
0011	0100	1100	1101	0100	0000	0011	0100	1100	1101	0100	0000
0010 X	1011	0000	00	010	0000	0010	1011	0000	00	10	0000
00000000	10010000	01011001	00000000	10010000	01011001	00000000	11101001	10010000	00000000	11101001	100100
	01011001		10010000	0101	11001	X	10010000		11101001	100	0000
				- 1							
01011001	0000	0000	10010000	11101001	00000000	10010000	0000	00000	11101001	01111001	000000
00001000	00001001	00000100	00000101	00000110	00000111	00001000	00001001	00000100	00000101	00000110	000001
00100011	10110100	00001100	00101101	00100100	00000000	00100011	10110100	00001100	00101101	00100100	000000
X	01	1	1	V 01	X	00	01	X /	11	01	X
11 X	0	0	01	X	00	X 11	X	00/	X 01		00

Antes de passar a capacidade máxima do preocessador, ele retorna um overflow para indicar que atingiu o mázimo de dados possívies

Considerações finais

- Em decorrência do processador ter apenas 8 bits não é possível fazer operações muito grandes como foi demonstrado no teste de Fibonacci;
- É possível executar os testes se dentro dos limites operacionais do processador.