



Rosialdo Queivison Vidinho de Queiroz Vicente
Venícius Jacob Pereira de Oliveira

Características

- Processador Uniciclo de 8 bits baseado na arquitetura MIPS;
- Possui três formatos de instrução.

Formato das Instruções

Instrução do tipo R		
4 bits	2 bits	2 bits
7-4	3-2	1-0
Opcode	Reg2	Reg1

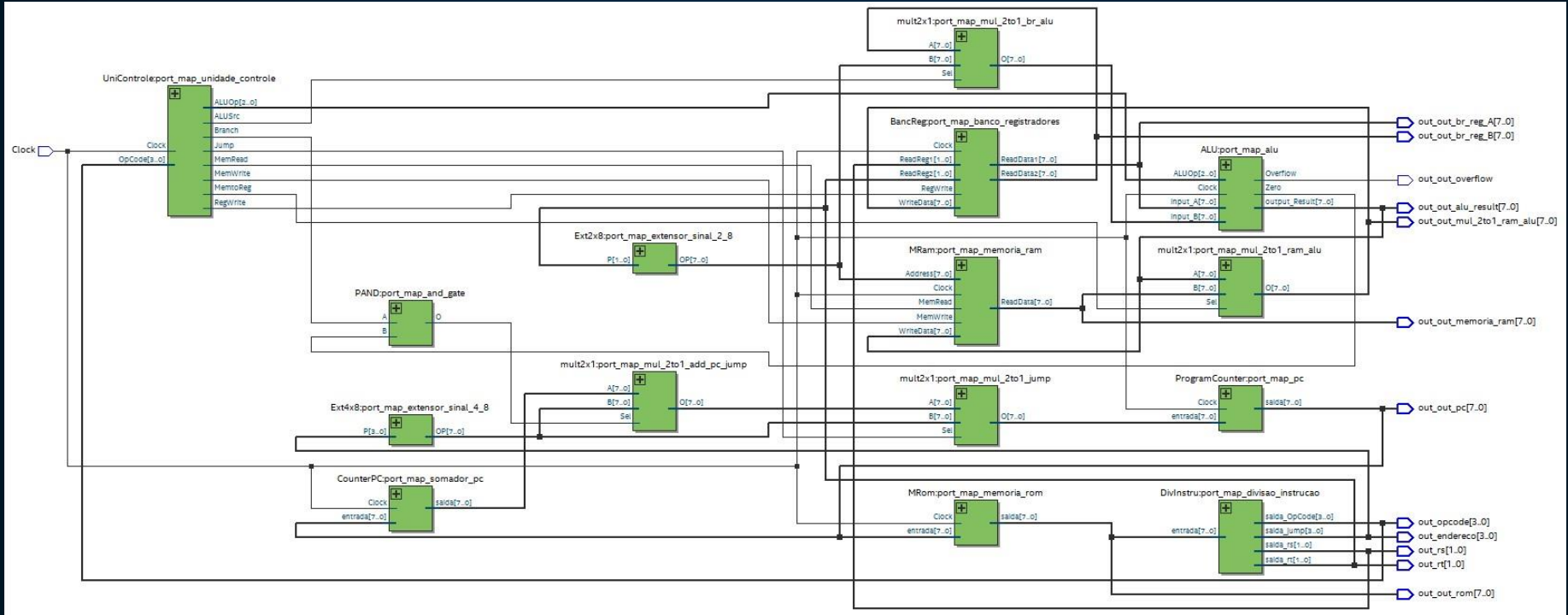
Instrução do tipo I		
4 bits	2 bits	2 bits
7-4	3-2	1-0
Opcode	Reg2	Imediato

Instrução do tipo J	
4 bits	4 bits
7-4	3-0
Opcode	Endereço

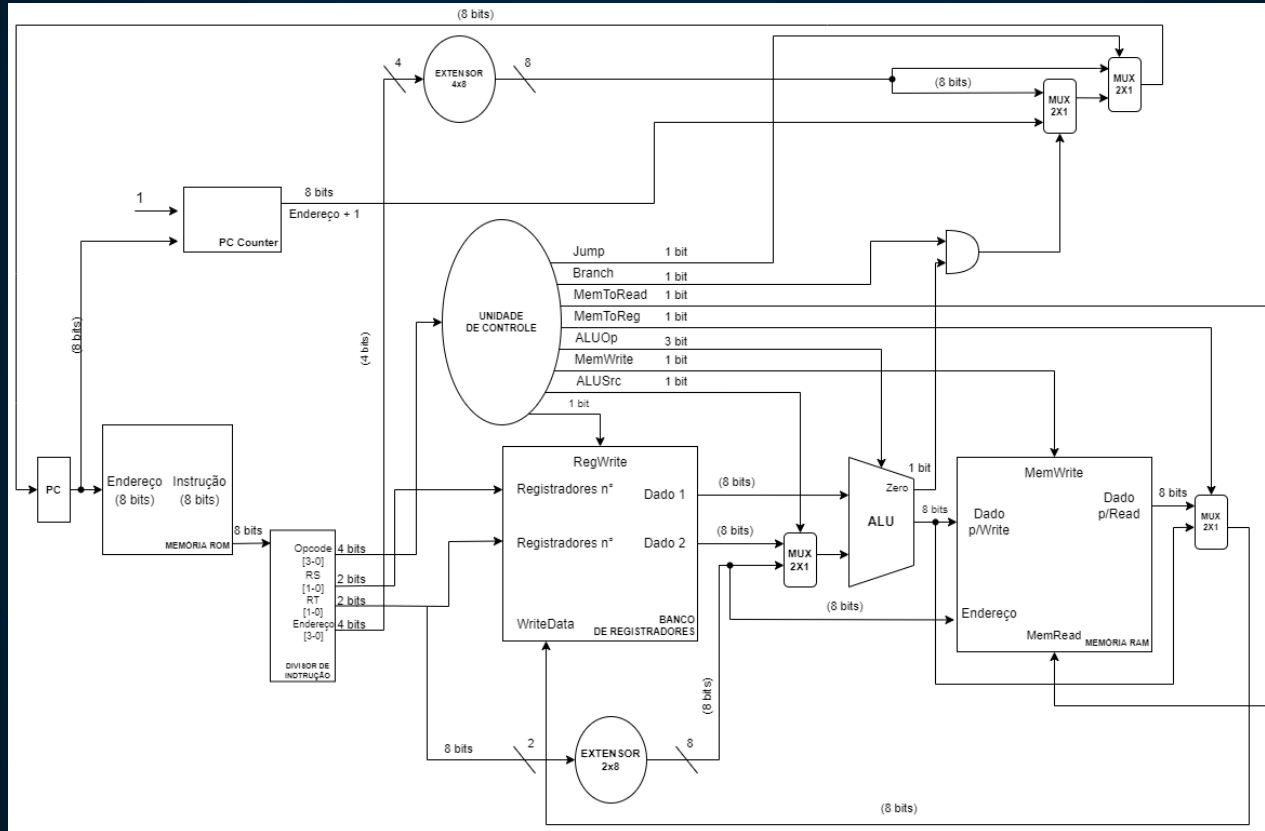
Conjunto de Instruções

Opcode	Nome	Formato	Nome	Exemplo
0000	LW	R	Load	lw S0, memória (00)
0001	SW	R	Store	sw S0, memória (00)
0010	ADD	R	Soma	add S0, S1
0011	SUB	R	Subtração	sub S0, S1
0100	ADDI	I	Soma imediata	addi S0, 11
0101	SUBI	I	Subtração imediata	subi S0, 11
0110	MOVE	R	Move	move S0, S1
0111	LI	I	Load Imediato	li S0, 11
1000	BEQ	J	Branch if equal	Beq 0000
1001	BNE	J	Branch if not equal	Bne 0000
1010	CMP	R	Comparação	Cmp S0, S1
1011	JUMP	J	Salto incondicional	Jump 0000

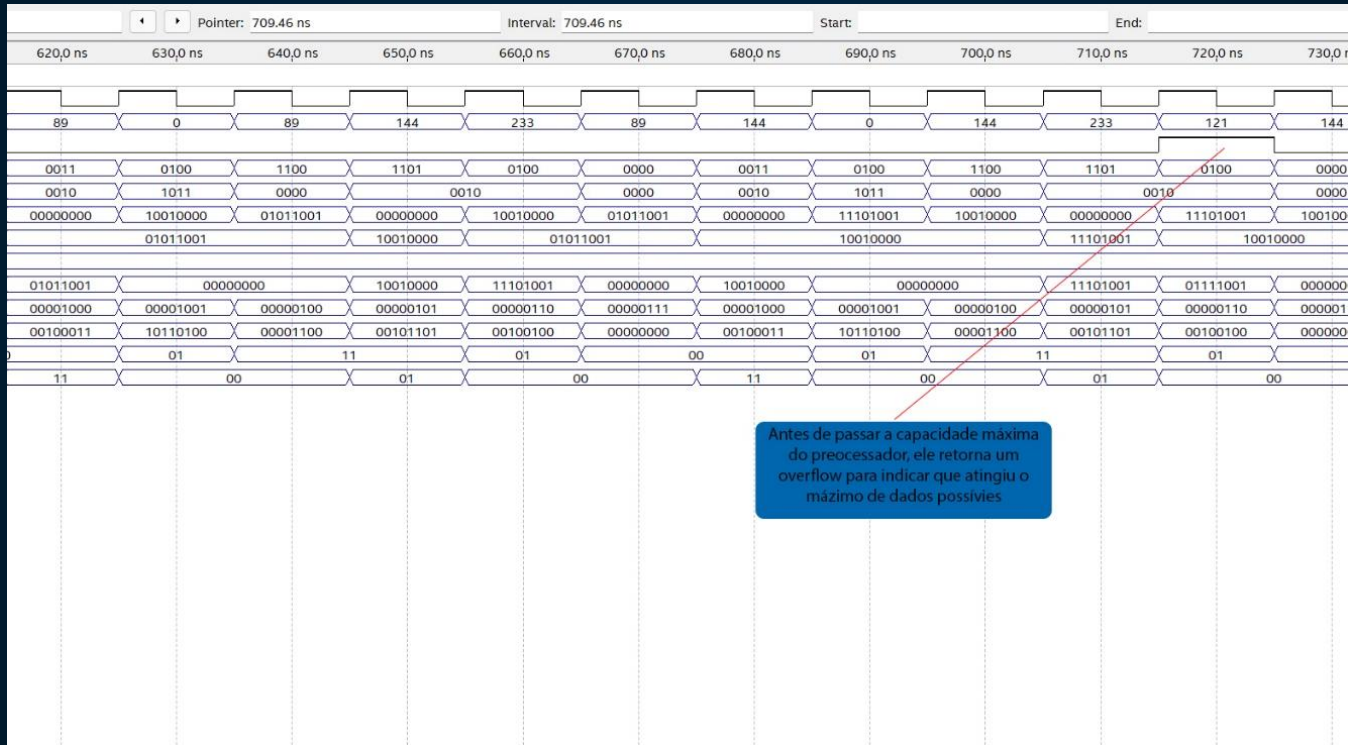
RTL Viwer



Datapath



Overflow



Considerações finais

- Em decorrência do processador ter apenas 8 bits não é possível fazer operações muito grandes como foi demonstrado no teste de Fibonacci;
- É possível executar os testes se dentro dos limites operacionais do processador.