



Звіт

З лабораторної роботи №1

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант 6

Виконав: ст. гр. КІ-201

Вітик С.А.

Прийняв:

Козак Н.Б.

Мета роботи:

Інсталиювати та ознайомитися з середовищем розробки Xilinx ISE.
Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACKTM
2. Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Варіант виконання роботи:

Мій номер в списку – 6. Нижче наведена таблиця вхідних та вихідних сигналів для мого варіанту.

Вхідні та вихідні

in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	0	0	1	0	0	1	0	1
0	0	0	1	1	0	0	0	0	1
0	0	1	0	0	0	0	0	1	1
0	0	1	1	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	1
0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	0	0	0	0	1
0	1	1	1	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0
1	0	1	0	1	0	0	0	0	0
1	0	1	1	1	0	0	1	1	0
1	1	0	0	1	1	0	0	0	0
1	1	0	1	0	1	0	1	1	0
1	1	1	0	0	1	0	0	1	0
1	1	1	1	0	1	1	0	1	0

Табл.1.1.
сигнали.

Мінімізація формул вихідних сигналів:

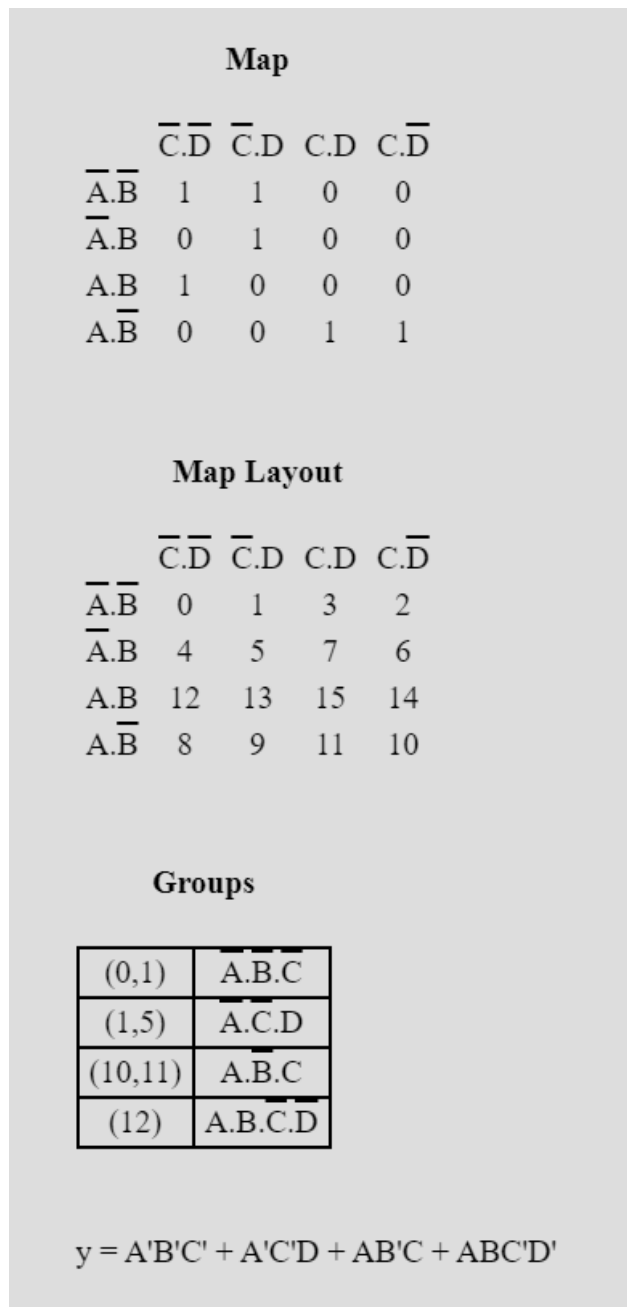


Рис. 1.1. Мінімізація OUT_0.

$$OUT_0 = \overline{IN_3} * \overline{IN_2} * \overline{IN_1} + \overline{IN_3} * \overline{IN_1} * IN_0 + IN_3 * \overline{IN_2} * IN_1 + IN_3 * IN_2 * \overline{IN_0} * \overline{IN_1};$$

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	0	0	0
$\overline{A}.B$	0	0	0	0
$A.B$	1	1	1	1
$A.\overline{B}$	0	0	0	0

Map Layout

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	1	3	2
$\overline{A}.B$	4	5	7	6
$A.B$	12	13	15	14
$A.\overline{B}$	8	9	11	10

Groups

(12,13,14,15)	$A.B$
---------------	-------

$$y = AB$$

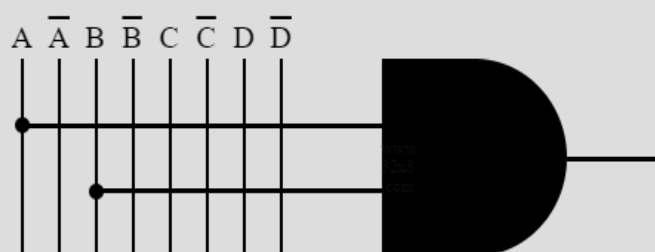


Рис. 1.2. Мінімізація OUT_1 .

$$OUT_1 = IN_2 * IN_3;$$

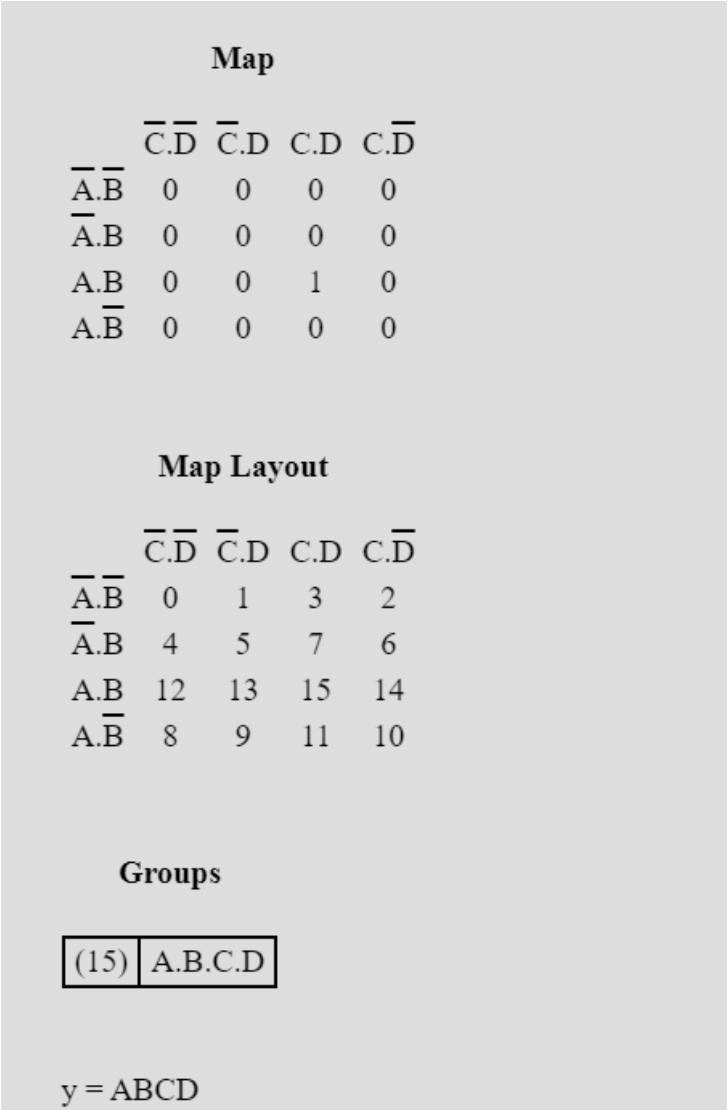


Рис. 1.3. Мінімізація OUT_2.

$OUT_2 = IN_0 * IN_1 * IN_2 * IN_3;$

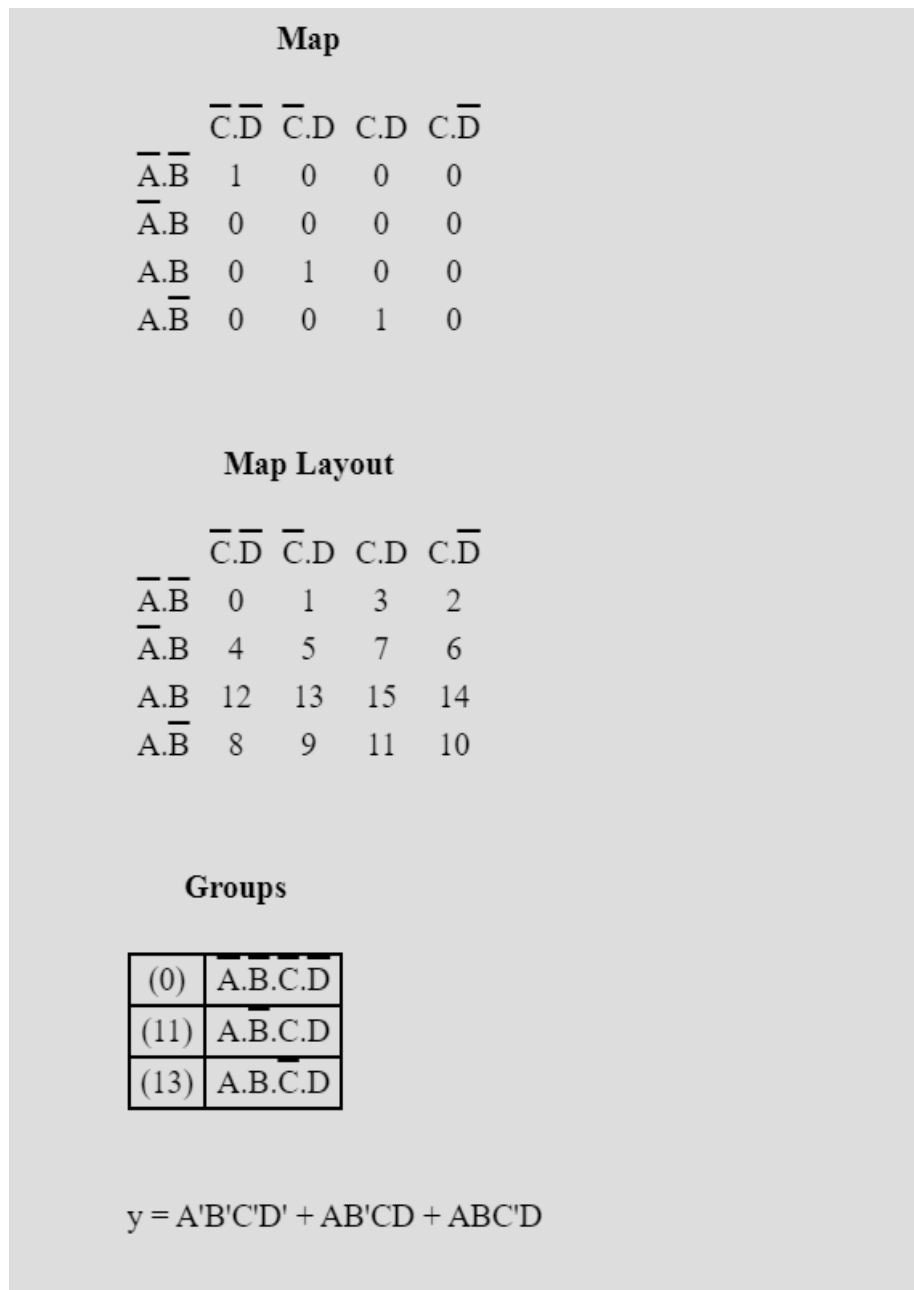


Рис. 1.4. Мінімізація OUT_3.

$$\begin{aligned} \text{OUT_3} = & \text{/IN_0} * \text{/IN_1} * \text{/IN_2} * \text{/IN_3} + \text{IN_0} * \text{IN_1} * \text{/IN_2} * \text{IN_3} + \\ & + \text{IN_0} * \text{/IN_1} * \text{IN_2} * \text{IN_3}; \end{aligned}$$

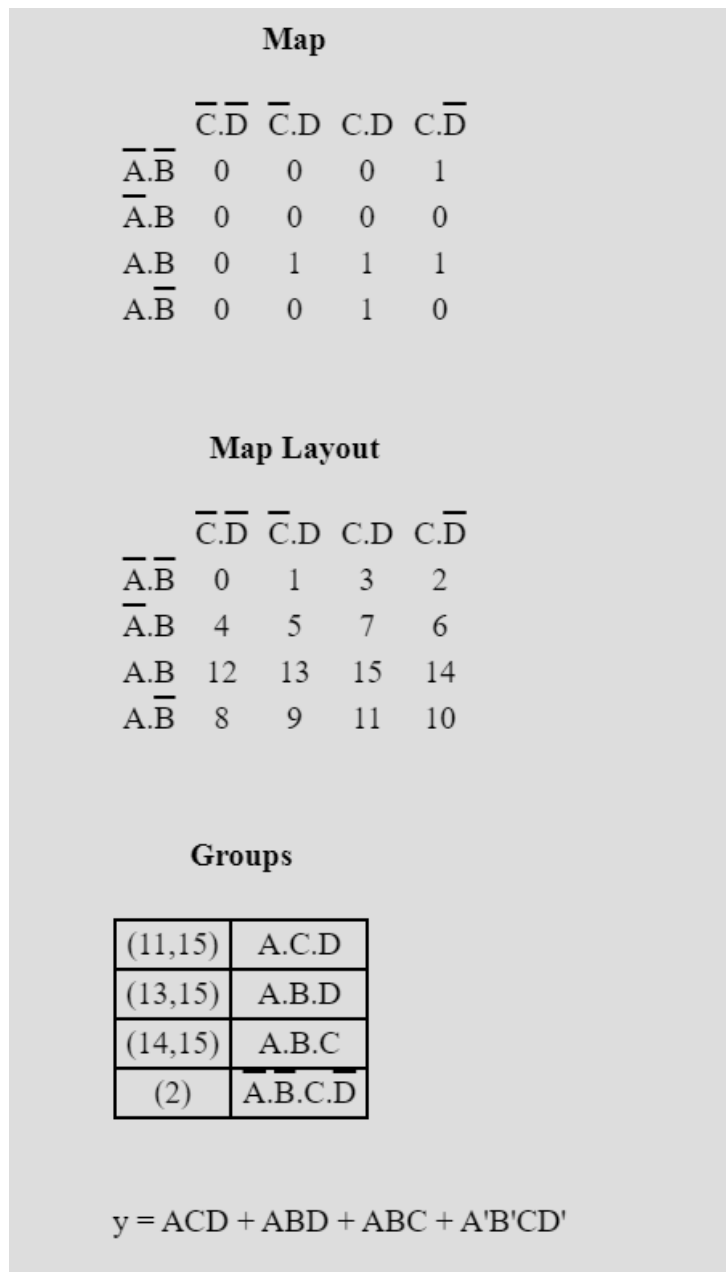


Рис. 1.5. Мінімізація OUT_4.

$$OUT_4 = IN_0 * IN_1 * IN_3 + IN_0 * IN_2 * IN_3 + IN_1 * IN_2 * IN_3 + \\ + /IN_0 * IN_1 * /IN_2 * /IN_3;$$

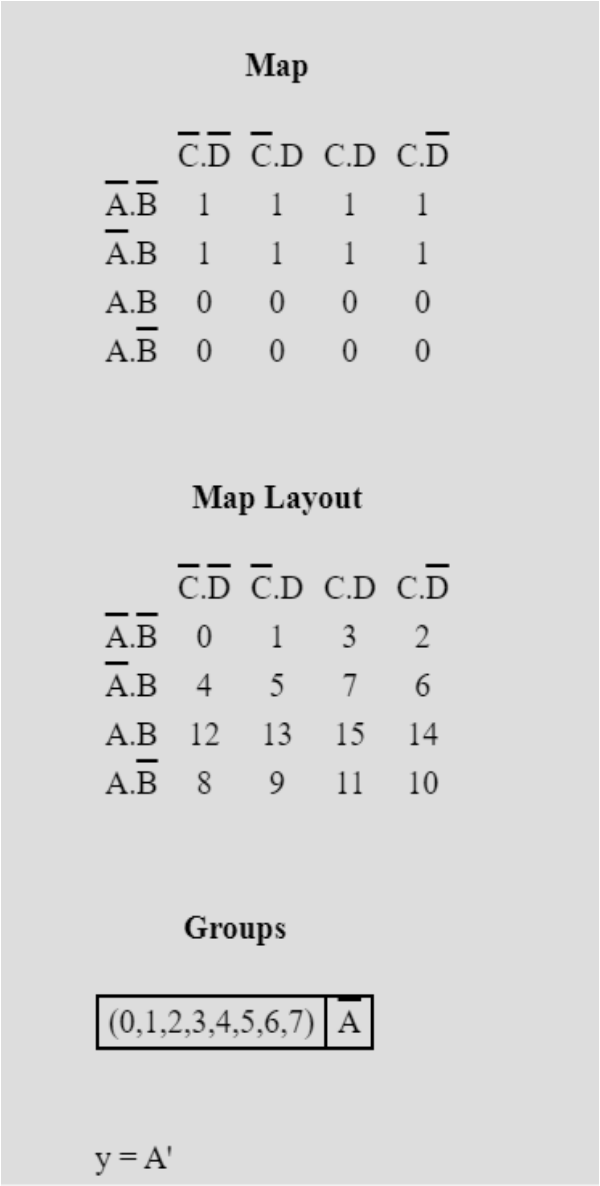


Рис. 1.6. Мінімізація OUT_5.

$OUT_5 = \neg IN_3;$

Виконання роботи:

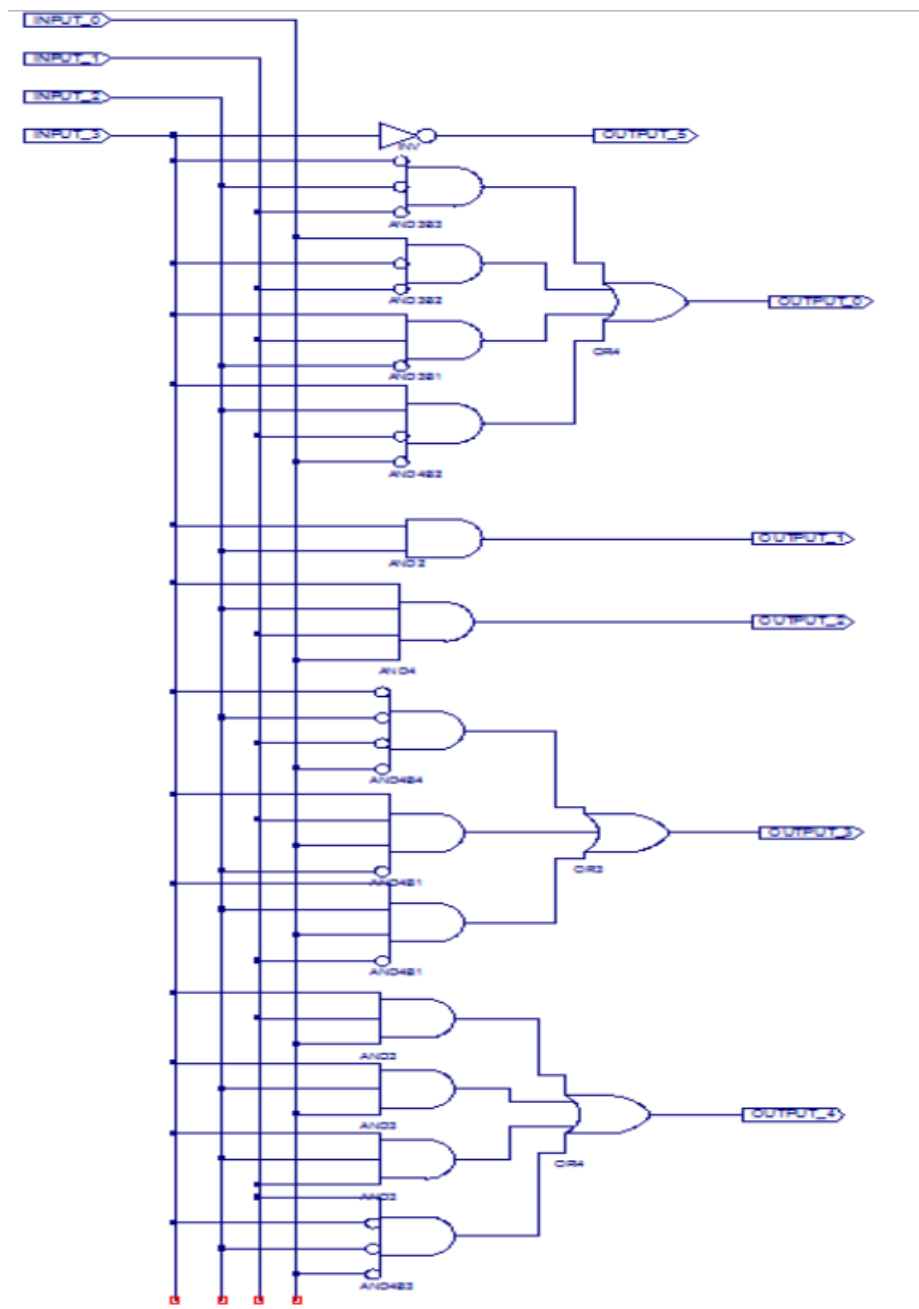
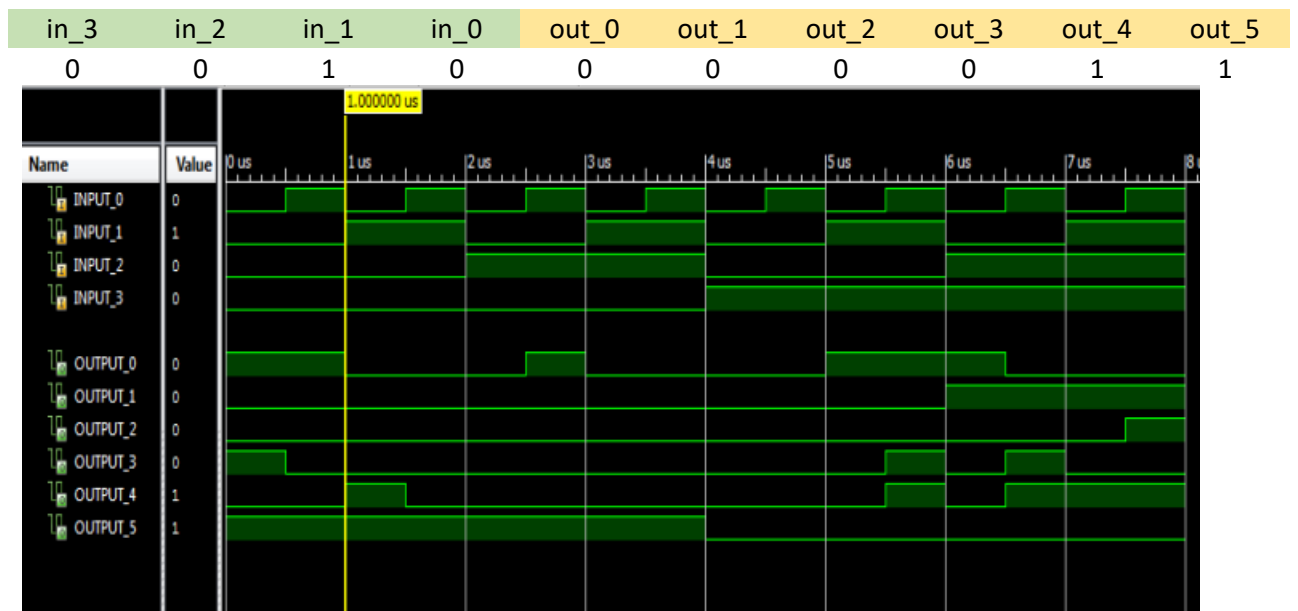
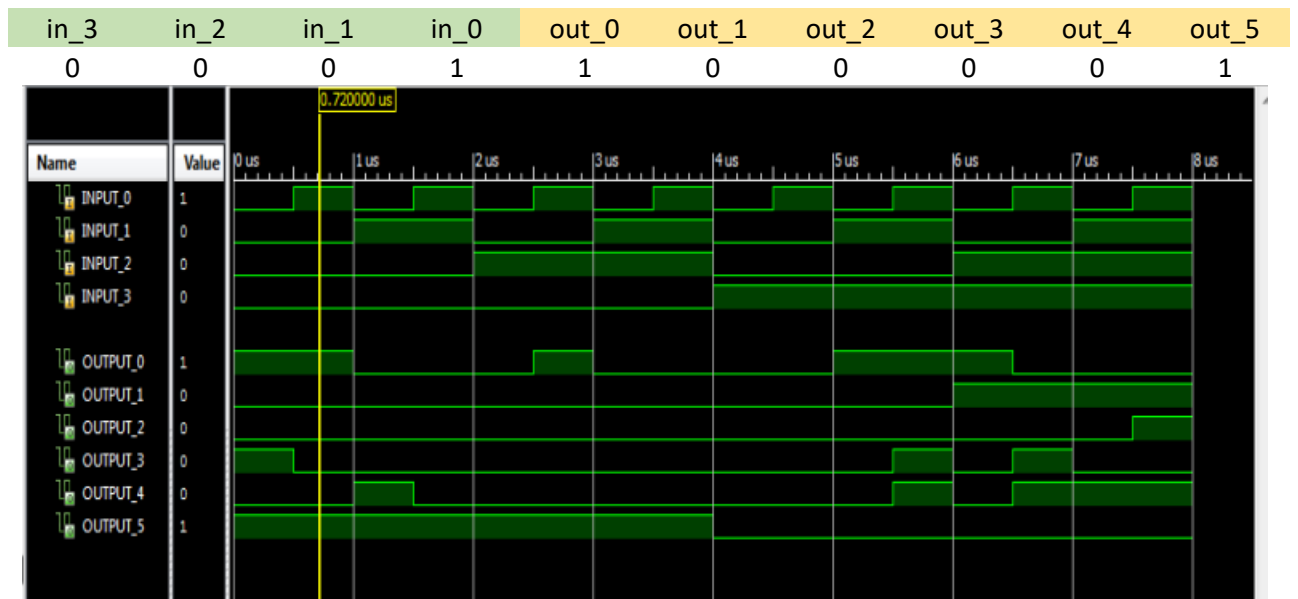
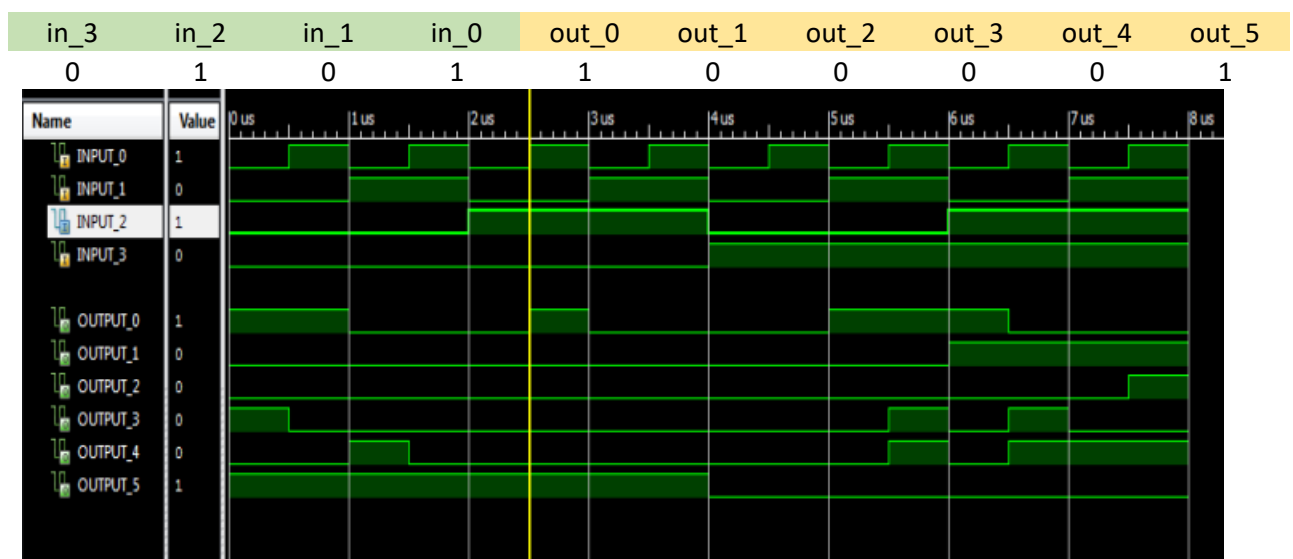
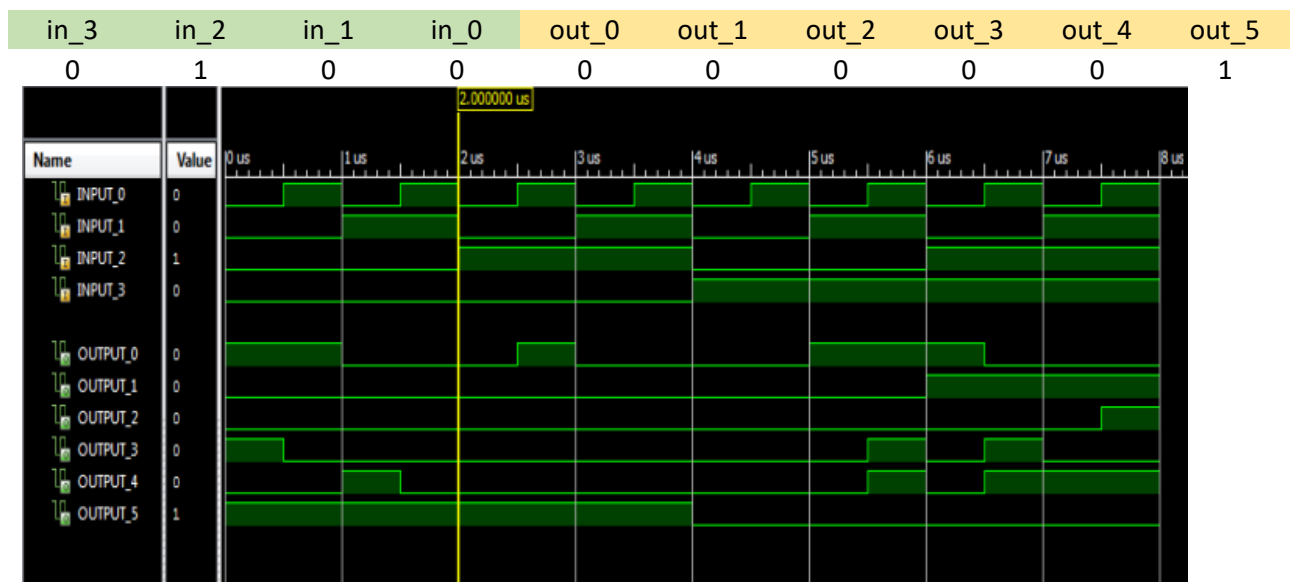
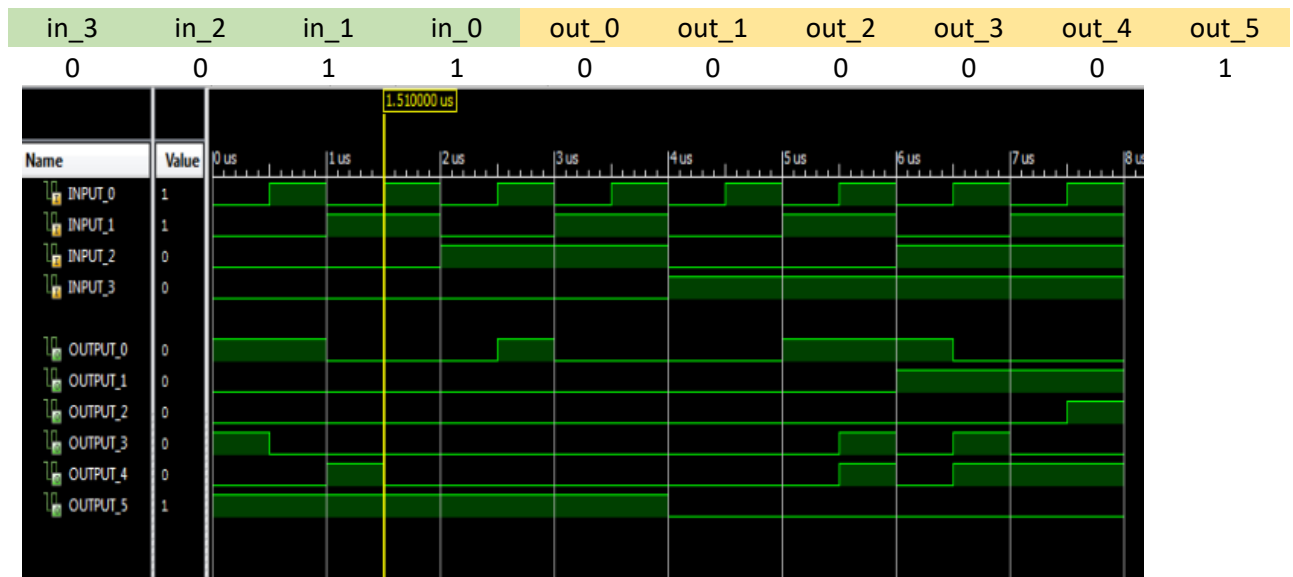
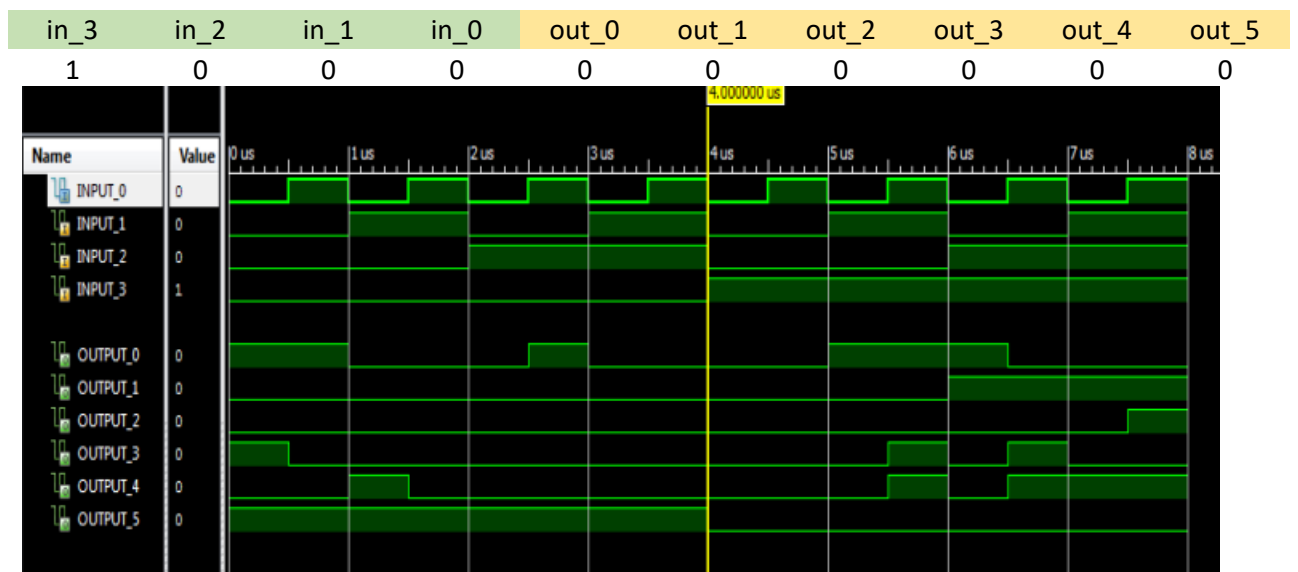
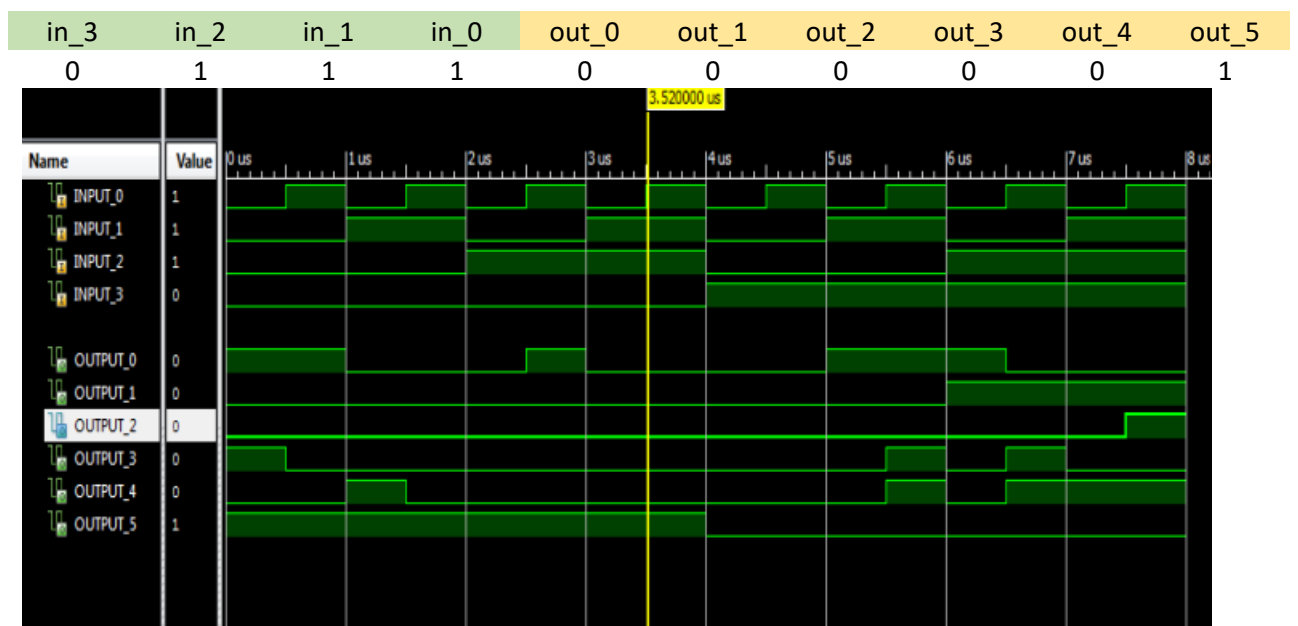
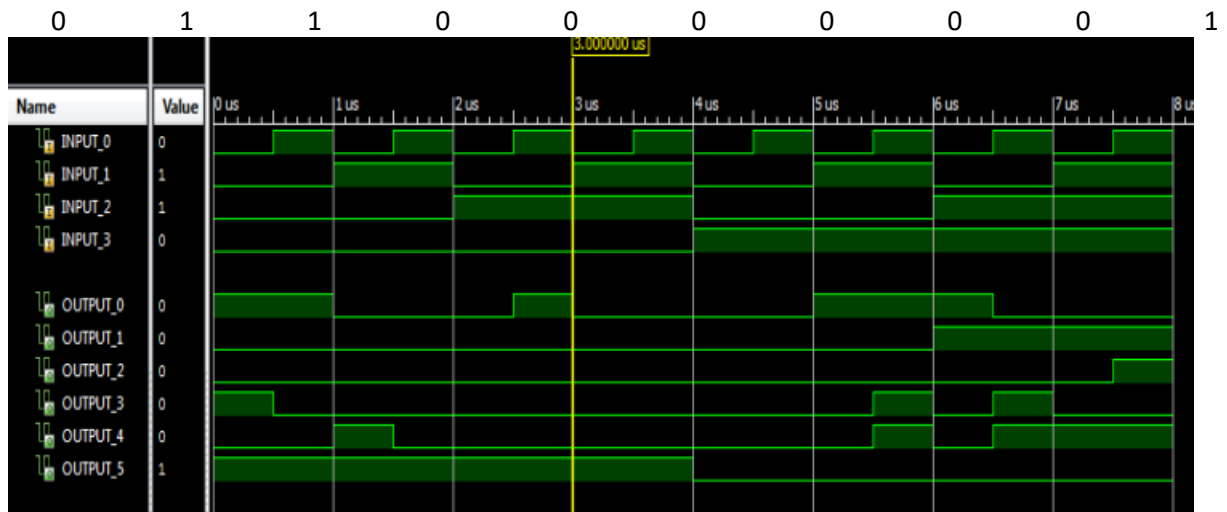


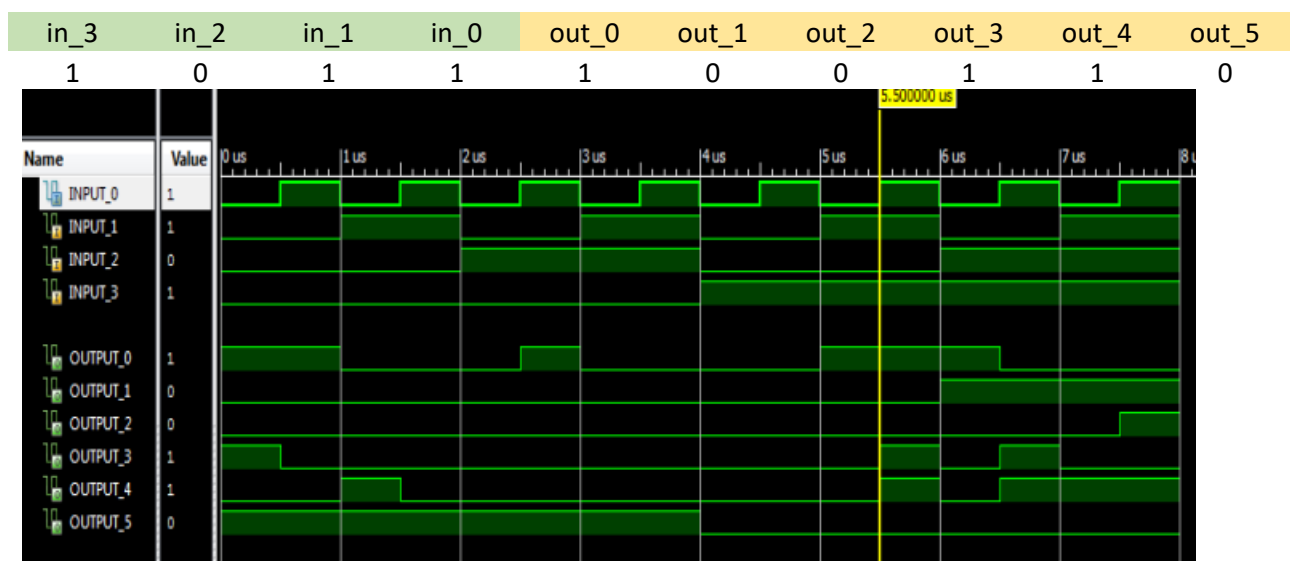
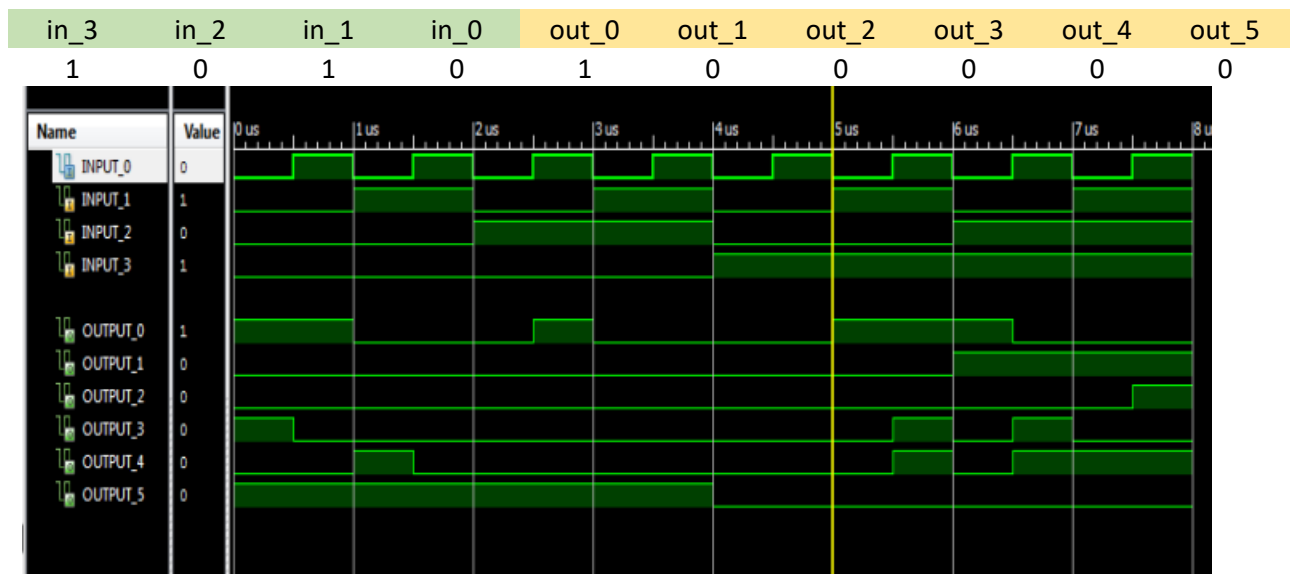
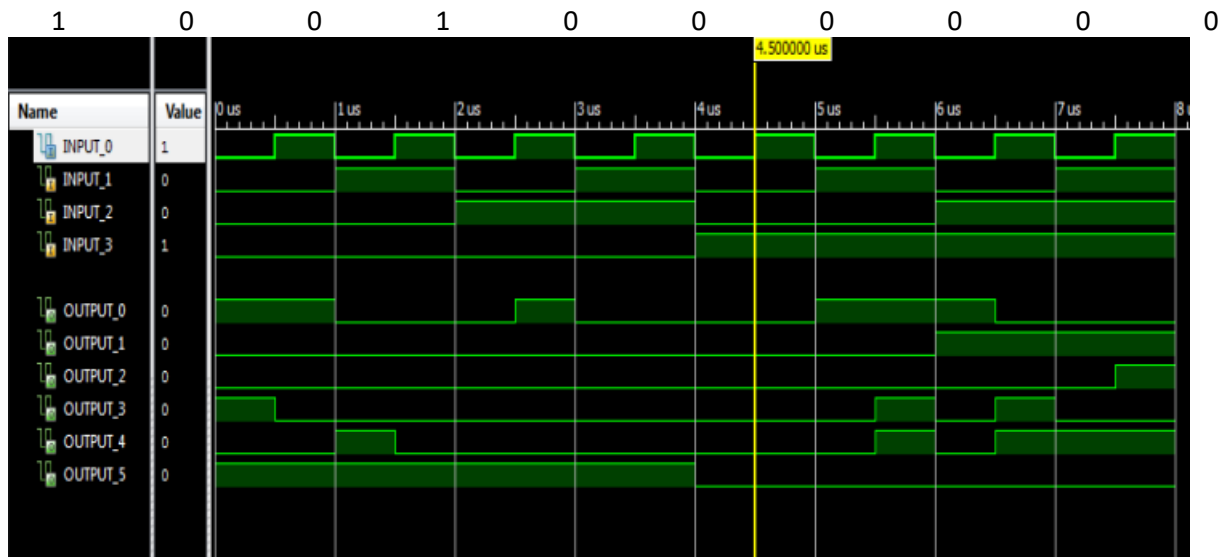
Рис 1.7. Схема.

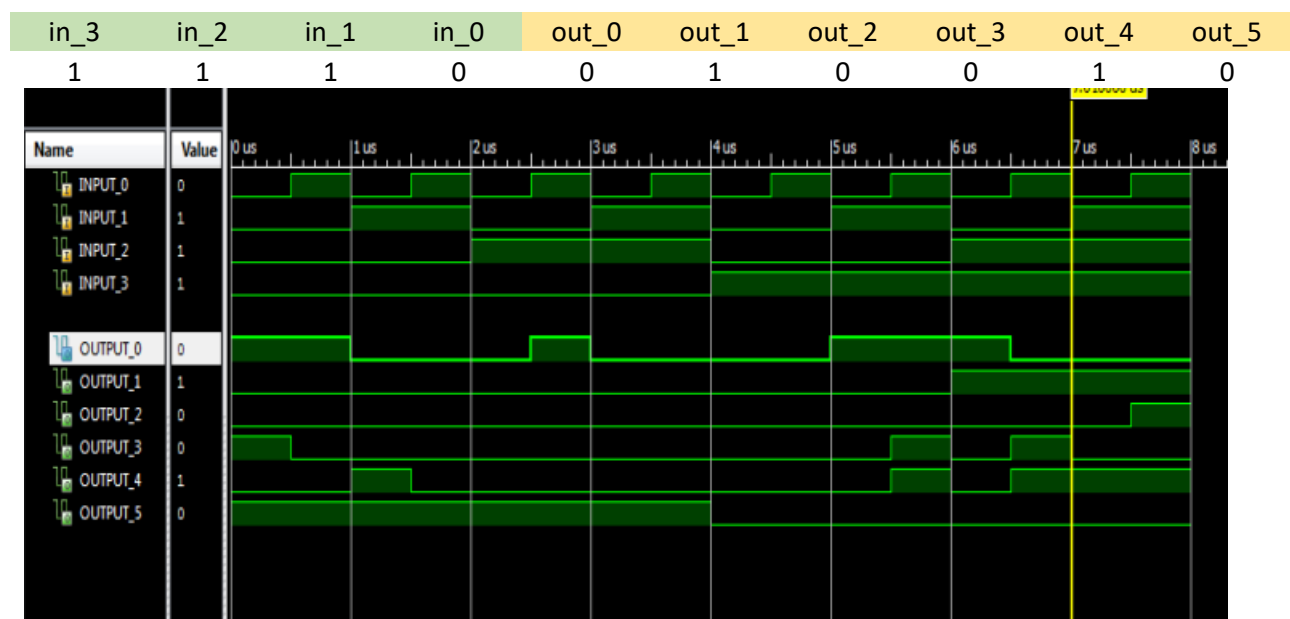
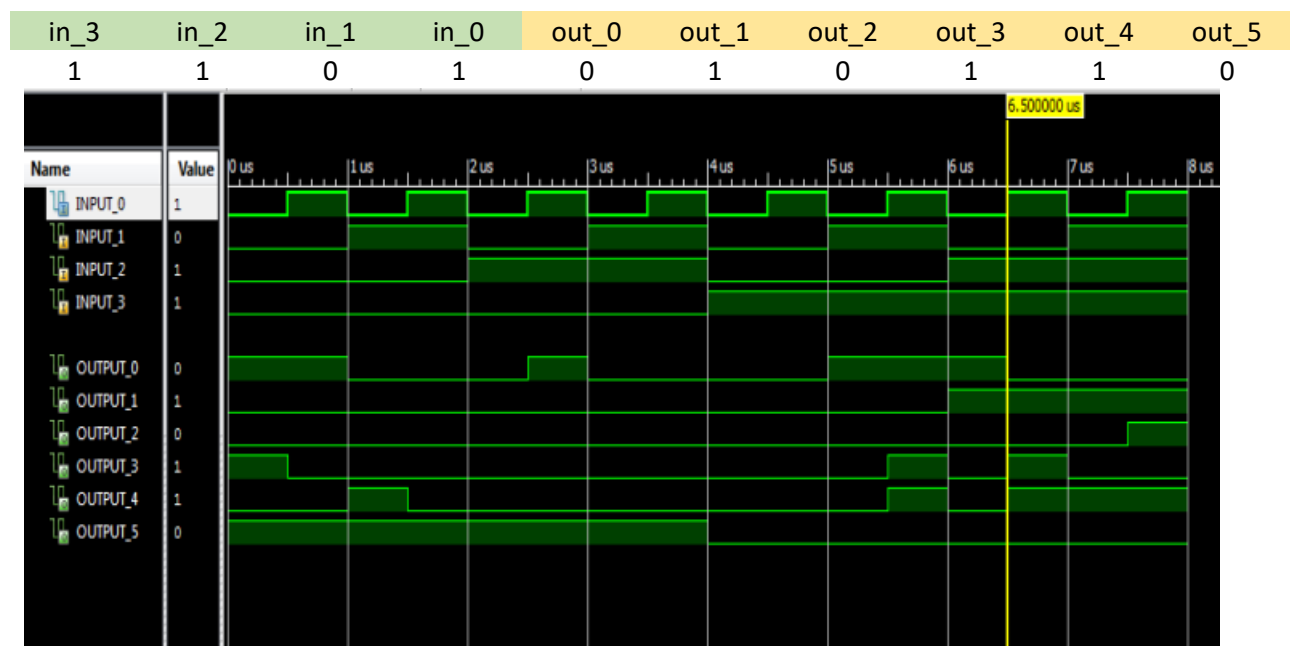
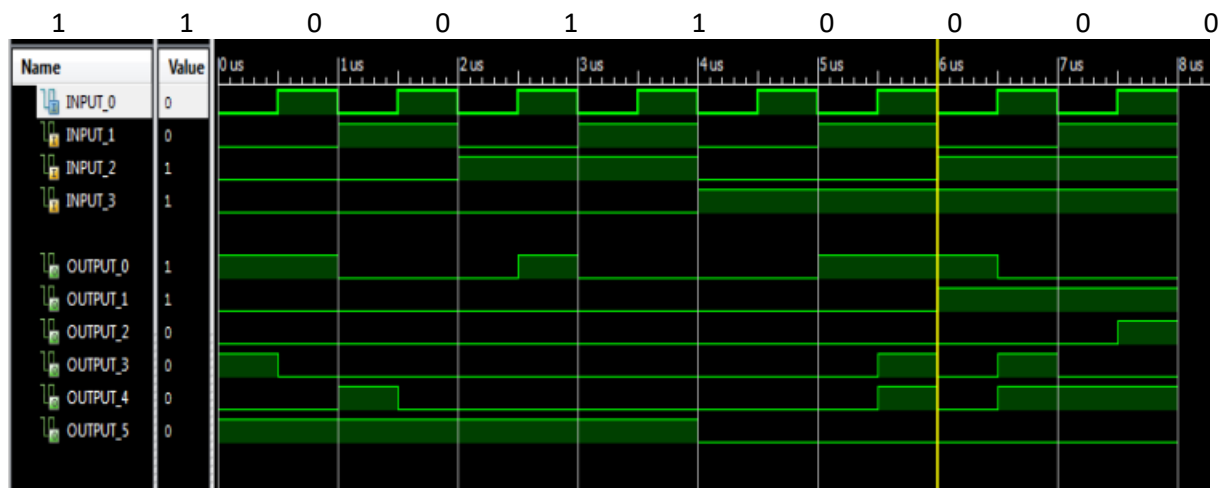




in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
------	------	------	------	-------	-------	-------	-------	-------	-------







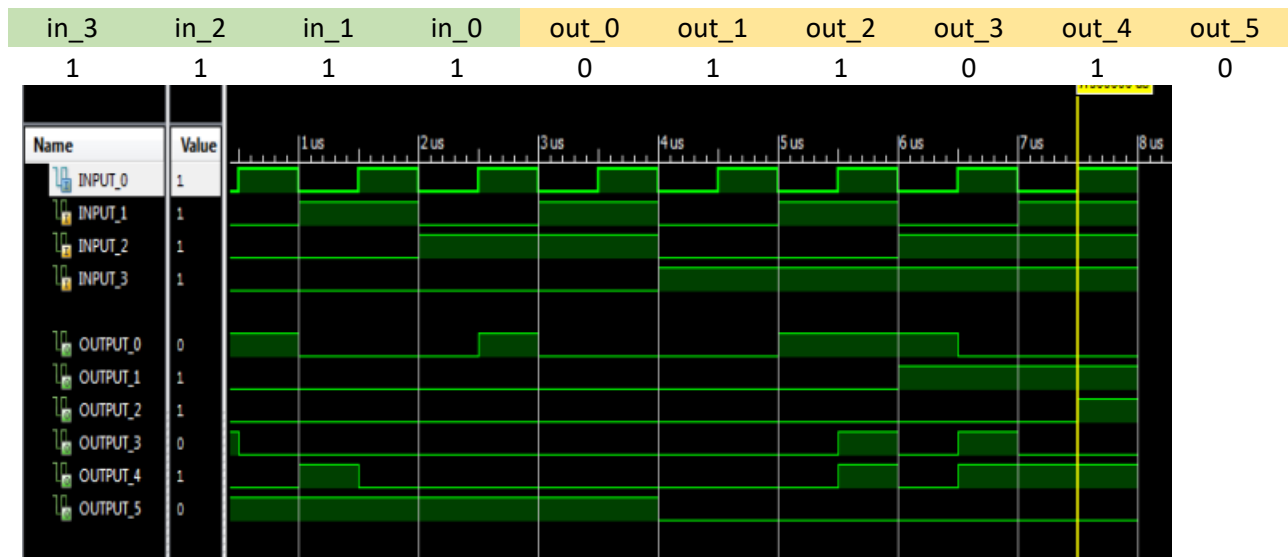


Рис 1.10.1 – 1.10.16. Порівняння сигналів з Табл.1.1 та симуляції ISim.

Висновок:

В ході виконання цієї лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE. В цьому середовищі я розробив схему, згідно з таблицею істинності для мого варіанту. Я протестував усі можливі комбінації входних сигналів в ISim та порівняв вихідні сигнали з таблицею істинності. Також я ознайомився зі стендом Elbert V2 – Spartan 3A FPGA.