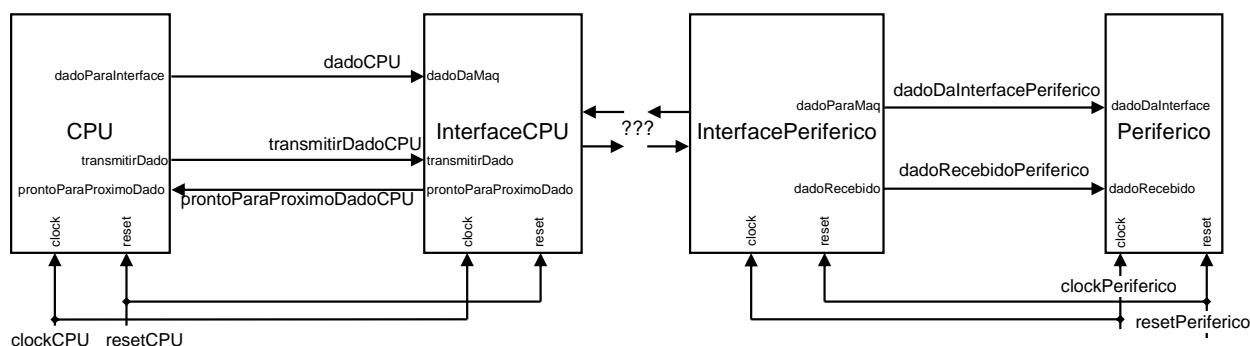


Organização e Arquitetura de Computadores II

Modelos de Transferência de Dados

Dadas duas máquinas (CPU e Periférico), cujas implementações são síncronas e com bases de tempo **clockCPU** e **clockPeriférico**, deseja-se saber como se comporta a comunicação entre estas frente aos modelos de transferência de dados **assíncrono**, **síncrono** e **semi-síncrono**. Para tanto, a forma de descrição das máquinas não é importante, mas sim as portas que cada uma tem com a interface que implementa o modelo de transferência.

Cada modelo de transferência tem sua própria implementação, porém, a interface com as máquinas é independente de cada modelo. Deseja-se que tanto a CPU, quanto o Periférico, tenham portas de entrada/saída apenas com as interfaces, além dos sinais de controle (clock e reset). Tal como ilustrado na figura abaixo:



O teste do sistema deve ser realizado como um fluxo de dados (testar com um número qualquer de dados) proveniente da CPU indo até o Periférico. Embora, os relógios sejam potencialmente diferentes, deve ser levado em consideração que certos modelos utilizam a mesma base de tempo. Assim, devem ser realizadas as adequações necessárias no testbench.

Para realizar este trabalho está disponível na página um VHDL **parcial** (não compilável!) da implementação do **modelo assíncrono**, com uma comunicação unidirecional no sentido CPU para Periférico. Complete e corrija este VHDL e gere os VHDLs dos modelos síncrono e semi-síncrono, de forma a atender os itens que seguem.

Atividades a serem realizadas

- (3 pontos)** Para os modelos de transferência de dados (**assíncrono e síncrono**), considerando comunicação unidirecional simplex e sinais de controle **send/ack** ou apenas **send**, qual o intervalo de tempo teórico para efetuar a transmissão de dados da CPU para o periférico? Comente e explique se algum destes modelos pode ter tempo diferenciado para o primeiro dado a ser transmitido.
 - Para o caso assíncrono, CPU tem relógio de 100 MHz e o periférico tem relógio de 25 MHz. Para os casos síncronos ambos têm relógio de 25 MHz.
 - Considere os barramentos de dados com **16 bits**.
- (3 pontos)** Para o modelo **semi-síncrono** com uma **comunicação bidirecional full-duplex**. *Note que isto implica em mudança tanto da CPU, quanto do periférico, para a geração e captura de dados bidirecionais.* Calcule o tempo necessário para a CPU transmitir 2 pacotes de 5 dados e receber para cada pacote uma resposta com 3 dados. Considere que, após receber o último dado do pacote, são necessários 3 ciclos para o periférico responder e 2 ciclos para a CPU responder.

Obs.: a pontuação dos itens acima se refere à implementação, acrescido a esta pontuação tem mais **4 pontos** para o relatório. Para a documentação de cada implementação deve ter, pelo menos: (i) o VHDL; (ii) **a máquina de estados correspondente**; (iii) uma comparação do desempenho entre os modelos assíncrono e síncrono do item 1; (iv) formas de onda que elucidem a implementação e justifiquem a resposta.