

INSTITUTO SUPERIOR TÉCNICO

Projecto Teste e Fiabilidade de Sistemas Electrónicos

Projeto 1

105095 – Victor Macedo

93790 – Miguel Ramos

Grupo 5

Professor: Fernando Gonçalves

30 de novembro de 2023

1 Introdução

O objetivo primordial deste projeto é conceber um controlador por meio da implementação da linguagem de descrição de hardware Verilog, incorporando atributos específicos que facilitem sua transposição efetiva para hardware físico. Em termos mais concisos, a intenção é desenvolver um controlador que seja prontamente aplicável em um contexto de implementação prática em hardware.

Este controlador deve ter a capacidade de gerar, em sua saída, um sinal composto por N ciclos de clock em estado alto (HIGH), seguidos por um ciclo em estado baixo (LOW), esse padrão repetido $M + 1$ vezes. Conforme os parâmetros estabelecidos pelos grupos colaboradores, os valores designados para N e M são, respectivamente, 9 e 8.

2 Diagrama de estados

Com o propósito de aprofundar a compreensão do funcionamento do programa desenvolvido, torna-se essencial a elaboração de um diagrama de blocos que ofereça uma representação visual da "STATE MACHINE" (máquina de estados) subjacente. Na Fig 1, é minuciosamente delineado o referido diagrama de blocos, o qual encapsula a estrutura e as interações fundamentais da "STATE MACHINE" em questão.

Em suma, a Figura 1, que apresenta o diagrama de blocos da "STATE MACHINE", desempenha um papel significativo na análise e compreensão do programa desenvolvido, destacando-se como uma ferramenta essencial na visualização da estrutura do software.

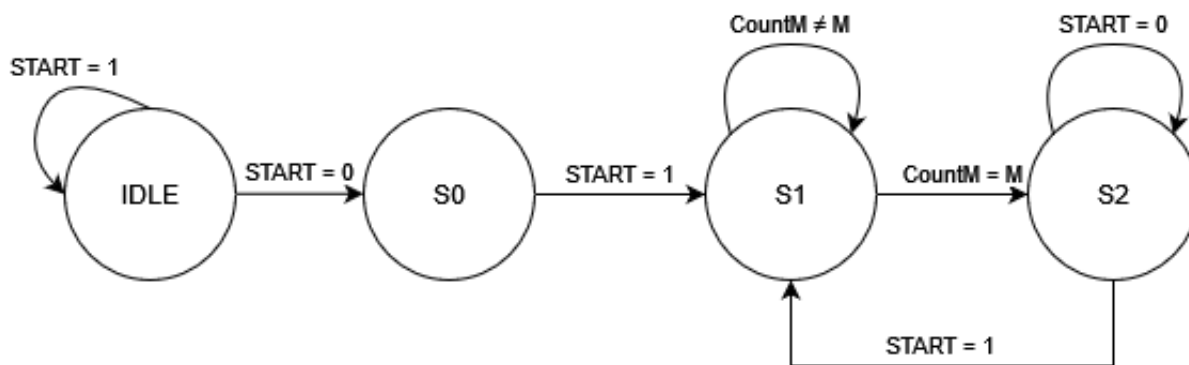


Fig. 1 – Diagrama da máquina de estados

2.1 Estado "IDLE"

O estado IDLE representa o estágio inicial da máquina e é encarregado de inicializar as saídas do circuito para o valor 0. Este estado permanece em espera até que o sinal de START atinja o estado lógico 0 antes de transitar para o próximo estado. A progressão para a fase subsequente ocorre somente se START for igual a 0, com o propósito de prevenir a reinicialização do sistema no cenário em que ambas as entradas START e RESET se encontrem em estado lógico 1.

2.2 Estado "S0"

Durante este estado, o circuito conserva as mesmas saídas presentes no estado anterior e permanece em espera aguardando a condição em que o comando START seja igual a 1.

2.3 Estado "S1"

Ao adentrar a este estado, o circuito inicializa os contadores N e M, e modifica as saídas do circuito conforme as especificações do enunciado. A variável de saída "RUNNING" é estabelecida como 1, enquanto a saída "OUT" se comporta conforme descrito anteriormente. Ao término da sequência designada, a máquina de estados progride para o estado S2.

2.4 Estado "S2"

No estado final, S2, o sinal *BIST_END* é ajustado para o valor 1, aguardando, por sua vez, a ocorrência do sinal *START* = 1 para transitar de volta ao estado S1. Neste momento, uma nova sequência de sinais é gerada em OUT, dando continuidade ao processo.

3 TestBench

Com o propósito de validar o funcionamento do programa, desenvolve-se uma testbench dedicada. Esta testbench é concebida para analisar o desempenho do código nos distintos estados, tais como IDLE, S1, e demais estados relevantes. Além de avaliar o comportamento do código em diferentes contextos, a testbench desempenha um papel crucial ao identificar eventuais inconformidades ou falhas que possam emergir durante a execução do programa.

3.1 Simulação

No início do testbench, como é verificado na Fig. 2, é emitido o sinal *START* = 1 em quatro instâncias consecutivas. O primeiro sinal tem a finalidade de iniciar a execução do código, enquanto os subsequentes devem ser desconsiderados, uma vez que o programa já está em pleno andamento com a sequência em execução. Antes de concluir a referida sequência, é introduzido um sinal de RESET com o intuito de verificar se este tem o efeito desejado na interrupção da sequência em curso.

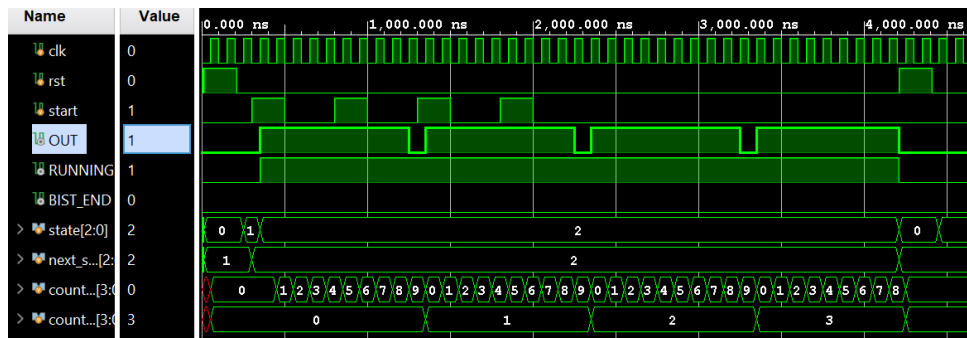


Fig. 2 – Primeira parte do Testbench

Posteriormente, procede-se à ativação do sinal de RESET durante a extensão de um pulso prolongado de START. Esta abordagem, verificada na Fig. 3 visa assegurar que o sistema reinicie a contagem somente no flanco de subida do sinal START.

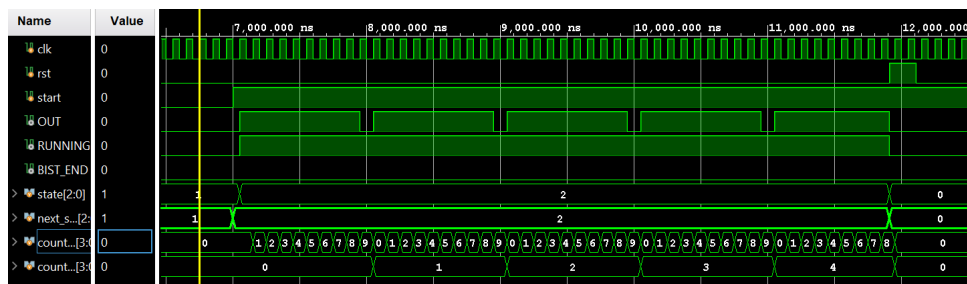


Fig. 3 – Segunda parte do Testbench

Um pulso de START é enviado para verificar o funcionamento do sistema após o RESTART. Essa ação é essencial para confirmar a consistência e integridade do sistema pós-reinicialização, oferecendo insights adicionais sobre a robustez e eficácia do programa. Garante-se assim que a sequência de operações é retomada corretamente, contribuindo para uma avaliação abrangente do comportamento do sistema e reforçando a confiabilidade do código implementado, como se pode verificar na Fig. 4.

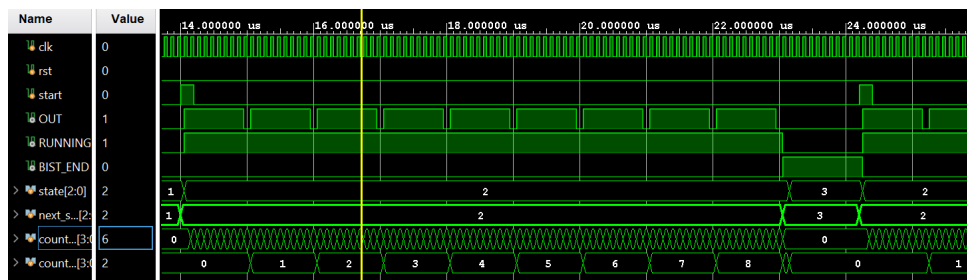


Fig. 4 – Terceira parte do Testbench

A conclusão da simulação integral é apresentada na Fig. 5. Esta representação visual oferece uma visão compreensiva dos resultados obtidos ao longo de todo o processo de teste, proporcionando uma análise detalhada das interações e respostas do sistema diante das diversas condições simuladas.

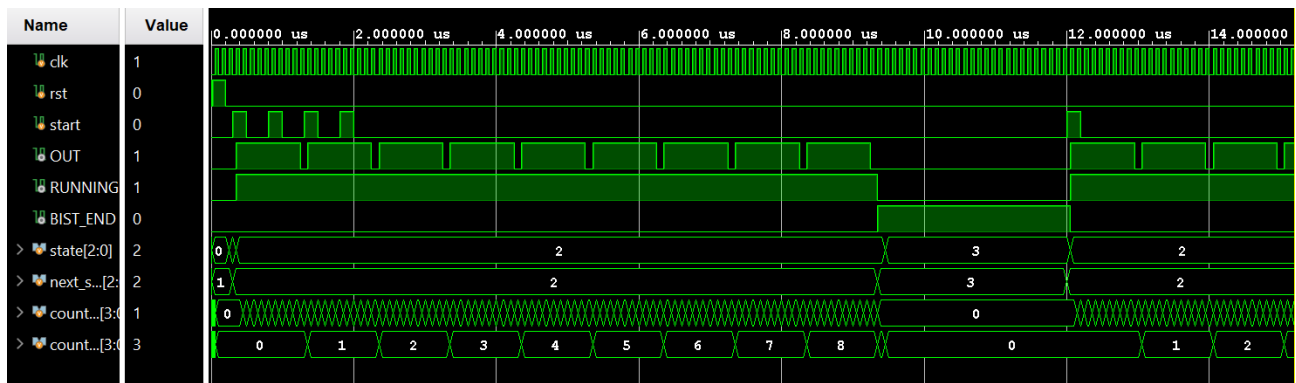


Fig. 5 – Simulação completa

4 Code coverage

Para assegurar a adequada geração de nossa testbench, implementamos um teste de "code coverage"(cobertura de código) tanto no programa quanto na testbench correspondente. O teste de "code coverage" realiza uma verificação metódica para garantir que todas as linhas de código sejam percorridas durante a execução da testbench, assegurando assim, uma abordagem abrangente e completa nos testes do código. Na Figura 6, é possível constatar um "code coverage" de 100%, indicando que o código é integralmente testado pela testbench criada, o que representa um valor excelente no contexto de avaliação da qualidade do teste.

Exclusion Rule Type	UNR	Name	Overall Average Grade	Overall Covered	Assertion Status Grade
		under_test	100%	42 / 42 (100%)	n/a

Fig. 6 – Code coverage

5 Conclusão

Em síntese, o projeto investigou o desenvolvimento de um projeto em Verilog, visando a sintetização em hardware, para a concepção de um controlador com especificações predefinidas. Os resultados alcançados evidenciaram-se favoráveis ao desempenho do controlador.

Antecipa-se, para o futuro, a prosseguir com a implementação do controlador no Projeto 2.