

## **INSTITUTO SUPERIOR TÉCNICO**

# **Projecto Teste e Fiabilidade de Sistemas Electrónicos**

## **Projeto 2**

105095 – Victor Macedo

93790 – Miguel Ramos

Grupo 5

Professor: Fernando Gonçalves

8 de janeiro de 2024

# 1 Introdução

O objetivo primario desse projeto é implementar a metodologia Bist-per-scan, a qual é uma técnica que combina Built-In-Self-Test (BIST) com scan chains, em um circuito fornecido, para isso deve ser utilizado a linguagem de descrição de hardware verilog.

BIST é uma técnica usada para integrar as ferramentas de teste em um circuito digital, as quais ajudam a identificar defeitos no circuito. Por outro lado, as scan chains são usadas para testar os vários flip-flops do circuito, fazendo com que seja possível testar o circuito inteiro de forma eficiente.

Com essa metodologia, padrões de teste podem ser criados para o circuito digital, e comportamento interior do circuito pode ser observado, controlado e manipulado da forma necessária. Dessa forma garante-se a detecção e diagnóstico de qualquer falta no circuito e ajuda a garantir o correto funcionamento.

## 2 Diagrama de estados

O sistema deve receber como entrada apenas 3 sinais, o clock, reset e Bist\_start, enquanto monitora apenas as saídas Bist\_end e Pass\_nfail. Além disso O Bist Controller utiliza a mesma topologia do circuito descrito no projeto 1. O sistema do projeto 2 é observado na figura 1.

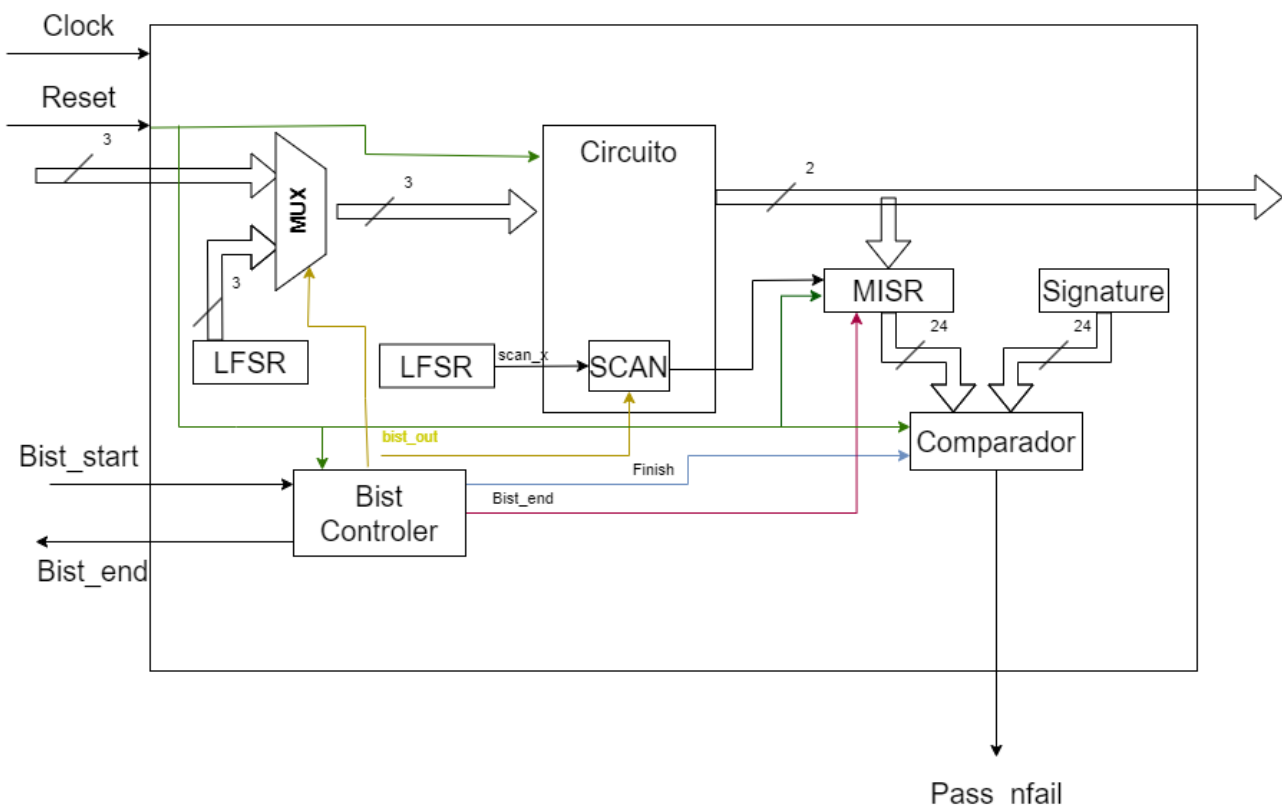


Fig. 1 – Diagrama do circuito.

### 3 LFSR

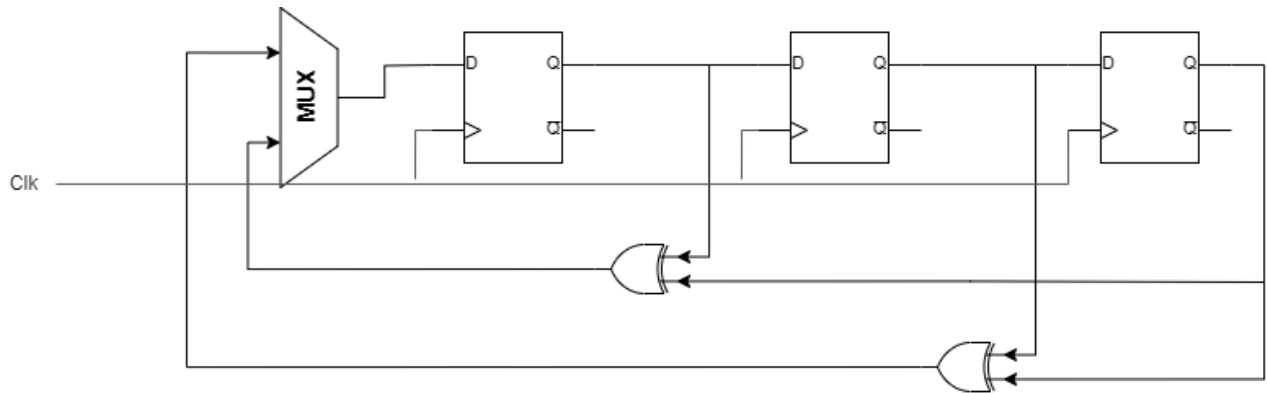


Fig. 2 – Diagrama do LFSR.

Primeiramente testou-se o módulo LFSR usando a abordagem fibonacci. Foi utilizado o polinómio primitivo da equação 1.

$$1 + x^2 + x^3 \quad (1)$$

Porém utilizando apenas os 3 bits menos significativos. Obteve-se o resultado apresentado na figura 3

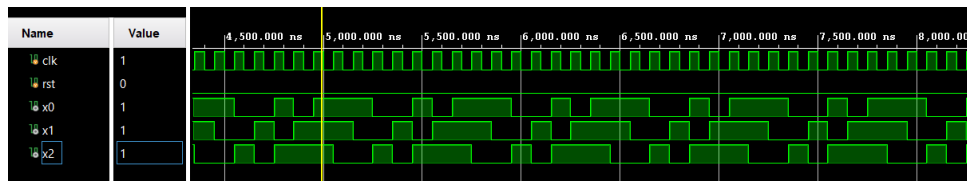


Fig. 3 – Simulação do LFSR.

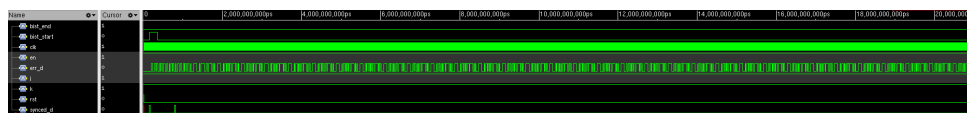
Como pode ser observado o módulo funcionou como esperado, gerando  $2^3 - 1 = 7$  vetores diferentes, porém o resultado não atingiu o fault coverage esperado, dessa forma utilizo-se múltiplo polinómios, adicionando o polinómio da equação 2, porém o mesmo não se mostrou eficiente. Entretanto manteve-se a estrutura para que o LFSR consiga gerar 2 saídas diferentes, primeira deve ser usada como entrada do circuito e a segunda como entrada do scan\_in

$$1 + x + x^3 \quad (2)$$

Além disso tentou-se utilizar reseed para obter maior fault coverage, porém devido a pequena quantidade de vetores a medida se mostrou ineficaz, sendo assim optou-se por aplicar a técnica ao circuito.

### 4 MISR

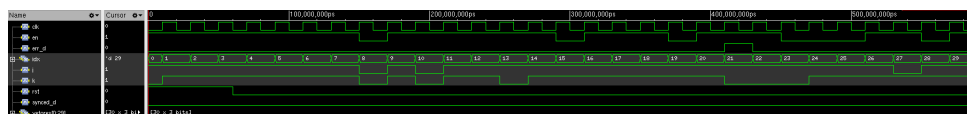
A topologia utilizada para o MISR foi a fibonacci, a principio utilizou-se um vetor de saída de tamanho 4, porém através de testes a saída de tamanho 8 se provou mais eficaz devido maior percentagem no



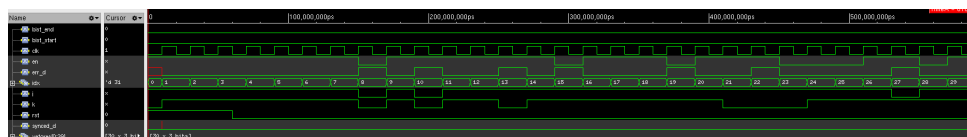
code coverage.

## 5 Simulações

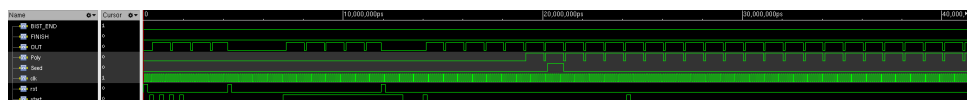
Para avaliar o correto funcionamento do circuito construiu-se testbenches para testar o circuito em diferentes etapas. Utilizando as respectivas testbenches obteve-se o resultado do circuito simulado. Antes de testar o circuito completo realizou-se o teste do circuito pré síntese, o qual deve ser usado de comparação para garantir a correta implementação da síntese, o resulta é apresentado na figura 4.



Como apresentado na figura 5, o circuito completo em modo normal obteve funcionamento idêntico ao circuito antes da síntese do bist-scan, comprovando assim a correta implementação.



Além do modo normal testou-se também o circuito em modo BIST, como apresentado na figura 6. Por fim testou-se também o controlador do circuito, com o resultado apresentado na figura 7.



## 6 HAL report

Com base nos dados fornecidos pela figura 8, o relatório HAL para o circuito geral identificou um total de 8 erros, todos classificados como erros "CBPAHI", observados na figura 9. Importante realçar, que estes mesmo erros geralmente não são considerados críticos para a funcionalidade do circuito e muitas

vezes podem ser ignorados. Portanto, com base no relatório HAL para o circuito geral, não apresenta haver erros significativos que impactariam a operação do circuito.

```
Report Generated by TOOL:      xmbrowse(64)      20.09-s001
Date: Mon Jan 08 10:37:32 PM WET 2024
Directory: /afs/.ist.utl.pt/users/9/0/ist193790/FTSE/proj_2/proj_6
Open Log Files: hal.log
Current Filters: None
Total: Errors: 8 Warnings: 623 Notes: 62 Suppressed: None
Snapshot: worklib.main:v
-----
```

Fig. 8 – HAL report.

```
Severity: Error (8)
Category: STRUCTURAL (8)
Tag: CBPAHI (8)
*E,CBPAHI (./sources/MISR.v,28|0): Combinatorial path crossing multiple units drives 'main.MISR.h0'.
*E,CBPAHI (./sources/MISR.v,28):: in instance 'main.MISR', combinatorial function of input 'bist_end' drives 'h0'.
*E,CBPAHI (./sources/main.v,18):: in instance 'main', 'bist_end' drives input 'bist_end' of instance 'MISR'.
*E,CBPAHI (./sources/main.v,17):: in instance 'main', output 'BIST_END' of instance 'Bist' drives 'bist_end'.
*E,CBPAHI (./sources/Bist_Control.v,136):: in instance 'main.Bist', combinatorial function drives 'BIST_END'.
*E,CBPAHI (./sources/MISR.v,29|0): Combinatorial path crossing multiple units drives 'main.MISR.h1'.
*E,CBPAHI (./sources/MISR.v,29):: in instance 'main.MISR', combinatorial function of input 'bist_end' drives 'h1'.
*E,CBPAHI (./sources/main.v,18):: in instance 'main', 'bist_end' drives input 'bist_end' of instance 'MISR'.
*E,CBPAHI (./sources/main.v,17):: in instance 'main', output 'BIST_END' of instance 'Bist' drives 'bist_end'.
*E,CBPAHI (./sources/Bist_Control.v,136):: in instance 'main.Bist', combinatorial function drives 'BIST_END'.
*E,CBPAHI (./sources/MISR.v,30|0): Combinatorial path crossing multiple units drives 'main.MISR.h2'.
*E,CBPAHI (./sources/MISR.v,30):: in instance 'main.MISR', combinatorial function of input 'bist_end' drives 'h2'.
*E,CBPAHI (./sources/main.v,18):: in instance 'main', 'bist_end' drives input 'bist_end' of instance 'MISR'.
*E,CBPAHI (./sources/main.v,17):: in instance 'main', output 'BIST_END' of instance 'Bist' drives 'bist_end'.
*E,CBPAHI (./sources/Bist_Control.v,136):: in instance 'main.Bist', combinatorial function drives 'BIST_END'.
*E,CBPAHI (./sources/MISR.v,31|0): Combinatorial path crossing multiple units drives 'main.MISR.h3'.
*E,CBPAHI (./sources/MISR.v,31):: in instance 'main.MISR', combinatorial function of input 'bist_end' drives 'h3'.
*E,CBPAHI (./sources/main.v,18):: in instance 'main', 'bist_end' drives input 'bist_end' of instance 'MISR'.
*E,CBPAHI (./sources/main.v,17):: in instance 'main', output 'BIST_END' of instance 'Bist' drives 'bist_end'.
*E,CBPAHI (./sources/Bist_Control.v,136):: in instance 'main.Bist', combinatorial function drives 'BIST_END'.
*E,CBPAHI (./sources/MISR.v,32|0): Combinatorial path crossing multiple units drives 'main.MISR.h4'.
*E,CBPAHI (./sources/MISR.v,32):: in instance 'main.MISR', combinatorial function of input 'bist_end' drives 'h4'.
*E,CBPAHI (./sources/main.v,18):: in instance 'main', 'bist_end' drives input 'bist_end' of instance 'MISR'.
*E,CBPAHI (./sources/main.v,17):: in instance 'main', output 'BIST_END' of instance 'Bist' drives 'bist_end'.
*E,CBPAHI (./sources/Bist_Control.v,136):: in instance 'main.Bist', combinatorial function drives 'BIST_END'.
*E,CBPAHI (./sources/MISR.v,33|0): Combinatorial path crossing multiple units drives 'main.MISR.h5'.
*E,CBPAHI (./sources/MISR.v,33):: in instance 'main.MISR', combinatorial function of input 'bist_end' drives 'h5'.
*E,CBPAHI (./sources/main.v,18):: in instance 'main', 'bist_end' drives input 'bist_end' of instance 'MISR'.
*E,CBPAHI (./sources/main.v,17):: in instance 'main', output 'BIST_END' of instance 'Bist' drives 'bist_end'.
*E,CBPAHI (./sources/Bist_Control.v,136):: in instance 'main.Bist', combinatorial function drives 'BIST_END'.
*E,CBPAHI (./sources/MISR.v,34|0): Combinatorial path crossing multiple units drives 'main.MISR.h6'.
*E,CBPAHI (./sources/MISR.v,34):: in instance 'main.MISR', combinatorial function of input 'bist_end' drives 'h6'.
*E,CBPAHI (./sources/main.v,18):: in instance 'main', 'bist_end' drives input 'bist_end' of instance 'MISR'.
*E,CBPAHI (./sources/main.v,17):: in instance 'main', output 'BIST_END' of instance 'Bist' drives 'bist_end'.
*E,CBPAHI (./sources/Bist_Control.v,136):: in instance 'main.Bist', combinatorial function drives 'BIST_END'.
*E,CBPAHI (./sources/MISR.v,35|0): Combinatorial path crossing multiple units drives 'main.MISR.h7'.
*E,CBPAHI (./sources/MISR.v,35):: in instance 'main.MISR', combinatorial function of input 'bist_end' drives 'h7'.
*E,CBPAHI (./sources/main.v,18):: in instance 'main', 'bist_end' drives input 'bist_end' of instance 'MISR'.
*E,CBPAHI (./sources/main.v,17):: in instance 'main', output 'BIST_END' of instance 'Bist' drives 'bist_end'.
*E,CBPAHI (./sources/Bist_Control.v,136):: in instance 'main.Bist', combinatorial function drives 'BIST_END'.
```

Fig. 9 – Erros no HAL report

## 7 Genus report

Utilizando o Genus é possível observar o aumento da área devido a adição das ferramentas para realização do Bist-per-scan. O aumento de área foi de aproximadamente 14%.

Gate	Instances	Area	Library
-----			
A0I210	1	72.800	c35_CORELIB_TYP
A0I220	1	91.000	c35_CORELIB_TYP
A0I221	1	91.000	c35_CORELIB_TYP
DF3	2	546.000	c35_CORELIB_TYP
DFS1	1	364.000	c35_CORELIB_TYP
IMUX21	1	91.000	c35_CORELIB_TYP
INV0	2	72.800	c35_CORELIB_TYP
INV2	1	36.400	c35_CORELIB_TYP
INV3	2	72.800	c35_CORELIB_TYP
NAND20	3	163.800	c35_CORELIB_TYP
NAND22	1	54.600	c35_CORELIB_TYP
NOR20	1	54.600	c35_CORELIB_TYP
NOR21	1	54.600	c35_CORELIB_TYP
NOR30	1	72.800	c35_CORELIB_TYP
NOR31	1	72.800	c35_CORELIB_TYP
OAI310	1	91.000	c35_CORELIB_TYP
-----			
total	21	2002.000	
Type	Instances	Area	Area %
-----			
sequential	3	910.000	45.5
inverter	5	182.000	9.1
logic	13	910.000	45.5
physical_cells	0	0.000	0.0
-----			
total	21	2002.000	100.0

Fig. 10 – Área do circuito antes da síntese.

Gate	Instances	Area	Library
A0I210	1	72.800	c35_CORELIB_TYP
A0I220	1	91.000	c35_CORELIB_TYP
A0I221	1	91.000	c35_CORELIB_TYP
DFS1	2	728.000	c35_CORELIB_TYP
IMUX21	1	91.000	c35_CORELIB_TYP
INV0	2	72.800	c35_CORELIB_TYP
INV2	3	109.200	c35_CORELIB_TYP
INV3	1	36.400	c35_CORELIB_TYP
JKS3	1	436.800	c35_CORELIB_TYP
NAND20	3	163.800	c35_CORELIB_TYP
NAND22	1	54.600	c35_CORELIB_TYP
NOR20	1	54.600	c35_CORELIB_TYP
NOR21	1	54.600	c35_CORELIB_TYP
NOR30	1	72.800	c35_CORELIB_TYP
NOR31	1	72.800	c35_CORELIB_TYP
OAI310	1	91.000	c35_CORELIB_TYP
-----			
total	22	2293.200	
Type	Instances	Area	Area %
-----			
sequential	3	1164.800	50.8
inverter	6	218.400	9.5
logic	13	910.000	39.7
physical_cells	0	0.000	0.0
-----			
total	22	2293.200	100.0

Fig. 11 – Área do circuito pós da síntese.

## 8 Fault report

Com base nas informações apresentadas na Figura 12, observa-se que a tabela de falhas para o circuito em questão indica um total de 770 falhas. Dentre essas falhas, 541 foram detectadas durante os testes realizados, 8 foram potencialmente detectadas e 115 não foram detectadas. Como resultado, a cobertura de falhas do circuito pode ser calculada da seguinte forma:

$$\frac{349 + 9}{349 + 9 + 46} = 88.6\% \quad (3)$$

Stuck-At (0/1) Fault Table		
	Total #	Prime #
Untestable	58	58
Detected	349	305
Potentially_detected	9	9
Undetected	46	42
Unobserved_detected	0	0
Unobserved_undetected	0	0
Dangerous_detected	0	0
Dangerous_undetected	0	0
Not_injected	0	0
Total	462	414

Fig. 12 – Fault report gerado.

O fault coverage observado de 88.6%, o qual é inferior aos 95% desejado. Isto sugere que nossos métodos de teste de falhas podem não estar identificando um razoável numero de faltas. É possível que o design do MISR e do LFSR podem estar a contribuir para este problema. Ao conduzir uma inspeção detalhada dos componentes seria possível descobrir informações para melhorar a sensibilidade do teste de falta e alcançar maior cobertura.

## 9 Conclusão

Como apresentado na secção de resultados a implementação da metodologia bist-per-scan foi bem sucedida, houve um pequeno aumento na área do circuito, isso se deve provavelmente ao circuito inicial ser relativamente simples, consequentemente ocupando uma pequena área. Apesar de aplicar algumas das técnicas vistas em sala de aula, não foi possível atingir o fault coverage desejado de 95%. Seria necessário uma análise minuciosa na lista de faltas para averiguar qual parte do circuito à de ser melhorada.