		idade de São Paul le Artes, Ciências		dades						
Do	cente	e: Prof. Dr. Clodoa	ldo A M I	Lima.						
Dis	cente	e:					No. USP:			
1ª (Quest	tão) Relaciona a co	oluna da e	squerda con	n a coluna da d	ireita				
(I) Multicore			()	Múltiplos	los pipelines que operam em paralelo					
(II) Superpipeline			()	_		fora de ordem ei				
(III) Superescalar			()	Pipelines com grande número de estágios.						
(IV) Pipeline dinâmico			()				um espaço de endereços.			
(V) Multiprocessadores		()	Múltiplos	processadores	em um único er	ncapsulamento				
	-		situações	de dependê	ncia (WAW, V	VAR, RAW) na	seguinte sequência de código, do			
				ADD SD F SUB	9 F1, F3, F5 D F4, F1, F9 4, 0(R1) D F1, F10, F14 D F9, F10, F8	ı				
3ª (Quest	tão) Assinale verd	adeiro (V)	ou falso (F).					
()	RISC apresenta j	poucos for	matos de in	strução e muit	os registradores	de uso genérico, enquanto CISC			
		possui instruções		_						
()	Arquitetura superpipeline baseia-se no aumento das unidades funcionais de forma que seja possível executar mais de uma instrução em cada ciclo de relógio								
()	Na RISC a complexidade esta no compilador, enquanto na CISC a complexidade esta no microprograma								
()	Uma arquitetura super-escalar consiste em aumentar o número de estágios da pipeline, conseguindo diminuir Tcc e aumentar a frequência de relógio								
()	Arquitetura vetorial especifica uma série de operações a realizar em vários dados, numa só instruç								
()	Uma arquitetura com grau de grau de super-escalaridade igual a 2 apresenta 2 ciclos de penalização (5 instruções) nos saltos previstos incorretamente								
()	Programas compilados para arquitetura CISC possuem garantia que serão menores que os compilados para RISC.								
()	No mecanimo de	write bac	k uma escrit	a modifica o d	ado na cache e i	nemória juntos			
()	No caso em que não há escalonamento dinâmico, as instruções são emitidas pela ordem com que são								
		•	•	•			ainda em ordem			
()	Tamanhos e posi em RISC	ições das i	instruções sa	ăo fixos e alinl	nados de acordo	com o tamanho de uma palavra			
4ª (Quest	tão) Considere o c	onjunto de	e instruções	abaixo					
			-				Latência			
	I1		F6		F6	F4	4			
	I2		F2		45(R3)		1			
	I3	mult	FO)	F2	F4	3			

I4	div	F8	F6	F2	4
I5	sub	F10	F0	F6	1
I 6	add	F6	F8	F2.	1

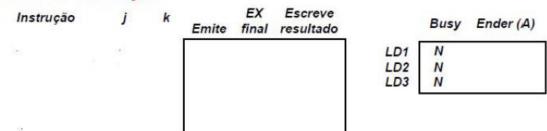
- a) Identifique as situações de dependência (WAW, WAR, RAW) na seguinte sequência de código acima, do MIPS64:
- b) Apresente uma sequência de termino em ordem e outra em fora de ordem (que execute no menor tempo)
- 5ª. Questão) Mostrar o resultado (décimo ciclo) do uso do placar(scoreboard) para a sequência de instruções, considerando-se que a instrução LD leva 1 ciclo para execução; MULD, 6 ciclos. ADDD e SUBD levam 3 ciclos; e DIVD, 20 ciclos.

LD F2, 34(R2) LD F6, 45(R3) MULD FO, F2, F4 SUBD ,F8, F6, F2 DIVD F10, F0, F6 ADDD F6, F8, F2

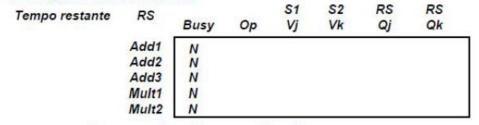
Estado da ir	nstruç	ão								
Instrução	j	k	Emite	Lê E. Oper fin		creve ultado	1			
2	1									
	*									
Estado das	FU	_								
Tempo restante	FU	Busy	Ор	dest Fi	S1 Fj	S2 Fk	FU Qj	FU Qk	Fj? Rj	Fk? Rk
	Int Mult1 Mult2 Ad Div									
Registro de	estado									
		F0	F2	F4	F6	F8	F10	F12		F30
	FU									

6ª Questão) Mostrar o resultado do uso do algoritmo de Tomasulo, com os mesmos números de ciclos para a mesma sequência de instruções da questão anterior.

Estado da instrução



Estações de reserva



Registro de estado dos resultados

