

LISTA PROVA 2

Ex01↓

Múltiplas pipelines	—	Superscalar	(III)
Instruções fora de ordem	—	Pipeline dinâmico	(IV)
Muitos estágios	—	Superpipeline	(II)
Múlt. process. compart.	—	Multiprocessadores	(V)
Múlt. process. único encaps.	—	Multicore	(I)

Ex02↓

DIVD F1, F3, F5
 ADDD F4, F1, F9
 SD F4, 0(R1)
 SUBD F1, F10, F14
 MULD F9, F10, F8

- ① RAW - read after write de F1
 ② RAW - F4 (salvar o valor depois de somar)
 ③ WAW - de F1
 ④ WAR - de F9

Ex03↓

V F V F V V V V F V

Ex04↓

					latência
I1	div	F6	F6	F4	4
I2	lw	F2	0(R3)		1
I3	mult	F0	F2	F4	3
I4	div	F8	F6	F2	4
I5	sub	F10	F0	F6	1
I6	add	F6	F8	F2	1

a) RAW: $\begin{matrix} F6 & F2 & F2 & F8 \\ I1/I4 & I2/I3 & I2/I6 & I4/I6 \\ I1/I5 & I2/I4 & I3/I5 & \\ F6 & F2 & F0 & \end{matrix}$
 WAW: $\begin{matrix} F6 \\ I1/I6 \\ F6 \\ I6/I5 \\ I6/I4 \\ F6 \end{matrix}$
 WAR: $\begin{matrix} F6 \\ I6/I5 \\ I6/I4 \\ F6 \end{matrix}$

b) término em ordem:

IX = término da instr.

I1 I2 — — I1 I2 I3 I4 — I3 I5 I4 I5 I6 I6 - 15 ciclos

término fora de ordem:

I1 I2 I2 I3 I1 I4 I3 I5 I5 I4 I6 I6 - 12 ciclos

11 / 12 / 22

estado instruções

Ex 05 SCOREBOARD

		latência	emite	le	ex	es
LD	F2, 34(R2)	1	1	2	3	4
LD	F6, 45(R3)	1	5	6	7	8
MULD	F0, F2, F4	6	6	7	13	14
SUBD	F8, F6, F2	3	7	8	11	12
DIVD	F10, F0, F6	20	8	15	35	36
ADD	F6, F8, F2	3	13	14	17	18

estado das FU

	busy	op	dest Fi	S1 Fj	S2 Fk	FU Rj	FU Rx	Fj? Rj	Fk? Rx	ciclos restantes
int										
mult 1										
mult 2										
ad										
div										

F0 F2 F4 F6 F8 F10 F12 ... F30

FU

Ex 06 TOMASULO

estado instruções

estações de reserva

emite	le	ex	esc		busy	Op	S1 Vj	S2 Vk	RS Rj	RS Rk	ciclos restantes
1		2	3	add1							
2		3	4	add2							3
3		9	10	add3							
4		7	8	mult1							
5		30	31	mult2							
6		11	12								

F0 F2 F4 F6 F8 F10 F12 ... F30

FU

	busy	ender(A)
LD1		
LD2		
LD3		