

TEMA 3

ELECTRÒNICA I PORTES LÒGIQUES

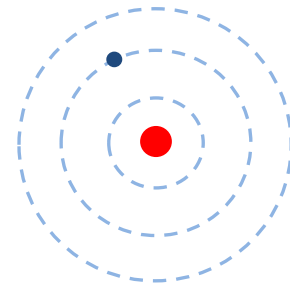
3.1 Estructura electrònica dels àtoms (1/2 h) (en realitat 1h)

electrons { Els **àtoms** estan formats per un **nucli** amb **Z protons** (partícules de càrrega positiva) i **electrons** (partícules carregades negativament i 1800 vegades més lleugeres que els protons) a fi de mantenir la **neutralitat elèctrica**.

A aquesta animació de PhET podem construir diferents àtoms afegint o traient protons, electrons i neutrons.

https://phet.colorado.edu/sims/html/build-an-atom/latest/build-an-atom_en.html

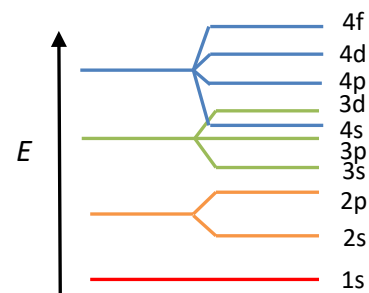
Nivells { Com a resultat de les forces electromagnètiques entre totes les partícules la **teoria quàntica** prediu que els electrons es disposen al voltant del nucli de manera que la seva energia **està quantitzada**. El model de Bohr (1913) en dona una imatge senzilla d'aquest concepte pel cas del àtom d'hidrogen (format només per un protó i un electró). Segons el model, l'electró només es pot moure en determinades òrbites estacionàries, i a cada una d'elles li correspon un determinat valor o nivell d'energia. Els valors més negatius corresponen a òrbites amb radis més petits.



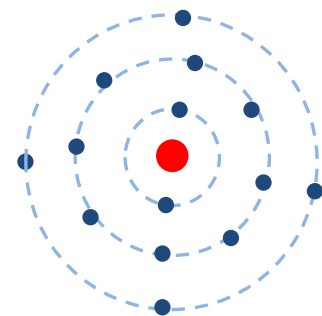
A aquesta animació de Barb Newitt a GeoGebra es mostren els diferents nivells d'energia per un àtom de hidrogen.

<https://www.geogebra.org/m/KE6eeDGv>

Capes { Per qualsevol àtom els **electrons** ocupen els diferents **nivells d'energia** obeint determinades regles derivades de la teoria quàntica. Els **nivells d'energia semblants s'agrupen en capes**, on només pot haver un **nombre discret d'electrons**: a la primera capa 2, a la segona 8, a la tercera 18, etc. Les capes més internes corresponen als electrons més propers al nucli. Les més externes corresponen a energies més altes, i per tant, als electrons més allunyats del nucli.



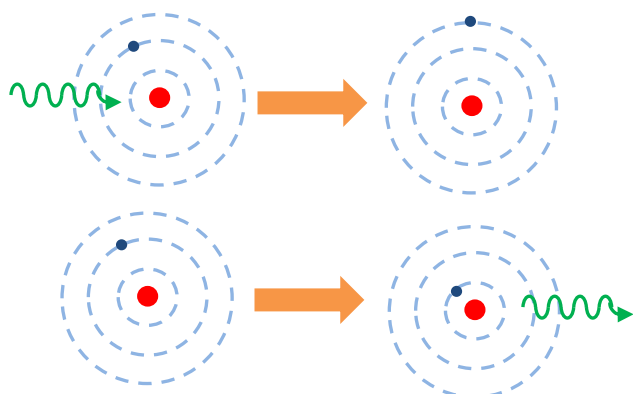
Capa de valència { La capa d'energia **més elevada que conté electrons** s'anomena **capa de valència**. L'estat d'ocupació d'aquesta capa determina si l'àtom s'associarà o no amb d'altres per formar **molècules i cristalls**.



A aquesta animació de Suryakamal i Gilles Daïan a GeoGebra es mostra la configuració electrònica de diferents àtoms segons el model de Bohr, així com el concepte de valència.

<https://www.geogebra.org/m/ggzfrdz3>

Emissió { Un àtom **emet o absorbeix radiació** (1 fotó o corpuscle de llum) quan un electró experimenta una **transició** entre dos nivells d'energia. Quan un electró passa d'un estat **d'energia a un d'inferior** l'àtom es **desexcita** i **emet un fotó**, mentre que en cas **contrari** l'àtom **s'excita** i **absorbeix un fotó**. La **frequència ν** i la **longitud d'ona λ** de la



radiació es calculen a partir de la diferència d'energia ΔE entre ambdós nivells:

$$\nu = \frac{\Delta E}{h} \rightarrow \lambda = \frac{c}{\nu} = \frac{hc}{\Delta E}$$

on $h = 6.626 \cdot 10^{-34}$ J.s és la **constant de Planck** i c la **velocitat de la llum** al buit.

A aquesta animació de Barb Newitt a GeoGebra es mostra un fotó que incideix sobre un determinat electró, que pot ocupar diferents nivells d'energia. S'observa que l'electró només pot pujar de nivell d'energia si l'energia del fotó és exactament igual a la diferència d'energia entre els dos nivells (l'inicial i el final). També es visualitza el concepte d'energia ionització.

<https://www.geogebra.org/m/wFTR6bdz>

3.2 Teoria de la conducció: metalls, aïllants i semiconductors (1/2 h) (en realitat 1h30')

Segons el valor de la **conductivitat elèctrica** (que expressem en S/m, on 1 siemens (S) = $1 \Omega^{-1}$) els materials es classifiquen en:

	Material	Conductivitat (S/m)	Tipus
Conductors	Ag	$6.2 \cdot 10^7$	Conductors
	Cu	$5.9 \cdot 10^7$	
Aïllants	Ge	2.2	Semiconductors
	Si	$1.6 \cdot 10^{-3}$	
Semi-conductors	Vidre	10^{-12}	Aïllants
	Quars (SiO ₂)	10^{-17}	

Desdoblament

Quan s'apropen **dos àtoms idèntics** (exemple H) per formar una **molècula** diatòmica (H₂), cada nivell d'energia es desdobra en **dos subnivells** d'energies semblants.

Bandes

Pel cas d'un cristall amb **N àtoms** (10^{23}) cada nivell es desdobra en **N subnivells**. Per tant, hi haurà 10^{23} subnivells amb una diferència energètica entre ells de 10^{-23} eV ($1\text{eV} = 1.602 \cdot 10^{-19}$ J), que es pot interpretar com una distribució contínua de nivells d'energia, que anomenarem **banda**. Per tant, **cada nivell d'energia de l'àtom individual dona lloc a una banda d'energia**.

A aquesta animació de PhET se simula el desdoblament de nivells d'energia d'un àtom a mesura que es van afegint més àtoms (els àtoms se simulen amb potencials quadrats o de Coulomb).

<https://phet.colorado.edu/sims/cheerpi/bound-states/latest/bound-states.html?simulation=band-structure>

A aquest vídeo es mostra la formació de bandes d'energia. A més també s'explica la diferència entre conductors i aïllants.

<https://toutestquantique.fr/metaux/>

Les **propietats conductores** dels materials venen determinades per:

BV i BC

- Si la **darrera banda** que conté electrons (que generalment correspon a la capa de valència), i que s'anomena **banda de valència (BV)**, està **totalment plena**.
- La **diferència d'energia**, també anomenada **banda prohibida** o **GAP** entre la **BV** i la primera banda sense electrons, que s'anomena **banda de conducció (BC)**.

Conductors

Els **materials conductors** tenen les dues bandes solapades. De forma que a l'aplicar un **camp elèctric** els electrons augmenten la seva energia cinètica, i **ocupen els nivells d'energia lliures de la BC, deixant nivells buits a la BV**. La conducció s'interpreta com la capacitat dels electrons per **ocupar els diferents nivells buits de les BC i BV**.

Aïllants

A 0 K els **aïllants** tenen la **BV totalment plena** i la **BC totalment buida**. El **GAP** és de **5-10 eV** (pel quars 8 eV). Com l'energia tèrmica a 300 K és aproximadament $k_B T = 0.026 \text{ eV}$ ($k_B = 1.38065 \cdot 10^{-23} \text{ J/K}$) hi haurà molt pocs electrons (si n'hi ha) que passin de la BV a la BC, i per tant hi haurà una molt baixa conducció.

Aïllant Semiconductor Conductor

A aquesta animació de PhET es visualitza la conducció en metalls, aïllants i fotoconductors. Observeu l'ocupació de les bandes d'energia, així com el GAP pel cas dels aïllants. Observeu que, en el cas dels conductors, si amb una pila s'aplica una determinada tensió hi ha un corrent elèctric, que no s'observa pels aïllants. Observeu també, que si s'il·lumina un fotoconductor hi ha electrons que pugen a la banda de conducció. En aquest cas, quan es connecta a una pila el corrent es degut alhora al moviment d'electrons de les bandes de valència i conducció. Que passa si deixem d'il·luminar?

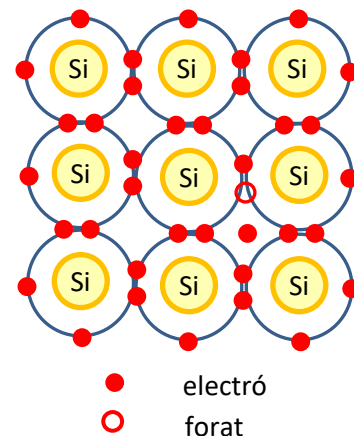
<https://phet.colorado.edu/sims/cheerpi/conductivity/latest/conductivity.html?simulation=conductivity>

SC

A 0 K els **semiconductors** també tenen la **BV totalment plena** i la **BC totalment buida**. En canvi, el **GAP** és de **0.5-2 eV** (pel Ge 0.67 eV i pel Si 1.12 eV). En aquest cas la conducció és una mica més probable.

Forats

Pels **semiconductors**, com Ge o Si, cada àtom està unit a 4 més mitjançant **enllaços covalents**. Quan un **electró** passa de la **BV a la BC** es trenca parcialment un enllaç, quedant l'electró lliure. Per tant, a la **BV** es crea una absència d'electró, que anomenem **forat**. En poc temps (entre 1 ms i 1 μs) l'electró es recombina amb aquest o un altre forat.



A aquesta animació de Vladimír Vaščák es visualitza una xarxa de silici.

Feu click sobre la fletxa blava per veure l'estructura atòmica en 2D i 3D i la disposició dels electrons de valència.

https://www.vascak.cz/data/android/physicsatschool/template.php?s=pol_kremik&l=en

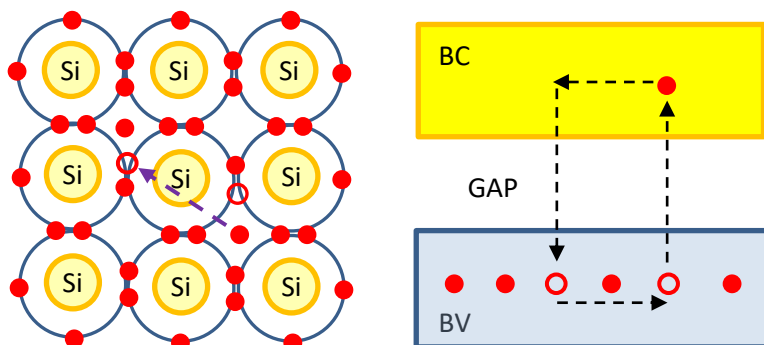
A aquesta animació de Vladimír Vaščák es visualitza la formació de forats a una xarxa de silici i la conducció deguda a electrons i forats.

https://www.vascak.cz/data/android/physicsatschool/template.php?s=pol_pohyb_der&l=en

A aquesta animació de Vladimír Vaščák es visualitza la formació i recombinació de parells electró-forat per efecte fotoelèctric (feu click sobre el botó lila) i tèrmic (click sobre el botó groc)

https://www.vascak.cz/data/android/physicsatschool/template.php?s=pol_generace&l=en

Per tant, la conducció en un **semiconductor** s'interpreta com **mobilitat d'electrons** (als diferents nivells buits) **que hi ha a la BC i de forats a la BV** (ja que hi haurà electrons de nivells inferiors d'aquesta banda que aniran ocupant aquests forats).



SC
intrín-
secs

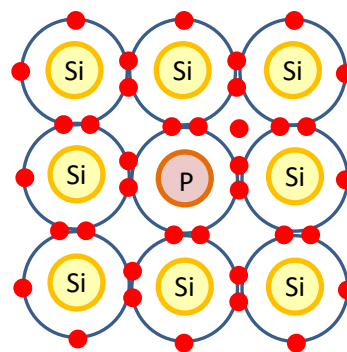
Els **semiconductors** pels que el nombre d'**electrons** és **igual** al de **forats** s'anomenen **intrínsecs**.

La **densitat electrònica** dels **semiconductors intrínsecs** és **molt menor** que la dels **conductors**:

Material	Densitat electrònica
Cu	$8.4 \cdot 10^{22}$ elec/cm ³
Ge	$6 \cdot 10^{13}$ elec/cm ³
Si	$7 \cdot 10^9$ elec/cm ³

SC
Extrín-
secs
tipus n

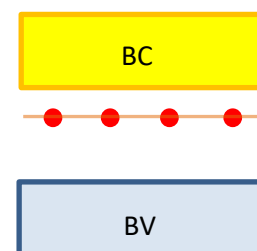
Per augmentar-la se segueix un procés de **dopatge**, consistent en substituir alguns àtoms per **impureses** (àtoms de mida semblant i valència diferent). Així, si se substitueix un àtom de Ge o Si (**valència 4**) per un de **valència 5** (P-Fòsfor, As-Arsènic, Sb-Antimoni), a la capa de valència hi haurà un **electró de més**, que estarà feblement lligat al seu àtom i que per efecte tèrmic serà **lliure**, quedant l'àtom d'**impuresa ionitzat positivament**.



A aquesta animació de Vladimír Vaščák es visualitza una xarxa de silici dopat amb impureses d'Arsènic (As) (heu de clicar a baix l'opció N type semiconductor). Amb la fletxa blava de la dreta podeu visualitzar l'estructura en 2D i 3D. Si cliqueu avall l'opció Silicon podreu observar la diferència entre un semiconductor intrínsec i extrínsec tipus n.

https://www.vascak.cz/data/android/physicsatschool/template.php?s=pol_polovodice&l=en

Des del punt de vista de la **teoria de bandes** s'interpreta com que a prop de la **BC** apareix un conjunt de nivells energètics que **donen electrons** (tants nivells com àtoms d'impureses). Les **impureses** s'anomena **donadores**, i el material es diu **semiconductor extrínsec tipus n**. En aquest cas hi ha **més electrons que forats** i el corrent és **majoritàriament** degut a **electrons**, essent per tant, els **forats portadors minoritaris**, que bàsicament es creen per efecte tèrmic.



SC

Extrín-
secs

tipus n

La diferència d'energia entre els nivells donadors i la BC pel cas de Si dopat amb P és 0.045 eV, amb As 0.049 eV i amb Sb 0.039 eV. Com l'energia cinètica d'un electró a 300 K és de 0.026 eV, hi haurà molts més electrons ara que pel cas del Si pur (densitat 2.33 g/cm³ i massa atòmica 28 g/mol). Així, si el nivell de dopat és d'1 àtom per cada 10⁷, el nombre d'electrons lliures serà:

$$\rho_{dopat} = 2.33 \frac{\text{g}}{\text{cm}^3} \cdot \frac{1 \text{ mol}}{28 \text{ g}} \cdot \frac{6.022 \times 10^{23} \text{ atoms}}{\text{mol}} \cdot \frac{1 \text{ elect}}{10^7 \text{ atoms}} = 5 \times 10^{15} \text{ elect/cm}^3$$

Aquesta densitat electrònica és sis ordres de magnitud superior a la del Si pur ($7 \times 10^9 \text{ elect/cm}^3$).

A aquesta animació de PhET es visualitza la conducció en un semiconductor tipus n. Per això activeu l'opció Segments One(1), seleccioneu com a dopant el de tipus n i poseu-lo al lloc pertinent. Tot seguit apliqueu una tensió a la pila i observeu el corrent, que és degut a electrons a la banda de conducció. <https://phet.colorado.edu/sims/cheerpi/semiconductor/latest/semiconductor.html?simulation=semiconductor>

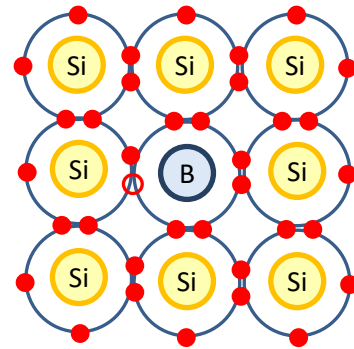
SC

extrín-
secs

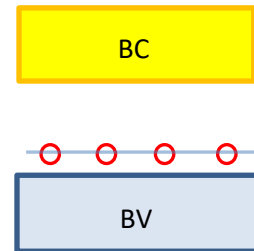
tipus p

Si se substitueix un àtom de Ge o Si (de **valència 4**) per un de **valència 3** (B-Bor, Al-Alumini, Ga-Gal·li, In-Indi), a la darrera capa hi faltarà un **electró**, i per tant tindrem un **forat de més**. Quan un electró l'ocupi l'àtom d'**impuresa**, quedarà **ionitzat negativament**.

A aquesta animació de Vladimír Vaščák es visualitza una xarxa de silici dopat amb impureses d'Indi (In) (heu de clicar a baix l'opció P type semiconductor). Amb la fletxa blava de la dreta podeu visualitzar l'estructura en 2D i 3D. Si cliqueu avall l'opció Silicon podreu observar la diferència entre un semiconductor intrínsec i extrínsec tipus n i p. https://www.vascak.cz/data/android/physicsatschool/template.php?s=pol_polovodice&l=en



Des del punt de vista de la **teoria de bandes** s'interpreta que prop de la **BV** apareix un conjunt de nivells energètics que **accepten electrons**. Les **impureses** s'anomena **acceptores**, i el material es diu **semiconductor extrínsec tipus p**. En aquest cas hi ha **més forats que electrons** i el corrent és **majoritàriament** causat per **forats**, essent per tant, els **electrons portadors minoritaris**, que es creen principalment per efecte tèrmic.

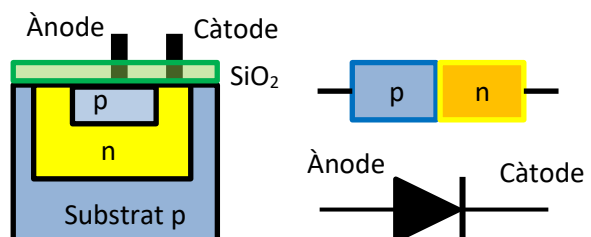


La diferència d'energia entre els nivells acceptors i la BV pel cas de Si dopat amb B és 0.045 eV, amb Al 0.057 eV i amb Ga 0.065 eV.

A aquesta animació de PhET es visualitza la conducció en un semiconductor tipus p. Per això activeu l'opció Segments One(1), seleccioneu com a dopant el de tipus p i poseu-lo al lloc pertinent. Tot seguit apliqueu una tensió a la pila i observeu el corrent, que és degut a forats a la banda de valència. <https://phet.colorado.edu/sims/cheerpi/semiconductor/latest/semiconductor.html?simulation=semiconductor>

3.3 Díode d'unió p-n: rectificació de corrent i portes lògiques (5/2 h T i 1h P) (en realitat 2h15')

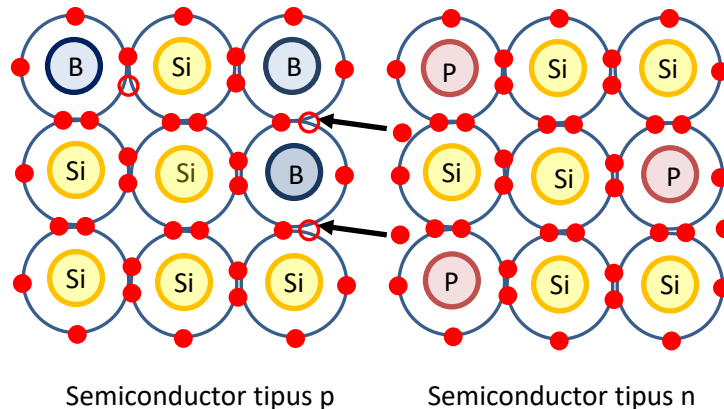
Consisteix en un sol cristall de **semiconductor** de Ge o Si dopat per un costat amb impureses acceptores (per



tant, és un semiconductor **p**) i per l'altre amb donadores (per tant, és un semiconductor **n**).

Símbol: l'ànode o part p es representa amb una fletxa i el càtode per un segment.

La zona on el cristall **canvia de semiconductor p a n** es diu **unió**. Al seu voltant apareix una distribució de càrrega que es crea com a resultat de la difusió d'electrons de la part n, que s'han recombinat amb forats de la part p. En fer-ho les **impureses donadores s'ionitzen positivament**, mentre que **les acceptores ho fan negativament**. Per tant, al voltant de la unió es crea un **camp elèctric** que va de la part n a la part p.



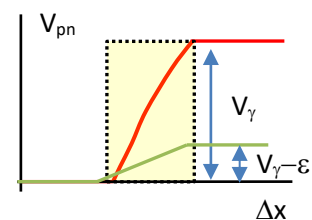
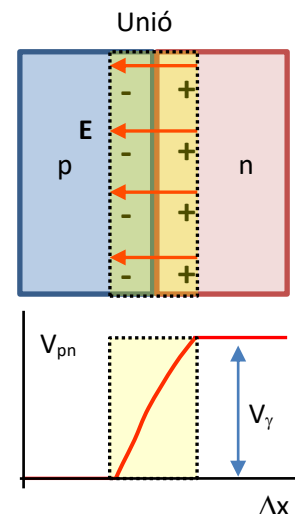
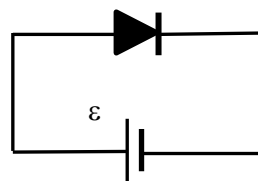
A l'interval 6'30'' i 8'30'', d'aquest vídeo de la Universitat de Granada, s'explica la formació d'una unió pn.
https://www.youtube.com/watch?v=hsJGw_c-Nn4

Aquesta zona s'anomena **de transició**, esgotament, buidatge o deflexió. Com a resultat de la difusió dels portadors de càrrega majoritaris i la posterior recombinació, dins d'ella no hi ha ni electrons ni forats.

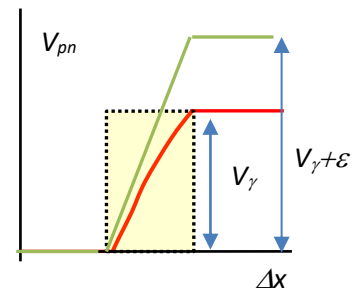
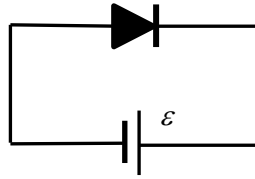
1. La **mida** és d'1 μm .
2. El **camp** pot valer entre 10^3 i 10^5 V/m
3. Com el camp elèctric va de la part n a la part p, es diu que la **part n està a més potencial que la p**. La diferència de potencial s'anomena **potencial de contacte** o barrera de potencial (V_γ).
4. A 300 K els valors del **potencial de contacte** pel Ge i el Si són respectivament $V_\gamma = 0.3$ V i $V_\gamma = 0.7$ V.

Quan un díode es connecta a una **bateria**, es diu que està **polaritzat**. Segons la connexió, el díode està en:

- **Polarització directa:** La **part p** es connecta al **pol +** de la bateria i la **part n** al **-**. D'aquesta forma es **redueix la barrera de potencial**, així com la mida de la **zona de transició**. Si el voltatge extern aplicat és V_γ la barrera es fa nul·la. Per **tensions més grans el díode condueix**, augmentant considerablement el valor de la intensitat a mida que la tensió aplicada es fa més gran.



- **Polarització inversa:** La **part p** es connecta al **pol** - de la bateria i la **part n** al **+**. D'aquesta forma la **barrera de potencial** així com la mida de la **zona de transició** augmenten, i el **díode no condueix**.

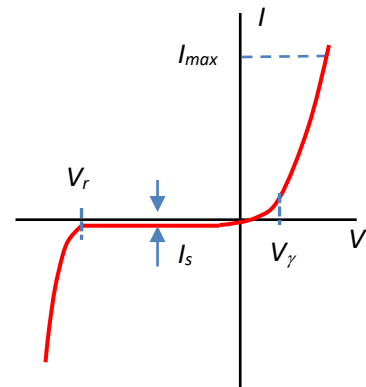


A aquesta animació de PhET es visualitza una unió pn des del punt de vista de la teoria de bandes. Per això activeu l'opció Segments Two(2), construïu una unió pn. Tot seguit apliqueu una tensió a la pila de forma que el díode estigui en polarització directa i observeu el moviment dels electrons per les bandes dels dos semiconductors. Tots seguit canvieu la polaritat de la pila, de forma que el díode estigui en inversa i observeu com no hi ha corrent.

<https://phet.colorado.edu/sims/cheerpi/semiconductor/latest/semiconductor.html?simulation=semiconductor>

El comportament es resumeix a la **corba característica** (V, I), on cal destacar els valors:

1. V_γ - **Potencial de contacte**
2. I_{\max} - **Intensitat màxima** que pot circular sense que es cremi per efecte Joule
3. I_s - **Intensitat de saturació** en inversa. Es tracta d'un corrent negligible (1000 vegades menor), degut al moviment de portadors de càrrega minoritaris (forats a la part n i electrons a la part p) dins la zona de transició que són impulsats pel camp elèctric. Cal dir que tant l'amplada de la zona de transició com el camp elèctric augmenten a mesura que creix la tensió en inversa. Els díodes de Si es caracteritzen per uns valors de I_s menors que els de Ge (ja que la densitat electrònica és menor), i per tant són més recomanables.
4. V_r - **Tensió de ruptura**. Si la tensió en inversa es prou gran (generalment superior als 50 V) el camp elèctric a la zona de transició serà tant intens que accelerarà els electrons de la part p (que són portadors minoritaris) de forma que adquiriran prou energia cinètica com perquè, en el seu trajecte dins la zona de transició (que ara és molt ampla), xoquin amb electrons de valència dels àtoms de la xarxa. Observem, per tant, que es creen nous parells electrons forats, que augmentaran la conducció. Alhora, els nous electrons alliberaran d'altres electrons de valència, produint-se, per tant, un **efecte d'allau** que dona lloc a una gran intensitat. En aquesta situació la temperatura del díode augmenta, podent arribar a fer-se malbé.

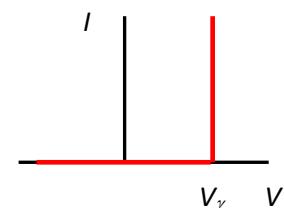


A aquesta animació de la universitat de Cambridge es mostra el comportament d'un díode per diferents punts de la corba característica (en polarització directa i inversa). Observeu com la mida de la zona de transició disminueix en polarització directa i augmenta en inversa.

<http://www-g.eng.cam.ac.uk/mmg/teaching/linearcircuits/diode.html>

Una **aproximació** al comportament real és el del **model de díode simplificat**, pel que se suposa:

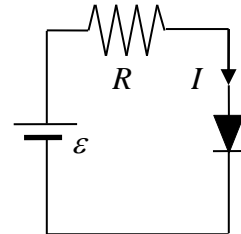
1. El díode **no condueix en polarització inversa**.



2. El díode **condueix en polarització directa** quan la **diferència de potencial** als seus extrems és més gran que V_γ . El valor de la **diferència de potencial** es manté **constant** en V_γ per qualsevol valor de la **intensitat** que circuli pel díode.

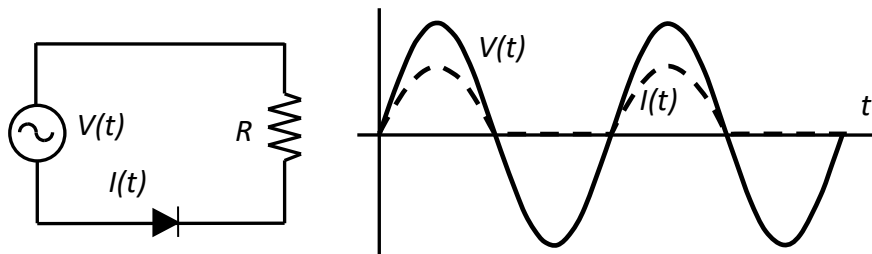
Tenint en compte aquest model, la **intensitat** que circula per un circuit sèrie format per un generador de fem ε , una resistència R i un díode en polarització directa, amb un potencial de contacte V_γ , és:

$$\varepsilon = RI + V_\gamma \rightarrow I = \frac{\varepsilon - V_\gamma}{R}$$

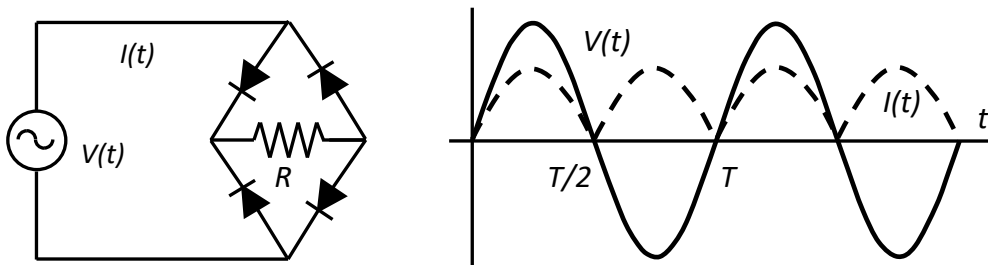


Aplicació 1: rectificació de corrent (conversió d'un corrent altern a un de continu)

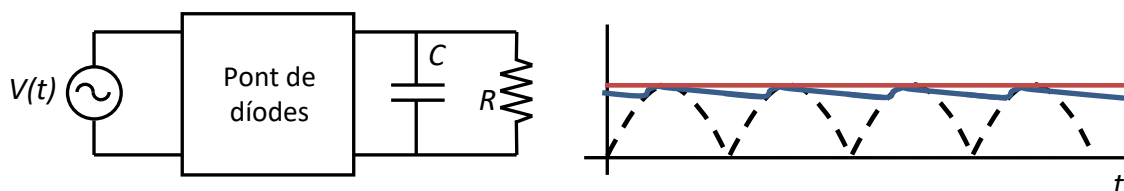
Si es connecta un **díode** a la sortida d'un generador de corrent altern tindrem un senyal **rectificat en mitja ona**, ja que mentre el díode es trobi en polarització directa conduirà, mentre que en inversa no ho farà.



Si enlloc d'un díode utilitzem un **pont de díodes** o de Graetz la rectificació serà en **ona completa** (amb un rissat).



Per tenir rectificació total, a més cal connectar en paral·lel un **condensador**. Aquest en carregar-se i descarregar-se, d'acord amb la tensió variable que surt del pont de díodes, té una diferència de tensió entre plaques que augmenta i disminueix de forma periòdica (penseu en la càrrega i descàrrega en un circuit RC). Si la capacitat del condensador és prou gran, el condensador trigarà tant a descarregar-se que el corrent serà continuu.



A aquesta animació de Falstad es visualitza la rectificació de mitja ona amb un díode.

<http://www.falstad.com/circuit/e-rectify.html>

A aquestes animacions dels professors Falstad i Rousseau es visualitza la rectificació d'ona completa amb un pont de díodes i posteriorment afegint un condensador. A la segona es veu millor el recorregut del corrent i el paper que juguen els quatre díodes. A la última s'observa el rol que juga el condensador en la darrera etapa de rectificació.

<http://www.falstad.com/circuit/e-fullrect.html>

<http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/electro/graetz.html>

<http://www.falstad.com/circuit/e-fullrectf.html>

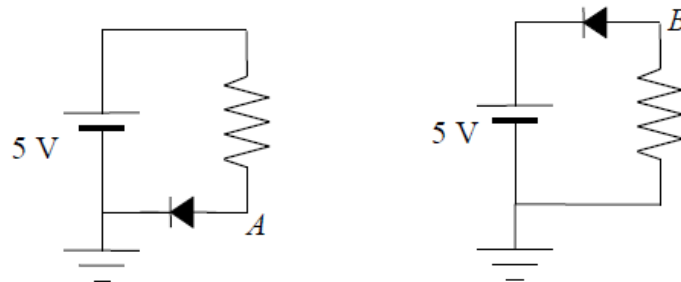
Fer problema 2 de la col·lecció

2. La tensió llindar del díode del circuit de les figures és de 0.7 V.

a) Quina és la tensió al punt A de la figura de l'esquerra?

b) I al punt B de la figura de la dreta?

c) I si s'inverteixen els díodes?

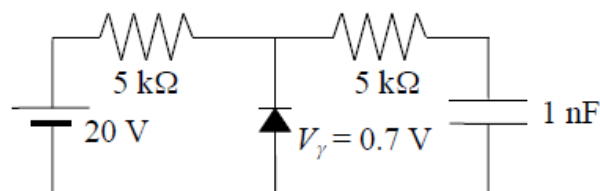


Fer problema 3 de la col·lecció

3. La tensió llindar del díode del circuit de la figura és $V_f = 0.7$ V i la capacitat del condensador és de 1 nF.

a) Quina és la càrrega del condensador un cop assolit el règim estacionari?

b) I si s'inverteix el díode?

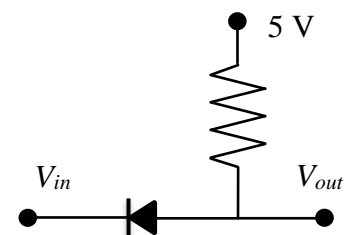


Aplicació 2: Portes lògiques amb díodes

1. Díode com a interruptor (configuració 1)

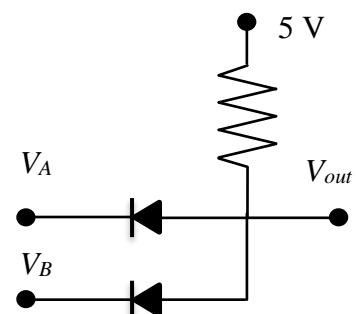
Suposarem que el **potencial de referència** és de 5 V

- Si $V_{in} = 0$ V, llavors el díode està en **polarització directa** i $V_{out} = 0.7$ V i la intensitat $I = 4.3/R$.
- Si $V_{in} = 5$ V, llavors el díode està en **polarització inversa** i $V_{out} = 5$ V i la intensitat $I = 0$.



2. Porta AND amb díodes

- Si $V_A = V_B = 0$ els dos díodes estan en **polarització directa**, la intensitat no és nul·la i $V_{out} = 0.7$ V.
- Si $V_A = 0$ i $V_B = 5$ V el díode A està en **directa** i el B en **inversa**, la intensitat no és nul·la i $V_{out} = 0.7$ V.
- Si $V_A = 5$ V i $V_B = 0$ el díode A està en **inversa** i el B en **directa**, la intensitat no és nul·la i $V_{out} = 0.7$ V.

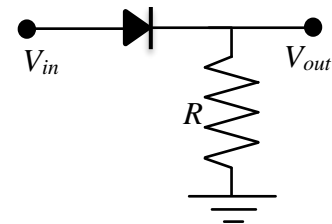


- Si $V_A = V_B = 5\text{ V}$ els díodes estan en **polarització inversa**, la intensitat és nul·la i $V_{out} = 5\text{ V}$.

A	B	V_A	V_B	V_{out}	OUT
0	0	0	0	0.7	0
0	1	0	5	0.7	0
1	0	5	0	0.7	0
1	1	5	5	5	1

3. Díode com a interruptor (configuració 2)

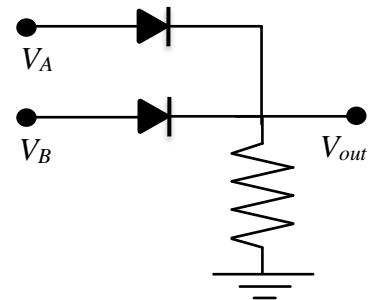
Suposem que el potencial de contacte dels díodes és $V_\gamma = 0.7\text{ V}$. Segons el **voltatge d'entrada** el díode estarà **polaritzat en directa o en inversa** i a la **sortida** tindrem un determinat voltatge.



- Si $V_{in} = 5\text{ V}$, llavors el díode està en **polarització directa** i $V_{out} = 5 - V_\gamma = 5 - 0.7 = 4.3\text{ V}$. El corrent que passa per la resistència és: $I = 4.3/R$.
- Si $V_{in} = 0\text{ V}$, llavors el díode està en **polarització inversa** i $V_{out} = 0$, i $I = 0$.

4. Porta OR amb díodes

- Si $V_A = V_B = 0$ els dos díodes estan en **inversa** $V_{out} = 0\text{ V}$.
- Si $V_A = 0$ i $V_B = 5\text{ V}$ el díode **A** està en **inversa** i el **B** en **directa**, la intensitat no és nul·la i $V_{out} = 5 - V_\gamma = 4.3\text{ V}$.
- Si $V_A = 5\text{ V}$ i $V_B = 0\text{ V}$ el díode **A** està en **directa** i el **B** en **inversa**, la intensitat no és nul·la i $V_{out} = 5 - V_\gamma = 4.3\text{ V}$.
- Si $V_A = V_B = 5\text{ V}$ els díodes en **directa**, la intensitat no és nul·la i $V_{out} = 5 - V_\gamma = 4.3\text{ V}$.



A	B	V_A	V_B	V_{out}	OUT
0	0	0	0	0	0
0	1	0	5	4.3	1
1	0	5	0	4.3	1
1	1	5	5	4.3	1

A aquesta animació del professor Rousseau es visualitzen les portes AND i OR amb dos díodes. Amb el cursor, apliqueu 0 o 5 V a cada entrada i observeu la tensió a la sortida.

<http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/electro/familleDRL.html>

3.4 Díode emissor de llum (LED) (1/2 h T) (en realitat 30'')

Quan un díode està en **polarització directa** emet radiació, ja que els electrons dels nivells donadors de la part n pugen a la BC, i entren fàcilment a la BC de la part p (ja que

es troba en polarització directa). Allà baixen als nivells acceptors de la part p, **recombinant-se amb els forats** i, per tant, emetent llum.

A aquesta animació de PhET es visualitza una unió pn des del punt de vista de la teoria de bandes. Per això activeu l'opció Segments Two(2), construïu una unió pn. Tot seguit apliqueu una tensió a la pila de forma que el díode estigui en polarització directa i observeu el moviment dels electrons per les bandes dels dos semiconductors. Fixeu-vos, com els electrons passen de la BC de la part n a la BV de la part p i, per tant, emeten llum.

<http://phet.colorado.edu/en/simulation/semiconductor>

En funció de la **diferència d'energia** ΔE entre els dos nivells (el de la banda de conducció de la part p i el dels nivells acceptors de la part p; és a dir a efectes pràctics el **GAP** del semiconductor) la **freqüència** de la radiació ν i la **longitud d'ona** λ estan directament relacionades:

$$\nu = \frac{\Delta E}{h} \rightarrow \lambda = \frac{c}{\nu} = \frac{hc}{\Delta E}$$

On $h = 6.626 \cdot 10^{-34}$ J.s. Pel cas del Si la llum no és visible (infraroig). Ara bé, alguns díodes de la família del Gal·li emeten radiació visible:

Material	GAP(eV)	λ (nm)	color
Si	1.12	1108	Infraroig
AlGaAs	1.63-2.03	610-760	Vermell
P-GaAs	2.03-2.10	590-610	Taronja
P-GaAs	2.1-2.18	570-590	Groc
NGa	2.18-2.48	500-570	Verd
In-GaN	2.48-2.75	450-500	Blau

A aquesta animació del professor Rousseau es mostra la corba característica de diferents LED's que emeten amb llums de longitud d'ona visible diferent, i per tant tenen potencials de contacte diferents. També s'ha extret la taula de més avall.

<http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/electro/caracled.html>

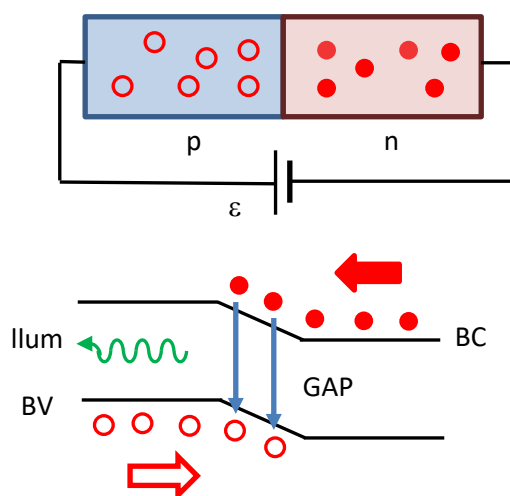
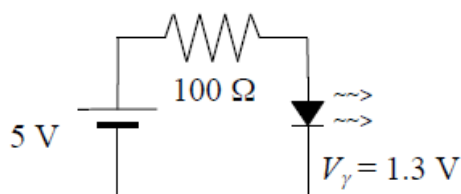
A aquesta animació de NHFML se simulen LED's de diferents colors. Observeu com cadascun correspon a una determinada combinació de semiconductors i com aquests emeten quan es connecten a una pila en polarització directa i amb una fem més gran que el potencial de contacte. Fixeu-vos que l'emissió augmenta amb la fem.

<https://micro.magnet.fsu.edu/primer/java/leds/basicoperation/index.html>


Aplicacions: Pantalles d'ordinadors de LED's.

Fer el problema 5 de la col·lecció

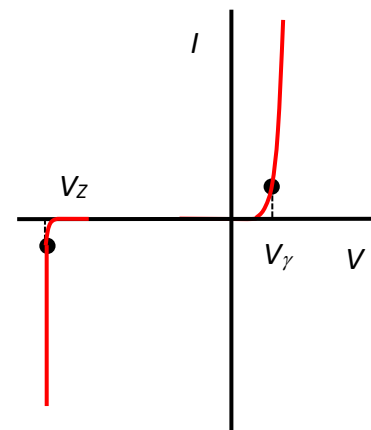
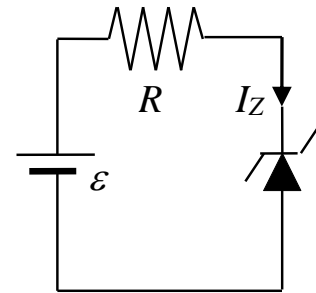
5. Quina potència consumeixen el LED i la resistència del circuit de la figura?



3.5 Díode Zener: limitador de tensió (1/2 h T + 1/2 h P)

Símbol: 
Zener Diode

És un díode dissenyat per conduir alhora en **polarització directa i inversa**. Per això es **dopa molt fortament**, de forma que quan estigui en **polarització inversa** la mida de la zona de transició sigui prou petita com per a produir un **camp elèctric molt intens** ($5 \cdot 10^5$ V/cm). La magnitud d'aquest és tant gran que pot alliberar molts electrons que participen en els enllaços covalents dels àtoms de la xarxa (estan a la banda de valència), produint-se, per tant, un gran nombre de parells electró forat (**efecte Zener**). En molts díodes Zener la zona de transició no és gaire estreta, i aquest fenomen es combina amb **l'efecte allau** (que s'ha comentat anteriorment). En qualsevol cas, el nombre de portadors minoritaris augmenta notablement. A causa de la polarització inversa, els electrons lliures es difondran cap al pol positiu de la pila i els forats cap el negatiu, produint-se un **corrent molt intens**.

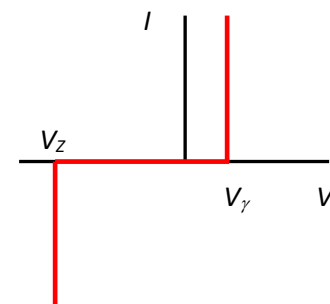


A la **corba característica** (V, I) d'un díode Zener cal destacar:

1. El corrent en **polarització inversa** és molt **més intens** que en **directa**.
2. V_γ - **Potencial de contacte**
3. I_{max} - **Intensitat màxima** que hi pot circular sense que es faci malbé per efecte Joule
4. I_{maxZ} - **Intensitat màxima en polarització inversa**
5. V_Z - **Tensió Zener**. Valors típics entre 2 i 200 V, segons el grau de dopatge.

Una **aproximació** al comportament real és el del **model de díode simplificat**, pel que:

1. El díode **conduïx en polarització directa** quan la **diferència de potencial** als seus extrems és més gran que V_γ . El valor de la **diferència de potencial** es manté **constant** en V_γ per qualsevol valor de la **intensitat**.
2. El díode **conduïx en polarització inversa** quan la **diferència de potencial** als seus extrems és més gran que V_Z . El valor de la **diferència de potencial** es manté **constant** en V_Z per qualsevol valor de la **intensitat**.



Per aquest model, la **intensitat** del corrent que circula per un circuit sèrie d'un generador de fem ε , una resistència R i un díode Zener, amb un potencial de contacte V_γ i una tensió Zener V_Z , en polarització directa i inversa (essent $\varepsilon > V_\gamma$ o $\varepsilon > V_Z$) és:

$$\varepsilon = RI + V_\gamma \rightarrow I = \frac{\varepsilon - V_\gamma}{R}$$

$$\varepsilon = RI + V_Z \rightarrow I = \frac{\varepsilon - V_Z}{R}$$

Aplicacions: Com en polarització inversa la diferència de potencial als extrems del díode Zener és molt estable, la seva principal aplicació és com a **limitador de tensió**. És a dir element que protegeix de sobretensions un circuit o una part d'un circuit. Per això es connecta el **díode Zener en paral·lel** al circuit o la part del circuit a protegir.

A aquesta animació del professor Rousseau es mostra la corba característica d'un díode Zener. Es discuteix els paper que juga segons el punt de treball. És interessant observar el comportament en inversa quan treballa a la zona Zener com a limitador de tensió.

<http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/electro/zenercarac.html>

Fer exercici previ pràctica de díodes

2.2 Circuit limitador de tensió

Al circuit de la Figura 13, $R_1 = 100 \, \Omega$, $R_2 = R_3 = 200 \, \Omega$ i $R_4 = 50 \, \Omega$, i les tensions característiques del Zener són $V_Z = 6 \, \text{V}$ i $V_\gamma = 0.6 \, \text{V}$.

- Quin és valor de $\varepsilon_{\min Z}$ a partir del qual el díode Zener comença a conduir?
- Determineu V_{FC} , I , I_C i I_Z per als valors de $\varepsilon = 10 \, \text{V}$ i $\varepsilon = 20 \, \text{V}$. Comproveu que en cada cas la potència subministrada pel generador és igual a la dissipada al díode més la dissipada a les resistències.

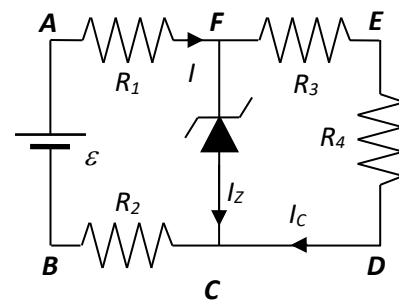


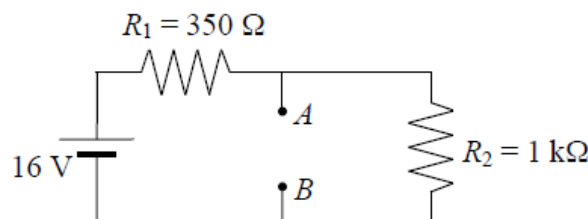
Figura 13

- Si $\varepsilon = 30 \, \text{V}$, quins dels valors de V_{FC} , I , I_C i I_Z canvien respecte al cas $\varepsilon = 20 \, \text{V}$?

Fer problema 9 de la col·lecció

9. Calculeu la intensitat que circula per les dues resistències del circuit de la figura si entre els punts A i B hi connectem

- un díode ideal ($V_\gamma = 0$) amb l'ànode (zona p) connectat en el punt B,
- un díode ideal però amb l'ànode connectat en el punt A,
- un díode Zener amb $V_Z = 6 \, \text{V}$ i $V_\gamma = 0.7 \, \text{V}$ que té l'ànode connectat en el punt B,
- el mateix díode de l'apartat c) però amb l'ànode connectat en el punt A,
- un díode Zener amb $V_Z = 12 \, \text{V}$ i $V_\gamma = 0.7 \, \text{V}$ que té l'ànode connectat en el punt B.



3.6 Transistors MOSFET d'enriquiment. Portes lògiques (3 h T + 2h P)

Un transistor és un **dispositiu semiconductor**, amb el que es produeix un senyal de **sortida en resposta a un d'entrada**, que s'utilitza com a **commutador** i amplificador. Pel seu baix consum, petites dimensions i simplicitat de fabricació, el **MOSFET** (Metal Oxide Semiconductor Field Effect Transistor) **d'enriquiment de canal** és el tipus de transistor més utilitzat en **circuits de memòria i lògica digital**. Va ser inventat per Julius Edgar Lilienfeld, que el patentà l'any 1926. Tanmateix, malgrat les importants contribucions de científics de la talla del premi Nobel William Shockley, es van haver d'esperar més de

30 anys perquè l'invent fos realitzable. Concretament, el primer MOSFET va ser construït el 1959 per Dawon Kahng i Martin M. (John) Atalla als laboratoris Bell.

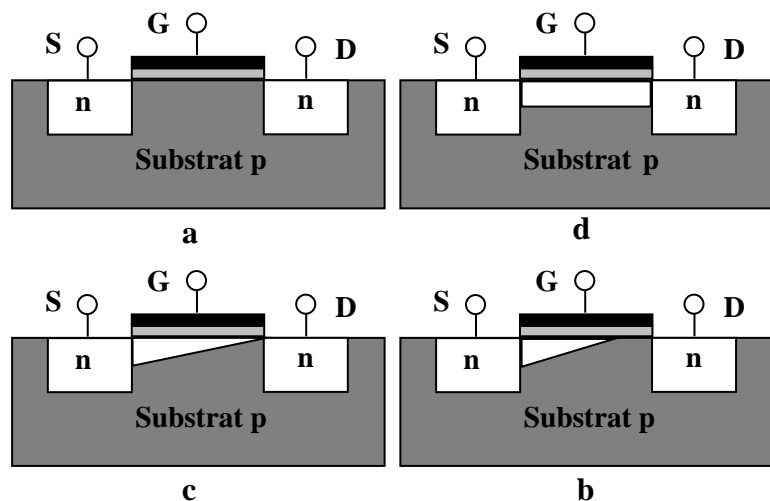
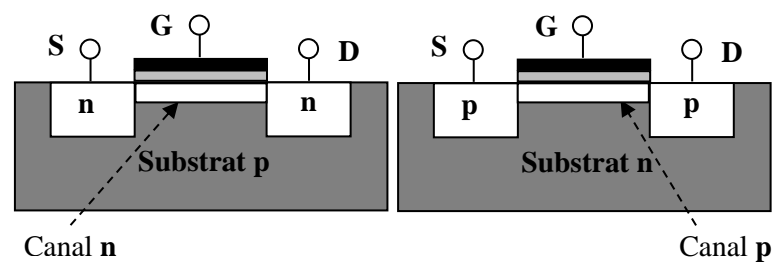
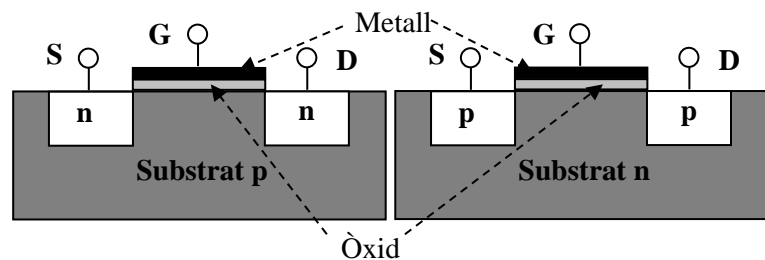
Consisteix en un **substrat de material semiconductor lleugerament dopat** (tipus "p" o "n") on, utilitzant tècniques de difusió d'impureses, s'han creat **dues zones o illes (Font S i Drenador D) fortament dopades i de tipus diferent**

de la del substrat (és a dir "n" o "p"). Per sobre de l'espai entre les illes s'afegeix una superfície aïllant d'òxid, que es culmina amb una **capa metàl·lica (Porta G)**.

Depenent del tipus de dopatge els MOSFET es classifiquen en **NMOS (substrat tipus "p" i illes tipus "n")** i **PMOS (substrat tipus "n" i illes tipus "p")**.

Com el **substrat**, que generalment està al **mateix potencial que la font**, té una gran resistivitat, la **conducció** entre les dues illes només és possible si, a més d'establir una diferència de potencial entre S i D (V_{DS}), entre G i S s'aplica una tensió (V_{GS}) superior a un valor llindar V_T .

Sota la porta (G) es crea un **camp elèctric** (per això es diu transistor d'efecte de camp) prou intens perquè portadors minoritaris del substrat, i d'altres provinents de les illes, s'acumulin en aquesta regió i es creï una **zona d'inversió** o canal (tipus n o p), per on circularà el corrent. A diferència dels BJT (Bipolar Junction Transistor), els MOSFET són transistors **unipolars**, ja que el corrent és degut a un sol tipus de portador: **electrons pel cas dels NMOS i forats pels PMOS**.

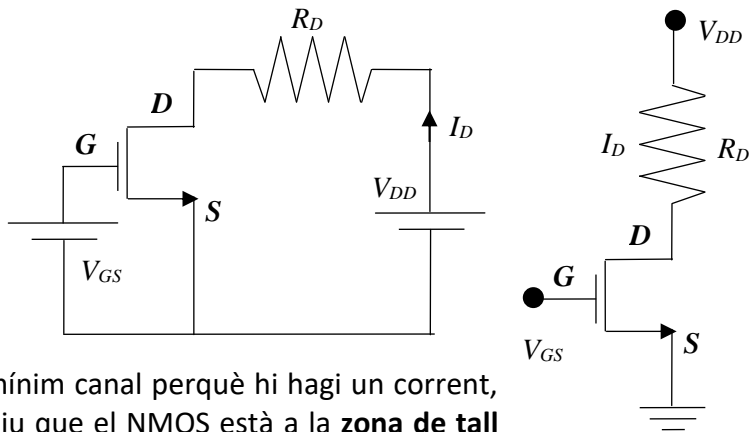


A aquesta animació se simula el funcionament d'un NMOS a partir del minut 2.

https://www.youtube.com/watch?v=jh2z-g7GxE&feature=emb_logo

1. Transistors NMOS

Estudiarem un **NMOS** en la **configuració en font comuna**, que consisteix en un NMOS connectat a una resistència R_D i dues fonts de tensió de fem V_{DD} i V_{GS} , polaritzades de manera que $V_{GS} > 0$ i $V_{DS} > 0$.



- Si $V_{GS} < V_T$, no es crea el mínim canal perquè hi hagi un corrent, malgrat que $V_{DS} > 0$, i es diu que el NMOS està a la **zona de tall** (cas "a").
- Si $V_{GS} > V_T$ i $V_{DS} > 0$ i $V_{DS} < (V_{GS} - V_T) = V_{GT}$ el transistor condueix, la intensitat I_D que circula per R_D **augmenta amb V_{DS}** , el NMOS **es comporta com una resistència** i es diu que està a la **zona òhmica** (cas "d").

$$I_D = \beta[V_{GT}V_{DS} - V_{DS}^2/2]$$

β és un **paràmetre característic** del transistor, que s'expressa en A/V^2 i que depèn de la **longitud i de l'amplada del canal**, de la **constant dielèctrica del substrat** i de la **mobilitat dels electrons** (forats en el cas del PMOS). Com la intensitat augmenta amb la tensió V_{DS} , es pot definir una **resistència del canal entre drenador i font r_{DS}** :

$$r_{DS} = V_{DS}/I_D$$

Per valors no molt grans de V_{DS} la intensitat I_D es pot aproximar com $I_D = \beta[V_{GT}V_{DS}]$, i la **resistència es pot expressar** com:

$$r_{DS} = V_{DS}/I_D = 1/\beta V_{GT}$$

La resistència disminueix a mesura que V_{GS} augmenta.

- Si $V_{GS} > V_T$ i $V_{DS} > 0$, i respecte del cas anterior $V_{DS} > V_{GT}$ **continua augmentant**, molts dels electrons del canal n'aniran directament al drenador i en aquesta regió **el canal s'anirà estrenyent**. Per tensions prou altes **el canal no arribarà al drenador** (cas "b"); de manera que per molt que augmenti V_{DS} , la **intensitat es mantindrà constant**, i es diu que el transistor està a la **zona de saturació**.

$$I_D = \frac{\beta}{2} V_{GT}^2.$$

- En la situació límit (cas "c") el canal queda escanyat en D i $V_{DS} = V_{GT}$, que és la **condició de saturació mínima**, que marca la **frontera entre les zones òhmica i de saturació**.

A aquesta simulació simple de Falstad se simula el funcionament d'un NMOS. Observeu com el NMOS condueix quan la tensió entre porta i font és superior als 1.5 V.

<https://www.falstad.com/circuit/e-nmosfet.html>

Opcional: deducció de les fórmules a partir del long channel model de Shockley 1952, que suposa que el canal entre S i D és prou llarg, com perquè el camp elèctric entre Si D és petit.

A la zona òhmica, si considerem que sota la porta tenim un condensador i que la diferència de potencial entre la porta i l'emissor és V_{GS} , la diferència de potencial entre la porta i el drenador serà: $V_{GD} = V_{GS} - V_{DS}$. El valor mitjà de la diferència de potencial del canal és:

$$\frac{V_{GS} + V_{DS}}{2} = V_{GS} + V_{DS}/2$$

Per tant la càrrega acumulada és

$$q = C(V_{GS} + \frac{V_{DS}}{2} - V_T)$$

On C és la capacitat del condensador i V_T és la tensió de tall, a partir de la que s'acumula càrrega al condensador.

La intensitat I_D que circula pel canal de longitud L a causa de la diferència de potencial V_{DS} és:

$$I_D = q/t$$

on t és el temps necessari perquè les càrregues recorrin la longitud L . Aquest temps és el quocient entre L i la velocitat de desplaçament v dels portadors

$$t = L/v$$

que està relacionada amb el camp elèctric E que hi ha entre la font i el drenador, mitjançant la mobilitat μ :

$$v = \mu E$$

A la vegada el camp E es pot expressar en termes de la diferència de potencial i L :

$$E = V_{DS}/L$$

Combinant les diferents equacions tenim:

$$\begin{aligned} I_D = \frac{q}{t} &= \frac{C(V_{GS} + V_{DS}/2 - V_T)}{L/v} = \frac{\mu C}{L^2} (V_{GS} - V_T + V_{DS}/2) V_{DS} \\ &= \beta (V_{GS} - V_T + V_{DS}/2) V_{DS} \end{aligned}$$

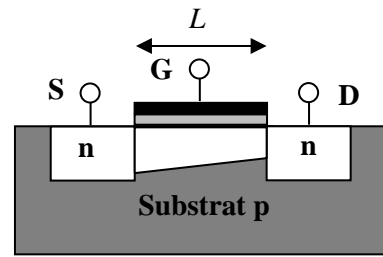
On β és el paràmetre característic del transistor.

A la zona de saturació es suposa la condició de saturació mínima i es substitueix V_{DS} per $V_{GS} - V_T$. L'equació anterior queda:

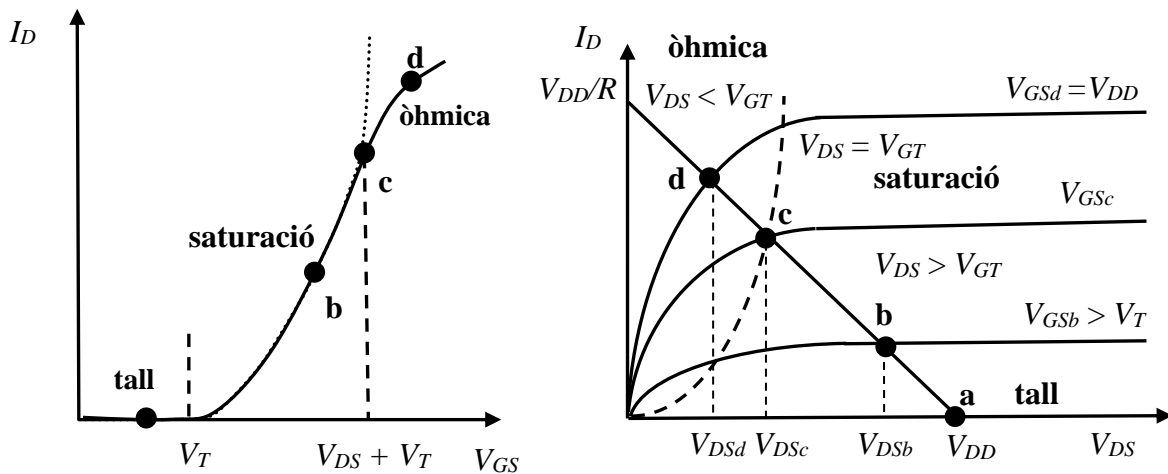
$$I_D = \beta (V_{GS} - V_T + V_{DS}/2) V_{DS} \approx \frac{\beta (V_{GS} - V_T)(V_{GS} - V_T)}{2} = \frac{\beta}{2} (V_{GS} - V_T)^2$$

Corbes característiques

1) la **corba característica** (V_{GS} , I_D) ens permet visualitzar les **tres zones de treball**: tall, saturació (comportament parabòlic) i òhmica (no es comporta com una paràbola).



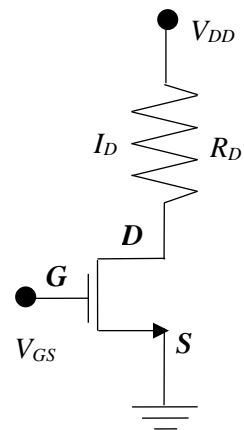
2) la **corba característica** (V_{DS} , I_D), on s'ha afegit la corba (V_{GS} , I_D) desplaçada V_T , que marca la frontera entre les zones òhmica ($V_{DS} < V_{GT}$) i saturació ($V_{DS} > V_{GT}$). S'observa que en **saturació** I_D és constant, i que en òhmica I_D augmenta amb V_{DS} .



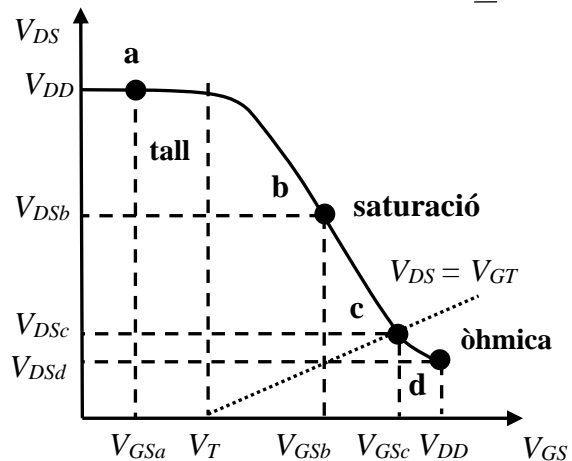
També s'ha representat la **recta de càrrega**:

$$I_D = \frac{V_{DD}}{R_D} - \frac{V_{DS}}{R_D},$$

que resulta d'aplicar la segona llei de Kirchhoff a la malla de la dreta del circuit amb una font de tensió de fem V_{DD} i una residència R_D . Les **interseccions** entre la **recta de càrrega** i les corbes característiques (V_{DS} , I_D), pels diferents valors de V_{GS} defineixen els **punts de treball** del transistor.



3) la **característica de transferència** (V_{DS} , V_{GS}) representa la tensió de sortida V_{DS} en funció de la d'entrada V_{GS} . Com es pot observar, a la regió de **tall** ($V_{GS} < V_T$) el NMOS no condueix i $V_{DS} = V_{DD}$. Quan està en **saturació** V_{DS} disminueix a mesura que V_{GS} augmenta, essent aquesta disminució menor a la regió òhmica. Aquest canvi de comportament queda reflectit a la figura amb un punt d'inflexió, quan la corba interseca amb la recta $V_{DS} = V_{GS} - V_T = V_{GT}$, que separa les zones de saturació i òhmica.



El **NMOS** es pot utilitzar com a dispositiu amplificador quan treballa en saturació, i com a **inversor** si ho fa en **tall** ($V_{GS} = 0$) i

òhmica ($V_{GS} = V_{DD}$). Tanmateix, com s'indica a la figura (punt d), el fet de que V_{DS} no s'anul·li quan $V_{GS} = V_{DD}$, limita l'eficiència dels NMOS com a dispositius inversors.

A aquesta animació del professor Holburn de Cambridge se simula el funcionament d'un NMOS per diferents zones de treball (tall, òhmica i saturació). En particular es visualitza la correlació entre la corba característica (V_{DS} , I_D) i el comportament del canal en funció de la tensions V_{DS} i V_{GS} .

<http://www-g.eng.cam.ac.uk/mmg/teaching/linearcircuits/mosfet.html>

Fer problema 14 de la col·lecció

14. Per un transistor NMOS d'enriquiment amb $V_T = 2 \text{ V}$ circula un corrent de 1 mA quan $V_{GS} = V_{DS} = 3 \text{ V}$. Determineu:

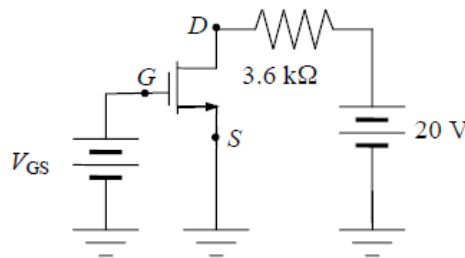
- el valor del corrent quan $V_{GS} = 4 \text{ V}$ i $V_{DS} = 5 \text{ V}$
- el valor de la resistència r_{DS} quan $V_{GS} = 4 \text{ V}$

Fer problema 18 de la col·lecció

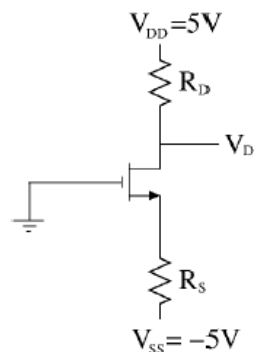
18. Quan $V_{GS} = 5 \text{ V}$, el MOS del circuit de la figura està en la regió de saturació i

$I_D = 1 \text{ mA}$. Si la seva tensió llindar és $V_T = 1 \text{ V}$, trobeu V_{DS} quan

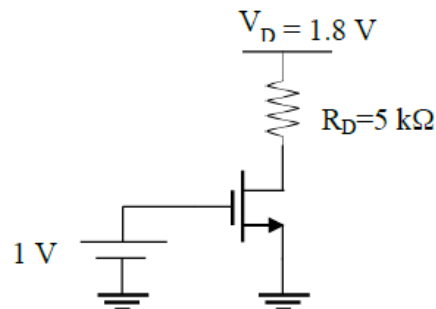
- $V_{GS} = 0 \text{ V}$,
- $V_{GS} = 5 \text{ V}$.
- Si ara augmentem la resistència de drenador a $50 \text{ k}\Omega$ i mantenim $V_{GS} = 5 \text{ V}$, quan valdrà V_{DS} ?

**Fer problema 21 de la col·lecció**

21. Determineu els valors de les resistències del circuit de la figura de forma que la intensitat de drenador sigui de 0.4 mA i $V_D = 1 \text{ V}$. Els paràmetres del transistor són $V_T = 2 \text{ V}$ i $\beta = 800 \mu\text{A/V}^2$.

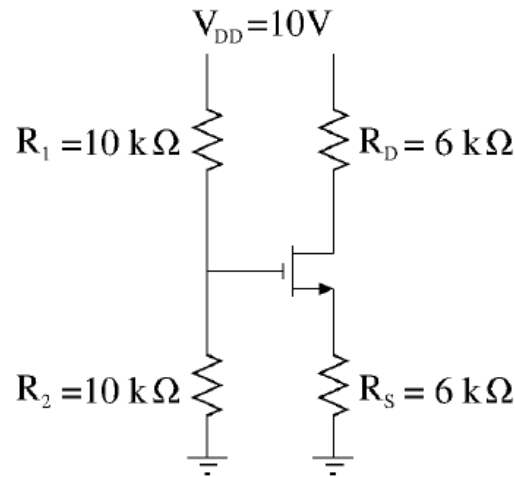
**Fer problema 24 de la col·lecció**

24. Determineu el corrent que circula pel transistor de la figura, caracteritzat per $V_T = 0.4 \text{ V}$ i $\beta = 1100 \mu\text{A/V}^2$. Si la tensió de la porta augmenta en 10 mV , com canvia la tensió del drenador? pot haver-hi amplificació?

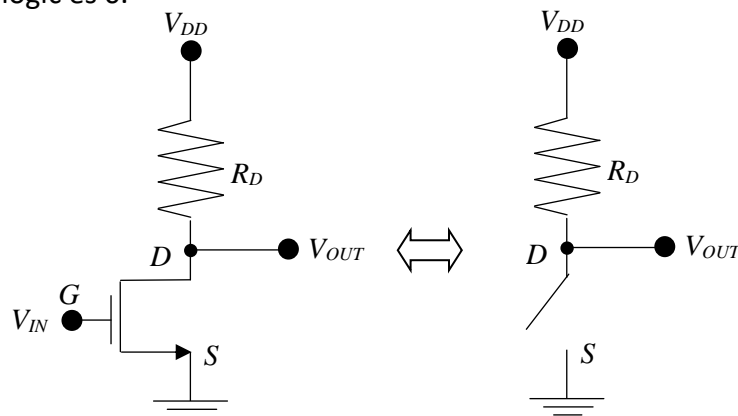
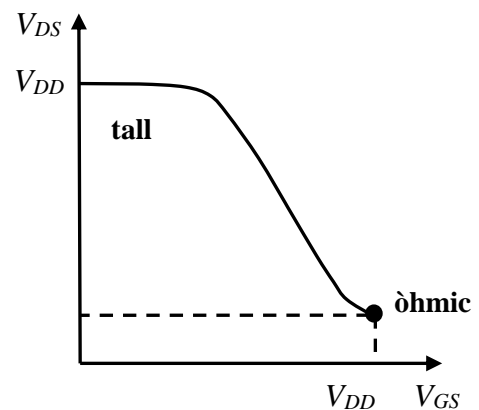


Fer problema 26 de la col·lecció

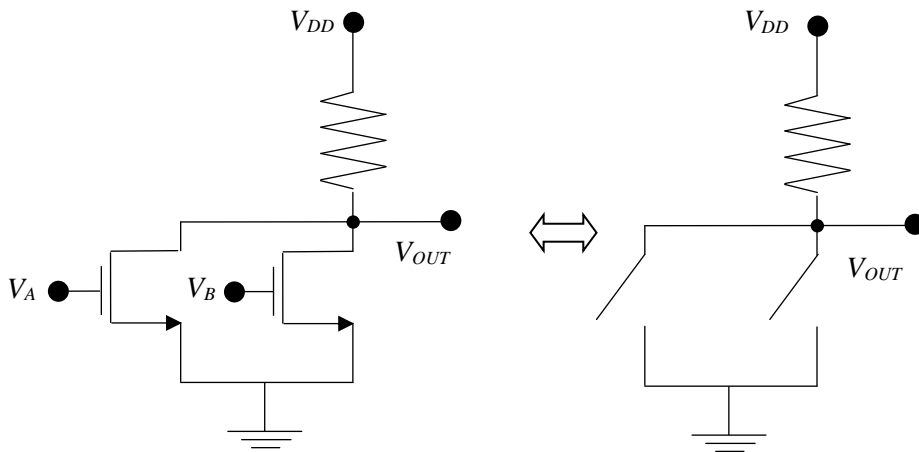
26. Analitzeu el circuit de la figura i determineu les tensions de porta, drenador i font, junt amb la intensitat de drenador. Els paràmetres del transistor són $V_T = 1 \text{ V}$ i $\beta = 1 \text{ mA/V}^2$.

**Portes lògiques amb NMOS****Porta NOT**

- Si $V_{IN} = V_{GS} = 0$, el NMOS està en tall i es comporta com un **interruptor que obre el circuit**. Llavors $V_{OUT} = V_{DD}$, que correspon al valor lògic 1.
- Si $V_{IN} = V_{GS} = V_{DD}$, el transistor està en òhmica i es comporta com un **interruptor que tanca el circuit**, de forma que passa corrent i $V_{OUT} = V_{DS} \sim 0$. El valor lògic és 0.

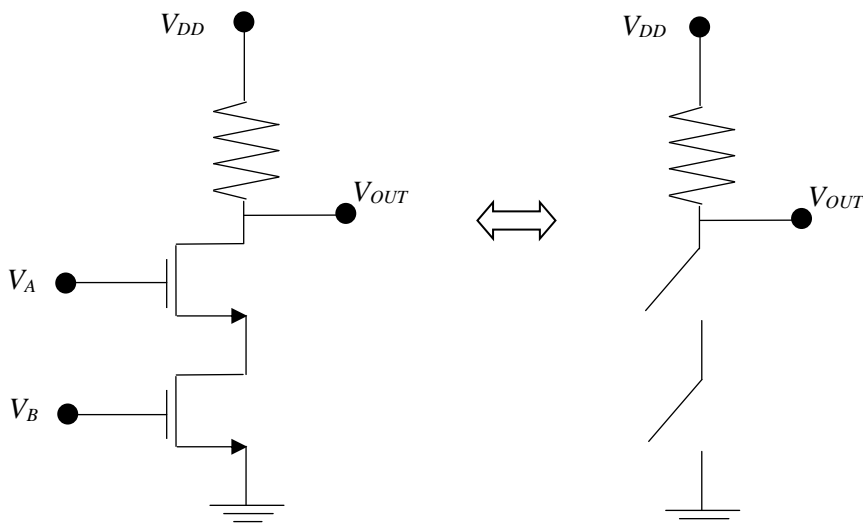
**Portes NOR i NAND**

- Si $V_A = V_B = 0$, els dos NMOS estan en tall. Els dos transistors es comporten com interruptors que obren el circuit i, per tant, $V_{OUT} = V_{DD}$. El valor lògic és, per tant, 1.
- Si $V_A = 0$ i $V_B = V_{DD}$, el transistor A està en tall (interruptor obert) i el B en òhmica (interruptor tancat). En el cas de la porta NOR, a l'estar els NMOS en paral·lel, només cal que un estigui en òhmica perquè passi corrent (tanqui el circuit) i $V_{OUT} \sim 0$, que correspon a un valor lògic 0.

**NOR**

A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0

En el cas de la porta NAND, com els transistors estan en sèrie, el circuit sempre estarà obert. Per tant, en cap cas hi haurà corrent i $V_{OUT} = V_{DD}$. El valor lògic és 1.

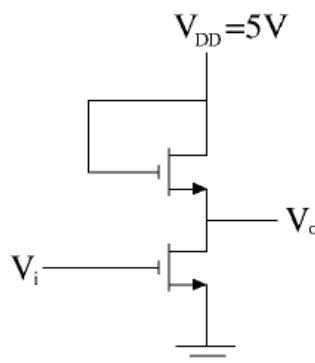
**NAND**

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

- Si $V_A = V_{DD}$ i $V_B = 0$, s'obté el mateix valor lògic del cas anterior, però amb el transistor A estant en òhmica, i el B en tall.
- Si $V_A = V_B = V_{DD}$, els NMOS estan en òhmica, i per tant $V_{OUT} = 0$. El valor lògic és 0.

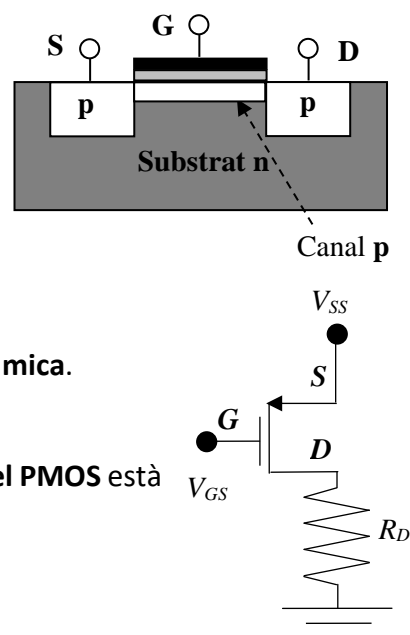
Fer el problema 25 de la col·lecció.

25. Determineu el potencial de sortida de l'inversor de la figura quan: (a) la tensió d'entrada és zero; (b) la tensió d'entrada és 5 V. Els dos transistors estan caracteritzats pels paràmetres: $V_T = 1\text{V}$, $\beta = 40\ \mu\text{A/V}^2$



2. Transistors PMOS

A la figura es mostra l'esquema d'un transistor **PMOS** en la configuració en font comuna. El funcionament és igual al d'un NMOS, però amb **valors negatius** per les tensions: V_{GS} , V_{DS} i V_T . Així, pel cas d'un NMOS, l'emissor S es connecta a terra (potencial mínim); en canvi per un PMOS S es connecta a la font amb tensió V_{SS} (potencial màxim).



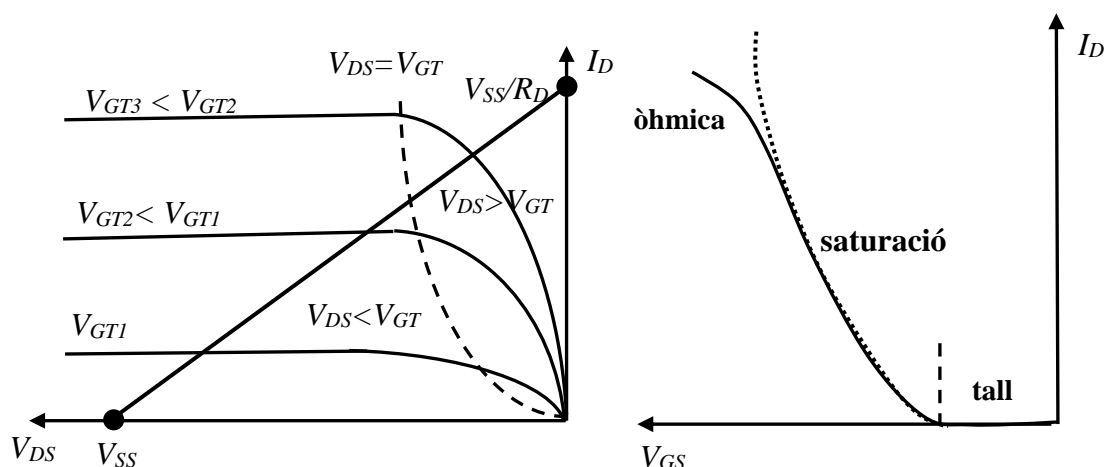
- Si $V_{GS} > V_T$ el PMOS està a la **zona de tall**.
- Si $V_{GS} < V_T$ i $V_{DS} < 0$ i $V_{DS} > V_{GT}$ el PMOS està a la **zona òhmica**.

$$I_D = \beta [V_{GT} V_{DS} - V_{DS}^2 / 2]$$

- Si $V_{GS} < V_T$ i $V_{DS} < 0$, i respecte del cas anterior $V_{DS} < V_{GT}$ el PMOS està a la **zona de saturació**.

$$I_D = \frac{\beta}{2} V_{GT}^2.$$

Les corbes característiques pels PMOS són com les dels NMOS, però al revés.



La característica de transferència es dedueix de la corba (V_{GS}, I_D) aplicant l'equació de la recta de càrrega. És a dir:

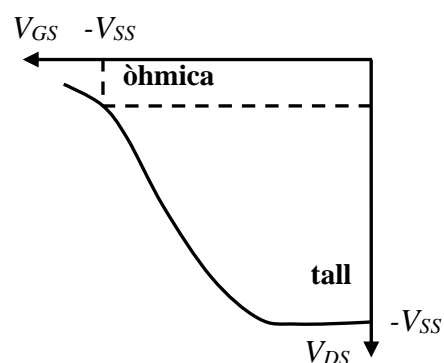
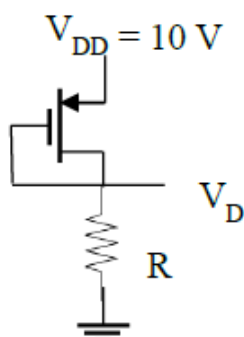
$$V_{SS} = R_D I_D + V_{SD} \rightarrow V_{DS} = R_D I_D - V_{SS}$$

A aquesta simulació de Falstad se simula el funcionament d'un PMOS. Observeu que, com la tensió a la font és de 5 V, i la de tall 1.5 V, el transistor condueix per tensions a la porta inferiors als 3.5 V.

<https://www.falstad.com/circuit/e-pmosfet.html>

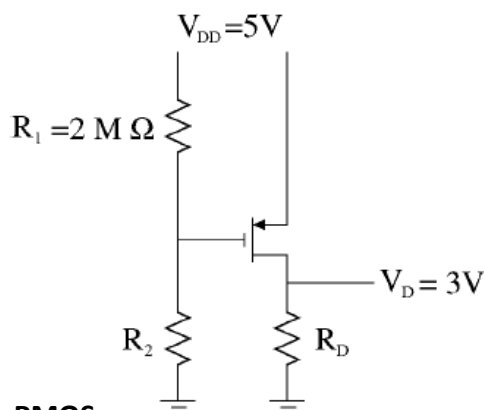
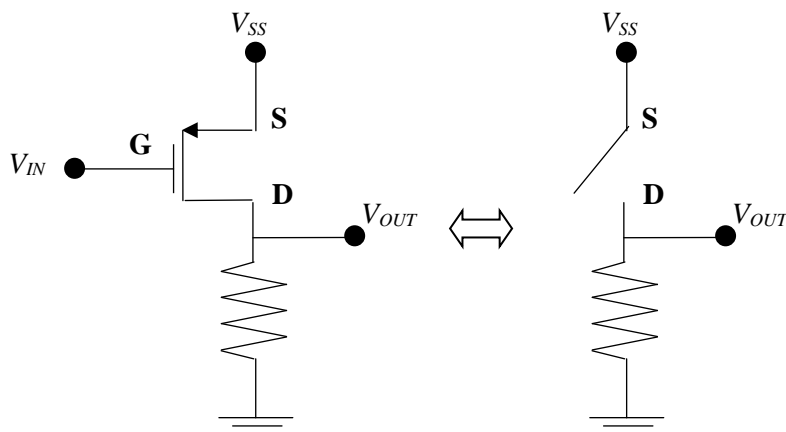
Fer problema 28 de la col·lecció

28. El transistor PMOS de la figura està caracteritzat per $V_T = -2$ V. Determineu els valors de β i R per tal que el corrent sigui de 0.1 mA i $V_D = 7$ V.

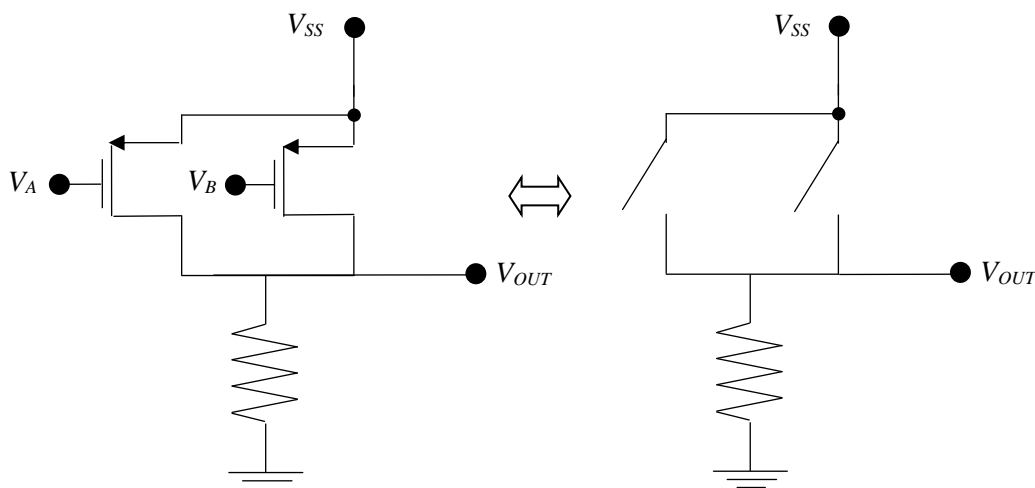


Fer problema 29 de la col·lecció

29. Determineu el valor de les resistències R_2 i R_D de forma que el transistor de la figura operi a la regió de saturació amb una intensitat de 0.5 mA i $V_D = 3 \text{ V}$ ($V_T = -1 \text{ V}$ i $\beta = 1 \text{ mA/V}^2$). Quin és el màxim valor possible de R_D per tal que es mantingui a la regió de saturació?

**Portes lògiques amb PMOS****Porta NOT**

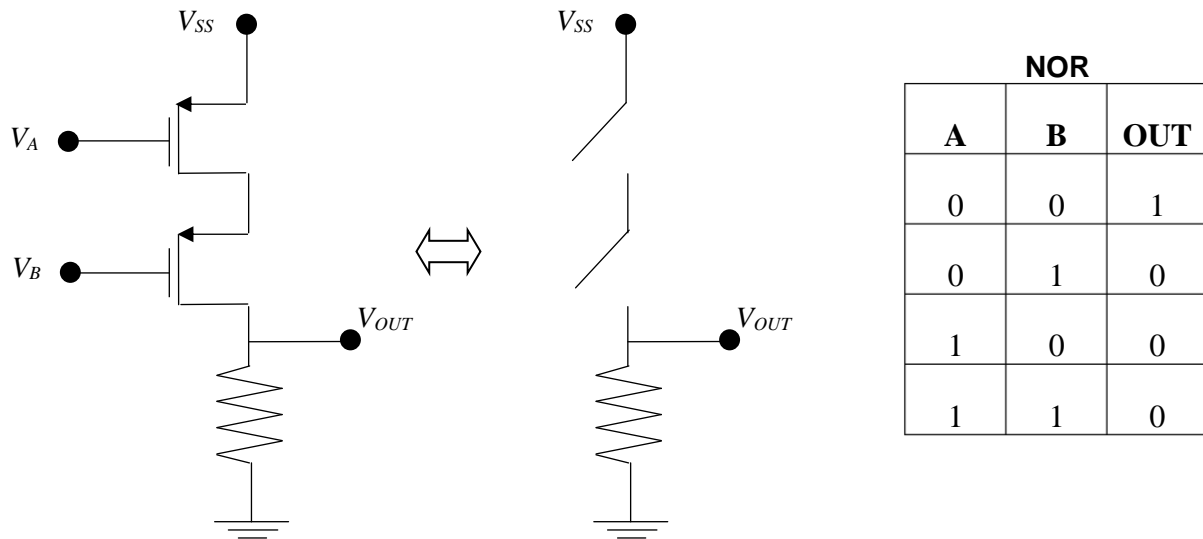
- Si $V_{IN} = 0$, $V_{GS} = V_G - V_S = -V_{SS} < V_T$. El transistor està en òhmica i es comporta com un interruptor que **tanca el circuit**. Com es veu a la corba de la característica de transferència, V_{DS} és petita i negativa. Per tant, la tensió a la sortida és $R_D I_D$. $V_{OUT} = R_D I_D = V_{SS} - V_{SD}$. És a dir $V_{OUT} = V_{SS} + V_{DS} \sim V_{SS}$. Per tant, el valor lògic és 1.
- Si $V_{IN} = V_{SS}$, $V_{GS} = V_G - V_S = V_{SS} - V_{SS} = 0$. El PMOS està en tall ($I_D = 0$) i es comporta com un interruptor que **obre el circuit**. Com es veu a la característica de transferència, $V_{DS} = -V_{SS}$. La tensió a la sortida és: $V_{OUT} = V_{SS} + V_{DS} = 0$ i el valor lògic és 0.

Portes NOR i NAND (En realitat és el problema 34)**NAND**

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

- Si $V_A = V_B = 0$, els dos PMOS estan en òhmica (interruptors tancats). La tensió a la sortida és $V_{OUT} = V_{SS} + V_{DS} \sim V_{SS}$. El valor lògic és, per tant, 1.
- Si $V_A = 0$ i $V_B = V_{SS}$, el transistor A està en òhmica (interruptor tancat) i el B en tall (interruptor obert). En el cas de la porta NAND, a l'estar els PMOS en paral·lel, només cal que un estigui en òhmica (interruptor tancat) perquè $V_{OUT} = V_{SS}$, que correspon a un valor lògic 1.

En el cas de la porta NOR com els transistors estan en sèrie, el circuit està obert, no hi haurà corrent i la tensió a la sortida serà 0. El valor lògic serà, per tant, 0.

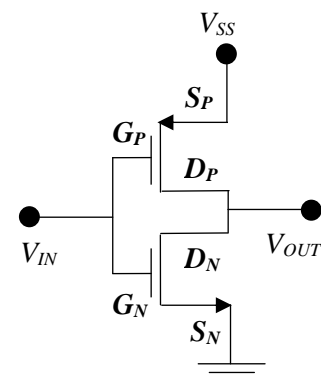


- Si $V_A = V_{SS}$ i $V_B = 0$, s'obté el mateix valor lògic del cas anterior, però amb el transistor A estant en tall i el B en òhmica.
- Si $V_A = V_B = V_{SS}$, els PMOS estan en tall, i per tant $V_{OUT} = 0$. El valor lògic és, per tant, 0.

3.7 Inversor CMOS (1 h T)

La **Complementary Metall Oxide Semiconductor (CMOS)** és una tecnologia per construir circuits integrats basada en l'ús de transistors **NMOS** i **PMOS**. Va ser patentada per Frank Wanlass el 1967, i degut a la facilitat de **miniaturització, alta immunitat al soroll i baix consum**, s'utilitza per fabricar microprocessadors, microcontroladors, **memòries SRAM, circuits de lògica digital**, etc.

Un inversor CMOS. Està format per un **NMOS** i un **PMOS** amb **les portes (G_P i G_N) i els drenadors (D_P i D_N) connectats**. Prenent com a referència la font del NMOS (S_N), la font del PMOS (S_P) està a un potencial V_{SS} , el senyal d'entrada, que s'introdueix per les portes, a V_{IN} , i el de sortida, que es recull als drenadors, a V_{OUT} . Si varia V_{IN} , s'observa:



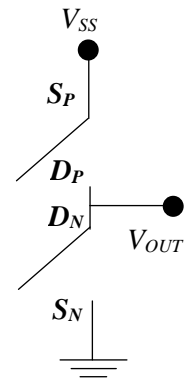
- Si $V_{IN} = 0$, per una banda $V_{GNSN} < V_T$, el **NMOS està en tall**. És com si l'**interruptor de baix estigués obert**. D'altra banda, $V_{SPGP} = V_{SS}$ i el **PMOS està en òhmica**. És com si l'**interruptor de dalt estigués tancat**. Per tant, $V_{OUT} = V_{SS}$.

- Si $V_{IN} = V_{SS}$, per una banda $V_{GNSN} = V_{SS}$, i el **NMOS** està en òhmica. És com si l'interruptor de baix estigués tancat. D'altra banda, $V_{SPGP} = 0$, el **PMOS** està en tall. És com si l'interruptor de dalt estigués obert. Per tant, $V_{OUT} = 0$.

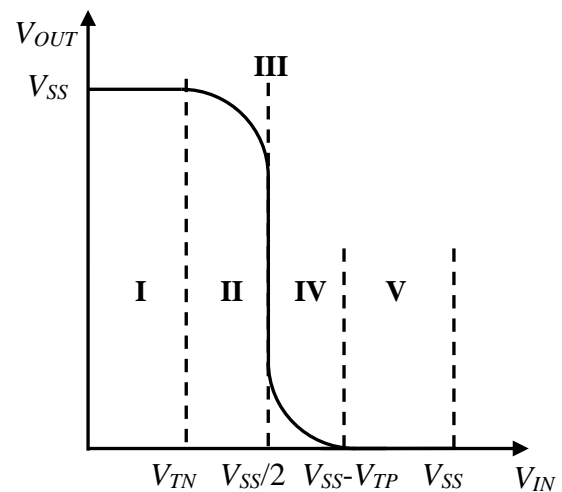
Observem també que el **PMOS** i el **NMOS** actuen de forma **complementària (CMOS)**: quan un està en tall l'altre està en saturació. És a dir quan un interruptor està obert l'altre està tancat.

A aquesta animació del professor Rousseau es mostren un NMOS i un PMOS (opció transistors MOS) i el seu comportament com a interruptor quan les entrades són 1 i 0. Quan s'activa l'opció Inverseur se simula un CMOS, observeu també en aquests cas el comportament complementari dels dos transistors quan les entrades són 1 i 0.

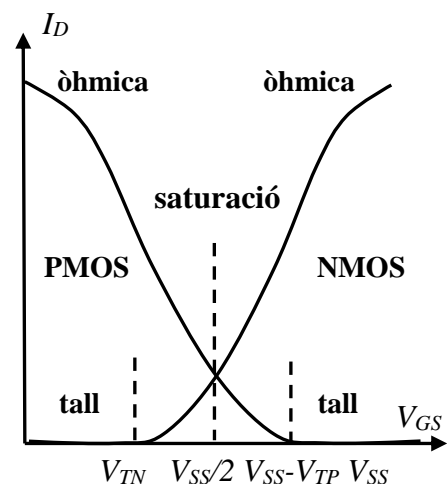
<http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/electro/logiCmos.html>



La **característica de transferència** del inversor es mostra a la figura. La **regió I** correspon a $V_{IN} < V_{TN}$, on el NMOS està en **tall** (V_{TN} és la seva tensió de tall) i el PMOS en òhmica. A la **regió II** $V_{IN} > V_{TN}$, el **NMOS** està en **saturació** i el **PMOS** en òhmica. A la **regió III** els dos transistors estan en saturació, $V_{IN} = V_{SS}/2$ i V_{OUT} disminueix de forma abrupta. A la **regió IV** es verifica $V_{SS}/2 < V_{IN} < V_{SS} - V_{TP}$, el **NMOS** està en òhmica i el **PMOS** en saturació (V_{TP} és la tensió de tall del PMOS). A la **regió V** es compleix que $V_{IN} > V_{SS} - V_{TP}$, el **NMOS** està en òhmica i el **PMOS** en tall.



Respecte del NMOS, com que a partir de $V_{IN} = V_{SS} - V_{TP}$ tant la intensitat com V_{OUT} s'anul·len, i per $V_{IN} < V_{TN}$ la intensitat es nul·la i $V_{OUT} = V_{SS}$, l'**inversor CMOS** és un dispositiu ideal per ser utilitzat com a **commutador**. A més, en aquestes situacions, **no es dissipa energia per efecte Joule**. Per intentar explicar les diferents zones s'inclou una figura amb les corbes característiques (V_{GS} , I_D) d'un NMOS i un PMOS connectats a una resistència en configuració en font comuna. Salvant les distàncies, ja que en un cas la resistència és fixa, i en el cas d'un CMOS les resistències són variables, ens podem fer una idea de l'origen de les 5 zones que es descriuen a la característica de transferència.

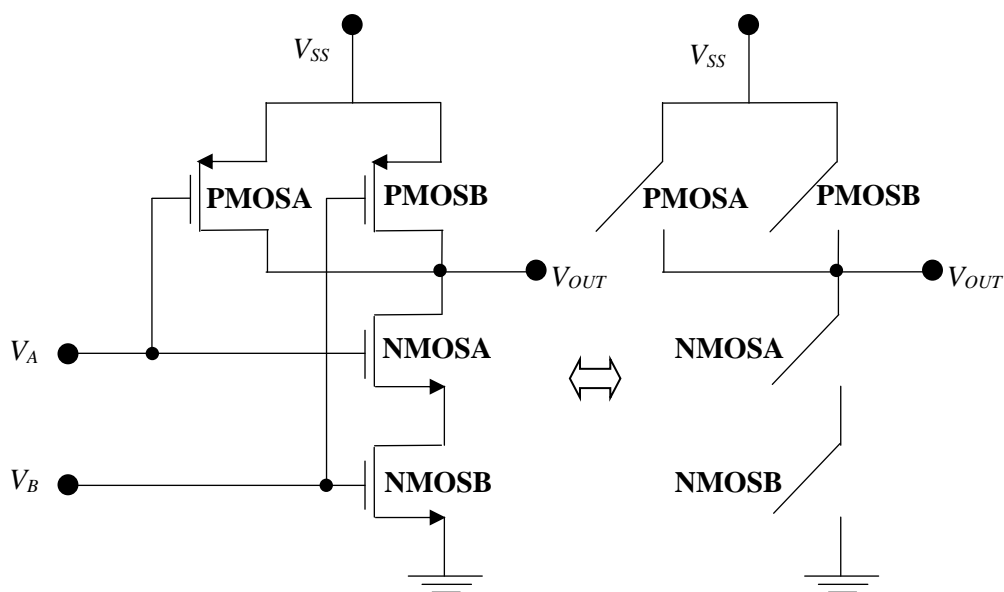
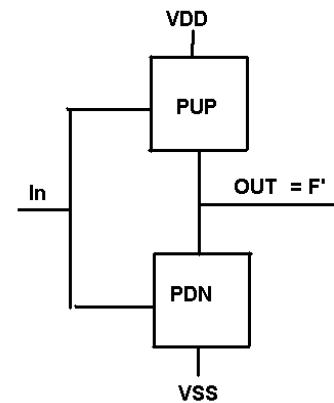


3.8 Lògica CMOS (1 h T + 30' P) (en realitat 3h)

Observem que pel cas de l'inversor CMOS, quan $V_{IN} = 0$ el transistor PMOS fa pujar la tensió a la sortida $V_{OUT} = V_{SS}$, en el llenguatge dels CMOS es diu que el **PMOS és un PULL UP** (tanca el circuit per dalt). Per contra, quan $V_{IN} = V_{SS}$ el transistor NMOS fa baixar la tensió a la sortida $V_{OUT} = 0$, i es diu que el **NMOS és un PULL DOWN** (tanca el circuit per baix). Observem també que el PMOS i NMOS actuen de forma **complementària**: quan

un està en tall l'altre està en saturació. És a dir quan un interruptor està obert l'altre està tancat.

Els circuits de lògica CMOS consisteixen en una xarxa de transistors PMOS (PULL UP) i NMOS (PULL DOWN), que treballen de forma complementària. A les figures es mostren els esquemes i les taules de veritat corresponents a les funcions lògiques **NAND** i **NOR** construïdes amb **dos** transistors **PMOS** (PMOSA i PMOSB) i **dos** **NMOS** (NMOSA i NMOSB). Com en el cas de l'inversor CMOS, les portes dels PMOSA i NMOSA, i les dels PMOSB i NMOSB estan connectades, i és per on s'introdueixen els senyals d'entrada. En funció de les tensions V_A i V_B aplicades a aquestes, a la sortida tenim:

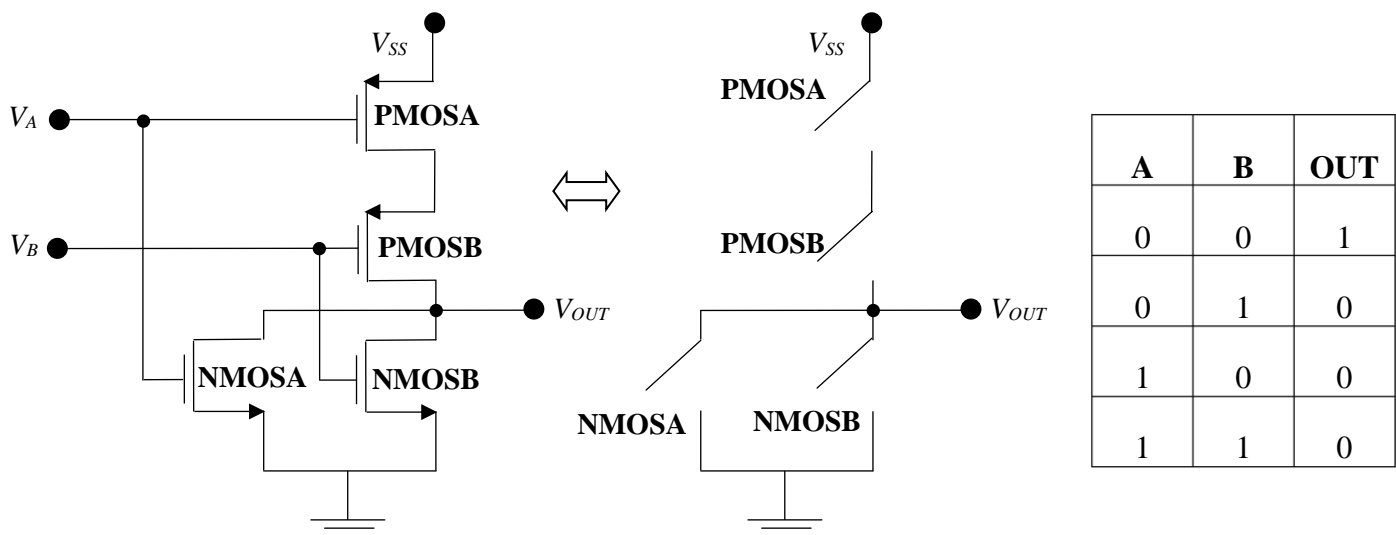
**NAND**

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

- Si $V_A = V_B = 0$, els NMOS estan en tall (interruptors oberts) i els PMOS en òhmica (interruptors tancats), i per tant $V_{OUT} = V_{SS}$. El valor lògic és, per tant, 1.
- Si $V_A = 0$ i $V_B = V_{DD}$, el transistor NMOSA està en tall (interruptor obert), el PMOSA en òhmica (interruptor tancat), el NMOSB en òhmica (interruptor tancat) i el PMOSB en tall (interruptor obert). En el cas de la porta NAND, a l'estar els PMOS en paral·lel i els NMOS en sèrie, només cal que un dels PMOS estigui en òhmica (interruptor tancat) perquè $V_{OUT} = V_{SS}$, que correspon a un valor lògic 1.

Pel cas de la porta NOR, com els PMOS estan en sèrie i els NMOS en paral·lel, només cal que hi hagi un NMOS en tall perquè $V_{OUT} = 0$, que correspon a un valor lògic 0.

- Si $V_A = V_{SS}$ i $V_B = 0$, s'obté el mateix valor lògic del cas anterior, però amb el transistor NMOSA estant en òhmica (interruptor tancat), el PMOSA en tall (interruptor obert), el NMOSB en tall (interruptor obert) i el PMOSB en òhmica (interruptor tancat).
- Si $V_A = V_B = V_{SS}$, els NMOS estan en òhmica (interruptors tancats) i els PMOS en tall (interruptors oberts), i per tant $V_{OUT} = 0$. El valor lògic és, per tant, 0.



Per tenir les portes lògiques **AND** i **OR** només cal negar les funcions lògiques anteriors connectant un CMOS a continuació dels muntatges anteriors.

A l'animació del professor Rousseau es mostren les portes lògiques NAND, NOR, AND i OR implementades amb CMOS. Observeu el comportament complementari dels transistors quan les entrades són 1 i 0. A l'animació els transistors estan en òhmica quan estan acolorits (vermell PMOS i blau NMOS).

<http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/electro/logiCmos.html>

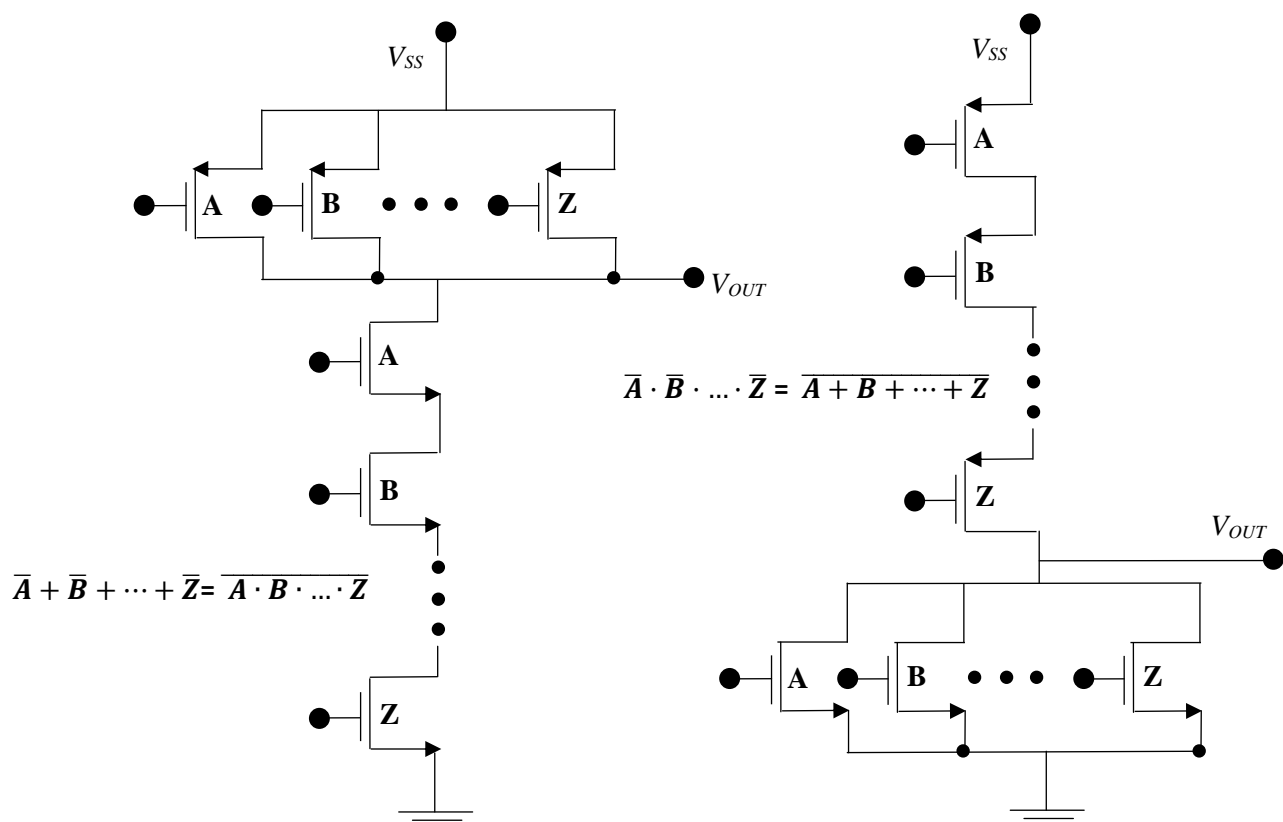
Fer problema 37 de la col·lecció

37. Construïu una porta AND i una OR utilitzant lògica CMOS.

Per resoldre problemes més complexos són molt útils les lleis de De Morgan. La primera diu que el producte de n variables globalment negades és igual a la suma de les n variables negades individualment:

$$\overline{A \cdot B \cdot \dots \cdot Z} = \bar{A} + \bar{B} + \dots + \bar{Z}$$

Com sabem un CMOS és un inversor. Per tant, cada entrada en un CMOS està negada. Per tant, per implementar: **No(A) + No(B) + ... + No(Z)**, els transistors de la part **PMOS** s'associen en **paral·lel**, mentre que els de la part **NMOS** en **sèrie**.



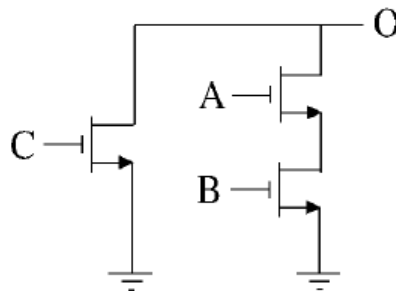
La segona llei de De Morgan diu que la suma de n variables globalment negades és igual al producte de les n variables negades individualment:

$$\overline{A + B + \dots + Z} = \bar{A} \cdot \bar{B} \cdot \dots \cdot \bar{Z}$$

Per implementar: $\text{No}(\mathbf{A}) \cdot \text{No}(\mathbf{B}) \cdot \dots \cdot \text{No}(\mathbf{Z})$, els transistors de la part **PMOS** s'associen en **sèrie**, mentre que els de la part **NMOS** en **paral·lel**.

Fer problema 38 de la col·lecció

38. Determineu el circuit PULL-UP corresponent al PULL-DOWN del circuit de la figura i la funció lògica que implementa el circuit CMOS resultant.



Fer problema 39 de la col·lecció

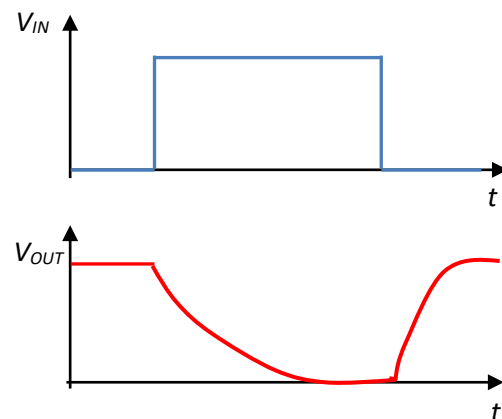
39. Construïu, amb lògica CMOS, el circuit que implementa $A+B+C$, i la modificació que cal per obtenir $A+B+C$.

Fer problema 40 de la col·lecció

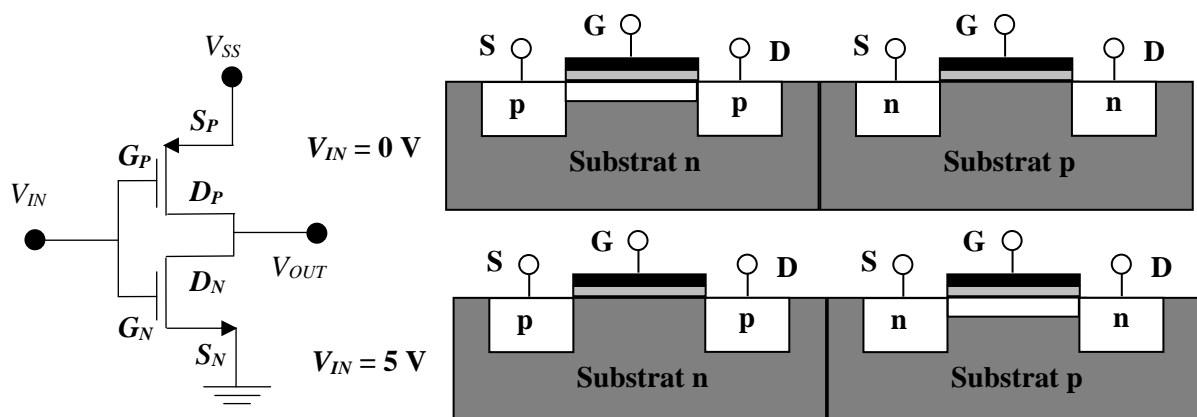
40. Feu un esquema del circuit CMOS que implementa la funció lògica $\overline{A(B+CD)}$.

3.9 Retard i potència en circuits digitals (1h)

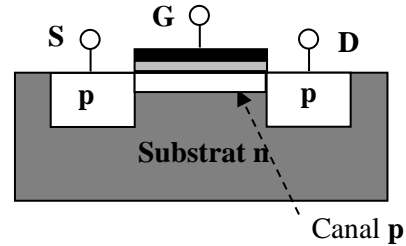
A la figura de la dreta es comparen els senyals d'entrada i sortida d'un inversor CMOS quan el senyal d'entrada canvia de 0 a 5 V i viceversa. S'observa que hi ha un **retard (delay)** entre la sortida i l'entrada, que és bàsicament degut a que els **canals** que hi ha sota les portes, quan els PMOS i NMOS estan en òhmica, **triguen un temps a desaparèixer** quan passen a estar en tall i a **crear-se** quan els transistors passen de tall a òhmica.



Com s'indica a la figura de sota, quan l'entrada passa de 0 a 5 V, el canal al PMOS desapareix, ja que aquest passa de zona òhmica a tall. A la vegada, al NMOS es crea un canal al passar de tall a òhmica. El **procés no és instantani** i es pot **modelitzar** com el de la **càrrega i descàrrega d'un condensador**, tòpic que s'estudià al tema 2 (circuit RC).



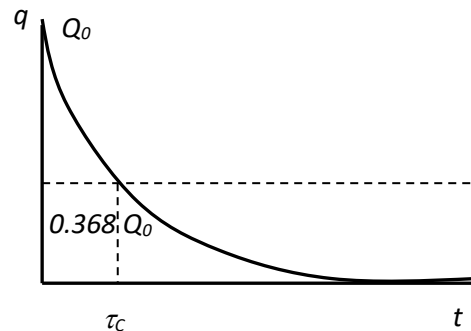
Si ens centrem en el PMOS, tenim que la càrrega acumulada al canal quan està en òhmica (és a dir quan $V_{IN} = 0$), seria com la d'un condensador de capacitat C (de l'ordre de 1 fF) al que se li aplica una diferència de potencial entre plaques $V_{GT} = V_{GS} - V_T$. A més, com $V_G = 0$ V, $V_S = V_{SS}$ i la tensió de tall és aproximadament un 20% de la tensió V_{SS} , tenim que $V_{GT} = V_{SS} - 0.2V_{SS} = 0.8V_{SS}$. Per tant, la càrrega sota la porta del PMOS, quan està en zona òhmica, és: $Q_0 = CV_{GT} = 0.8CV_{SS}$.



Quan la tensió d'entrada es commuta de 0 a 5 V, $V_G = 5$ V. A més, com $V_S = 5$ V i el drenador fa un instant que estava a 5V, tenim que $V_D = 5$ V. Així doncs, es verifica que $V_{DS} = V_{GS} = 0$ V. Si la tensió de tall és $V_T = -1$ V, tenim que $V_{DS} = 0 < V_{GT} = 1$. Per tant, just quan a l'entrada es passa de 0 a 5 V, el PMOS està en saturació i el condensador que hi ha sota la porta es descarrega a una intensitat que correspon a la de saturació $I_0 = I_D = \frac{\beta}{2} V_{GT}^2 = \frac{\beta}{2} (0.8V_{SS})^2$

Recordem que en un circuit RC (tema 2) la càrrega i la intensitat varien d'acord amb les expressions: $q(t) = Q_0 e^{-t/\tau_c}$ i $I = -\frac{dq}{dt} = \frac{Q_0}{\tau_c} e^{-t/\tau_c}$. És a dir, la intensitat inicial és: $I_0 = \frac{Q_0}{\tau_c}$. Per tant, podem determinar la constant de temps:

$$\tau_c = \frac{Q_0}{I_0} = \frac{0.8CV_{SS}}{\frac{\beta}{2}(0.8V_{SS})^2} = \frac{2C}{0.8\beta V_{SS}}$$



Si definim el **temps de retard (propagation delay t_P)** com el temps que triga el condensador a descarregar-se la meitat (o carregar-se a la meitat), tenim:

$$q(t) = \frac{Q_0}{2} = Q_0 e^{-\frac{t_P}{\tau_c}} \rightarrow t_P = -\tau_c \ln 2 = -\frac{2C \ln 2}{0.8\beta V_{SS}} = \frac{1.7C}{\beta V_{SS}}$$

Un inversor CMOS **no consumeix energia** en **ESTÀTICA** (quan està als estats 1 i 0), però **sí que ho fa quan els canals es creen o es destrueixen (DINÀMICA)**. L'energia acumulada per un condensador de capacitat C que està a una diferència de potencial V és: $1/2CV^2$. En el cas d'un condensador que fa **un cicle complet de càrrega i descarrega** a una tensió V_{SS} , la **variació d'energia** és: $1/2CV_{SS}^2 + 1/2CV_{SS}^2 = CV_{SS}^2$. Com la potència és $P = U/t$, la potència dissipada en un període T és:

$$P = \frac{U}{T} = fU = fCV_{SS}^2.$$

Fer problema 33 de la col·lecció

33. Un inversor CMOS en un circuit VLSI opera a una tensió de font de 5 V i està caracteritzat per $\beta_P = \beta_N = 0.04$ mA/V², i $V_{TN} = 1$ V, $V_{TP} = -1$ V. Si la capacitat de càrrega és de 0.1 pF, determineu:

a) els temps de retràs.

b) si l'entrada passa sobtadament de 5 V a 0V, el temps que triga la sortida per arribar a 4.8 V, assumint el comportament típic d'un circuit RC ($t_P = \tau \ln 2$).

Fer problema 32 de la col·lecció

32. La capacitat de càrrega efectiva d'un inversor CMOS és de 70 fF, i està connectat a una tensió $V_{DD} = 5$ V. Els paràmetres corresponents al NMOS i PMOS són: $\beta_P = \beta_N = 0.1 \text{ mA/V}^2$, $V_{TN} = 1$ V, $V_{TP} = -1$ V. Determineu:

- a) el valor dels temps de retràs t_{PHL} , t_{PLH} i t_P .
- b) si s'augmenta la capacitat en 0.1 pF, com canviaran els temps de retràs
- c) la potència dinàmica que dissipa en aquest cas si el rellotge va a una freqüència de 100 MHz?
- d) si l'entrada passa sobtadament de 0 a 5 V, el temps que trigarà la sortida a baixar a 0.1 V assumint el comportament típic d'un circuit RC ($t_P = \tau \ln 2$).

