

# PRÁCTICA 1. Trabajo previo

## Análisis del tiempo de propagación de circuitos combinacionales y síntesis en suma de minterms de dispositivos sencillos (Xor y Half-adder)

### Objetivos que se deben haber alcanzado antes de realizar la práctica

Antes de preparar esta práctica se deben haber alcanzado los objetivos específicos que se indican en la siguiente tabla. Para ello, es recomendable haber estudiado las secciones de la documentación que se indican en la primera columna de la tabla.

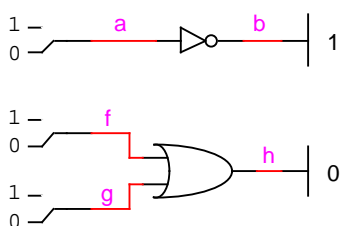
Secciones de la documentación a estudiar	Objetivos específicos a alcanzar
Capítulo 3: Secciones de la 3.3.1 a la 3.3.4 Sección 3.4	3.6, 3.7.1 3.12, 3.13

Estos objetivos serán evaluados en el informe previo que debéis entregar al inicio de la sesión de laboratorio y en la prueba previa individual que se hará al inicio de la sesión.

### 1.1 Las puertas lógicas básicas. Comportamiento temporal

En la práctica anterior nos familiarizamos con el funcionamiento **a nivel lógico** de las tres puertas básicas *Not*, *And* y *Or* que usaremos para construir circuitos combinacionales más complejos. En esta sección vamos a familiarizarnos con el comportamiento temporal de las puertas de nuestra librería y obtener su tiempo de propagación. A continuación os damos el resultado de este análisis para las puertas *Not-1* y *Or-2*, pero en el laboratorio (en el trabajo final) tendréis que hacer vosotros este análisis para la puerta *And-2*.

A continuación podéis ver un circuito muy simple que hemos creado para este análisis que contiene las puertas *Not-1* y *Or-2* sin conectar entre sí. Cada puerta tiene un Binary Switch en cada entrada y un Binary Probe en la salida (que ya usasteis en la Práctica 0. Fijaos que como hemos usado un mismo circuito para poner las tres puertas hemos dado nombres distintos a todas las señales.



Como veremos en el laboratorio, en el trabajo final, usando el simulador LogicWorks, podemos dar valores lógicos a las entradas, haciendo clic en los Binary Switch. Incluso se pueden cambiar los valores de varias entradas a la vez, en el mismo instante de tiempo. Por último, usando los cronogramas se puede medir el tiempo desde que se cambian los valores de las entradas hasta que esto provoca un cambio en una salida del circuito. Cómo se hace esto lo veremos en el laboratorio. Ahora veamos, en primer lugar, el resultado de este análisis para la puerta *Not-1*. El análisis es exhaustivo porque vamos a ver cómo se comporta temporalmente la salida ante cualquier cambio posible de las señales de entrada.

Denominamos  $t$  al instante de tiempo en que se produce un cambio en el valor de la entrada "a" de la puerta *Not-1*. La primera y la segunda columna de la siguiente tabla muestran el valor de la entrada un instante antes ( $t-\Delta t$ ) y un instante después ( $t+\Delta t$ ) de producirse el cambio, respectivamente. Llamamos por  $d$  (*delay*) al número de unidades de tiempo tales que la salida se estabiliza al valor correcto en el instante  $t+d$ . En este caso  $d$  vale 10 u.t. ya que la salida "b" ha cambiado de 1 a 0 pasadas 10 unidades de tiempo desde que la entrada ha pasado de 0 a 1. Para el cambio de la entrada de 1 a 0,  $d$  también vale 10. Esto se muestra en la siguiente tabla.

Valor de la entrada "a" en $t-\Delta t$	Valor de la entrada "a" en $t+\Delta t$	d (delay)
0	1	10
1	0	10

Si repetimos el análisis anterior para la puerta Or-2 obtenemos la siguiente tabla:  
(En la columna d (delay), hemos puesto entre paréntesis n.c. en el caso en que la salida no cambia, en cuyo caso el retardo es 0, porque se estabiliza al valor correcto en el mismo instante en que se produce el cambio de las entradas)

Valor de las entradas "f" y "g", (f, g) en $t-\Delta t$	Valor de las entradas "f" y "g", (f, g) en $t+\Delta t$	d (delay)
(0, 0)	(0, 1)	20
	(1, 0)	20
	(1, 1)	20
(0, 1)	(0, 0)	20
	(1, 0)	0 (n.c.)
	(1, 1)	0 (n.c.)
(1, 0)	(0, 0)	20
	(0, 1)	0 (n.c.)
	(1, 1)	0 (n.c.)
(1, 1)	(0, 0)	20
	(0, 1)	0 (n.c.)
	(1, 0)	0 (n.c.)

Acabamos de ver, para las puertas básicas de nuestra librería Not-1 y Or-2 el tiempo que tardan en propagarse los cambios de valor de las señales desde las entradas hasta la salida. Observamos varias cosas que tienen las siguientes consecuencias:

1. Cuando un cambio en una entrada produce un cambio en la salida, el tiempo que tarda en propagarse el cambio a la salida es el mismo si la salida pasa de 0 a 1 que si pasa de 1 a 0. Por ello, cuando hablemos de **tiempo de propagación (Tp)** no distinguiremos entre los dos casos posibles, a diferencia de lo que ocurre en el mundo real.
2. El comportamiento temporal (y lógico) que se produce en la salida de la Or-2 a consecuencia de un cambio en una entrada depende del valor lógico de la otra entrada. Por ejemplo, cuando la entrada "f" pasa de 0 a 1
  - si la entrada "g" vale 1 no se produce cambio en la salida y decimos que en este caso el tiempo de propagación es 0, mientras que
  - si la entrada "g" vale 0 sí que se produce cambio en la salida y el tiempo de propagación es de 20 u.t.

A pesar de ello, cuando hablemos de **tiempo de propagación desde una entrada a la salida (Tp<sub>f-h</sub>, Tp<sub>g-h</sub>)** no tendremos en cuenta las diferencias según el valor de la otra entrada, sino que consideraremos el caso peor, en el que la otra entrada tiene el valor que hace que se produzca un cambio en la salida.

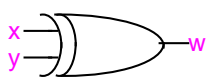
3. En la puerta Or-2 el tiempo de propagación desde una entrada a la salida es el mismo para cualquiera de las dos entradas. Por ello, no diferenciaremos entre tiempo de propagación desde la entrada f o desde la entrada g, sino que hablaremos de **tiempo de propagación de la puerta (Tp)**.

## 1.2 La puerta Xor de 2 entradas (Xor-2)

Ahora vamos a diseñar un circuito combinacional usando las puertas Not-1, And-2 y Or-2 de nuestra librería. Este circuito es muy sencillo y se denomina puerta Xor de 2 entradas. Se dice que es una puerta porque también tiene solamente 1 salida (implementa una sola función lógica) y pocas entradas.

## 1.2.1 Especificación

De entre las 16 posibles puertas de dos entradas (funciones lógicas de dos entradas), la puerta Xor es una de las más interesantes. Entre otras cosas, la usaremos para construir en la siguiente sección un Half-adder, que a su vez usaremos en la práctica 2 para construir un Full-adder con el cual construiremos un sumador de números de 16 bits. El nombre que tiene en nuestra librería la puerta Xor de dos entradas, su símbolo, la tabla de verdad que la define y la notación usada para la operación lógica que implementa, se muestran a continuación.

Xor-2		<table><tr><th>x</th><th>y</th><th>w</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	w	0	0	0	0	1	1	1	0	1	1	1	0	$w = x \oplus y$
x	y	w																
0	0	0																
0	1	1																
1	0	1																
1	1	0																

¿Os suena esta tabla de verdad? Claro que sí, es la del circuito C-P0 que implementamos y analizamos en la práctica 0. Ahora ya sabemos que a esta función se la denomina Xor y vamos a usar este nombre y el símbolo usual de la figura anterior para referirnos a esta función.

En la práctica 0 hicimos el análisis lógico de un circuito formado por 2 puertas Not-1, dos And-2 y dos Or-2 y obtuvimos como resultado esta misma tabla de verdad. Dado un circuito con puertas sabemos encontrar su tabla de verdad, pero dada la tabla de verdad ¿sabemos encontrar un circuito con puertas que la implemente? A esto se le llama síntesis de circuitos. Como ya sabemos del estudio del álgebra de Boole, hay muchas expresiones lógicas equivalentes para una misma función lógica. Así que, dada una tabla de verdad, podemos encontrar muchas expresiones lógicas de la función especificada por la tabla. Para cada expresión lógica (expresión con operaciones Not, And y Or) podemos encontrar una implementación directa usando puertas Not, And y Or.

De los muchos circuitos distintos que pueden sintetizar una tabla de verdad concreta, en este curso usaremos el circuito que se obtiene de un proceso estándar y que es único para cada tabla de verdad. Este circuito es el que se obtiene directamente de la expresión lógica en suma de minterms, que es única para una función lógica. En la siguiente sección vamos a explicar este proceso de síntesis de circuitos.

## 1.2.2 Síntesis del circuito en suma de minterms

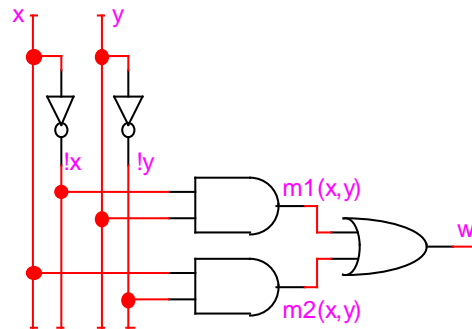
### ➤ Informe previo

#### Pregunta 1

Completad los valores lógicos de las columnas de la siguiente tabla. Cada columna es una función distinta de las variables de entrada,  $x$  e  $y$ . La columna  $m_i(x, y)$  para  $i$  de 0 a 3, representa la función lógica denominada **minterm  $i$  de  $(x, y)$** .

x	y	$\neg x$	$\neg y$	$m_0(x, y) = \neg x \neg y$	$m_1(x, y) = \neg x y$	$m_2(x, y) = x \neg y$	$m_3(x, y) = x y$	$m_1 + m_2 = \neg x y + x \neg y$
0	0							
0	1							
1	0							
1	1							

En la última columna de la tabla anterior se muestra la función  $\neg x y + x \neg y$ , que es la suma de las funciones minterm 1 y 2 de  $(x, y)$ . Fijaos que esta función es precisamente la operación lógica Xor de  $x$  e  $y$ . Esta expresión lógica de la función Xor nos puede servir para implementarla directamente con dos puertas Not (Not-1) para obtener  $\neg x$  e  $\neg y$ , dos puertas And de dos entradas (And-2) para implementar con cada una de ellas el producto de dos variables de los minterms  $m_1$  y  $m_2$  y una Or de dos entradas (Or-2) para sumar los dos minterms. El circuito se muestra en la siguiente figura y es la **implementación en suma de minterms** de la puerta Xor-2.



*Fig. Implementación de la puerta Xor-2 en suma de minterms.*

### 1.2.3 Tiempo de propagación

Vamos a hacer un análisis del comportamiento temporal de la salida del circuito Xor-2 para cualquier cambio de los valores de las entradas, como hemos hecho con las puertas básicas. Como resultado veremos cómo para algunos casos en los que la salida no debería cambiar se produce un glitch, un cambio indeseado en la salida antes de que el valor se estabilice al que indica la tabla de verdad del circuito para los nuevos valores de las entradas. Finalmente, obtenemos el tiempo de propagación desde cada una de las entradas  $x$  e  $y$  hasta la salida  $w$ .

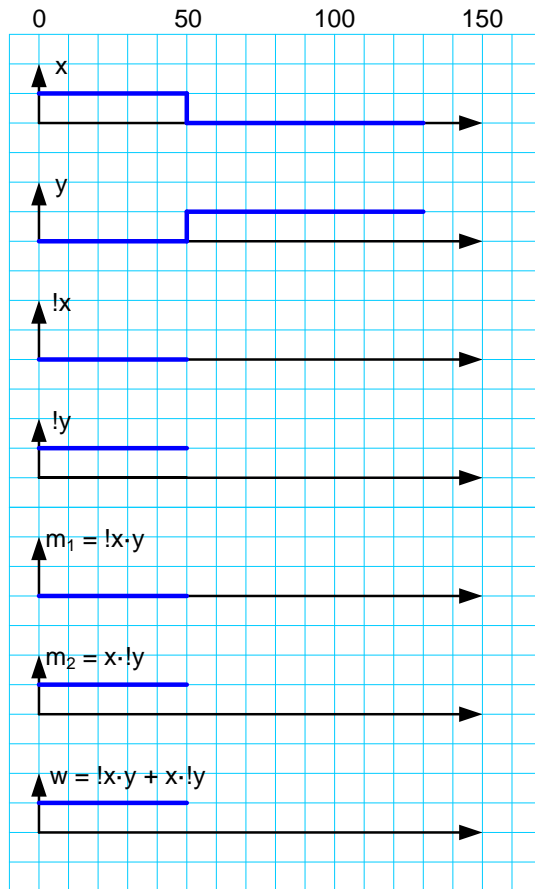
Como el circuito de la Xor-2 tiene dos entradas y una salida, los posibles casos de cambios en las entradas son los mismos que para las puertas And-2 y Or-2: 12 casos. Vamos a hacer, con lápiz y papel, los cronogramas de dos de ellos, para comprobar en el trabajo final, en el laboratorio con el simulador LogicWorks, si los hemos hecho correctamente.

#### ➤ Informe previo Pregunta 2

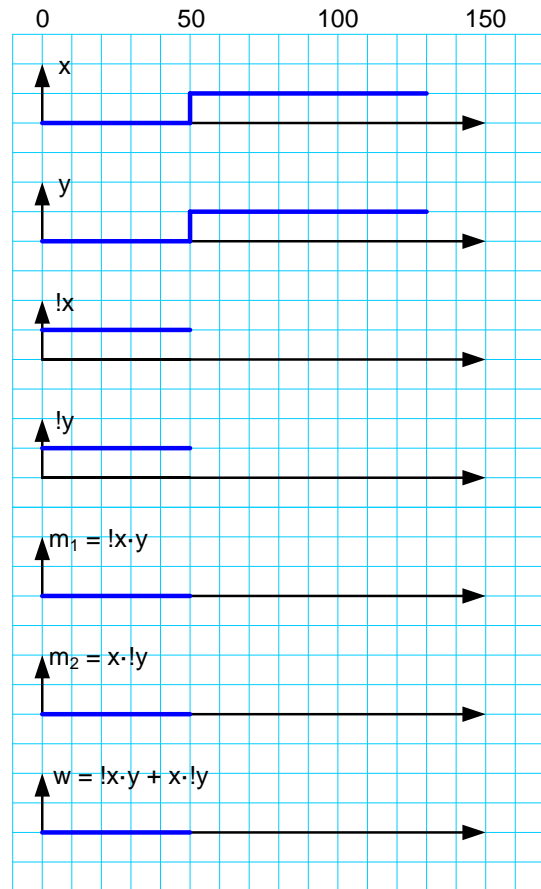
Completad los siguientes cronogramas para el circuito de la puerta Xor-2 en suma de minterms, suponiendo que las puertas Not-1, And-2 y Or-2 tienen un retardo de 10, 20 y 20 u.t. respectivamente. Se analizan dos casos: Caso a, en que  $(x, y)$  pasa de  $(1, 0)$  a  $(0, 1)$  y caso b, en que  $(x, y)$  pasa de  $(0, 0)$  a  $(1, 1)$ .

Debéis llevar al laboratorio una copia de estos cronogramas resueltos ya que son necesarios para responder a una pregunta del informe final.

Caso a: (1, 0) -> (0, 1)



Caso b: (0, 0) -> (1, 1)



La siguiente figura muestra el camino crítico de la entrada y a la salida w (en la figura se han etiquetado las puertas con un nombre para cada una y su tiempo de propagación). Hay dos posibles caminos o trayectorias que van de la entrada y a la salida w:

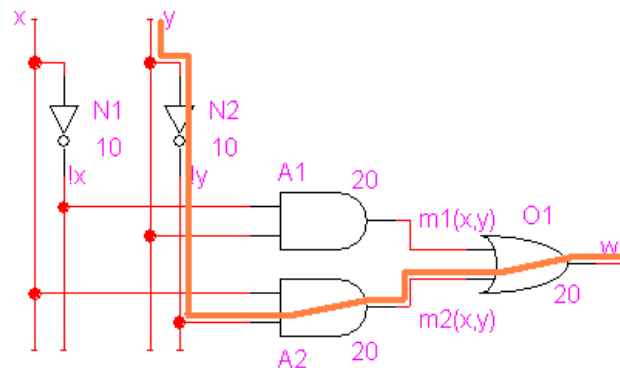
1.  $y \rightarrow N2 \rightarrow A2 \rightarrow O1 \rightarrow w$
2.  $y \rightarrow A1 \rightarrow O1 \rightarrow w$

El tiempo de propagación del primer camino,  $Tp1$ , y del segundo,  $Tp2$ , es:

$$Tp1 = Tp(N2) + Tp(A2) + Tp(O1) = 10 + 20 + 20 = 50 \text{ u.t.}$$

$$Tp2 = Tp(A1) + Tp(O1) = 20 + 20 = 40 \text{ u.t.}$$

El camino crítico de y a w es el primero, y se muestra en la figura.



### ➤ Informe previo

#### Pregunta 3

- a) Indicar todos los posibles caminos desde la entrada x a la salida w (la secuencia de puertas por las que pasa) ¿Cuál de ellos es el camino crítico y por qué?

- b) ¿Cuál es el tiempo de propagación del circuito desde cada una de las entradas a la salida?  
 $T_{p_{x-w}} =$   $T_{p_{y-w}} =$
- c) ¿Cuál es el tiempo de propagación del circuito?

## 1.3 El Half-adder (Ha)

### 1.3.1 Especificación

Un Half-adder es un circuito combinacional que tiene dos bits de entrada y dos de salida. El Half-adder **cuenta** el número de unos que hay en sus dos entradas y codifica el resultado en binario en los dos bits de salida ( $c$ ,  $s$ ), el bit de mayor peso es el  $c$  (que significa *carry*, acarreo, me llevo una) y el de menor peso es el  $s$  (que significa suma). Dado que como máximo habrá dos unos en las entradas, con dos bits es suficiente para codificar el resultado de la cuenta, y todavía sobra la combinación  $c=1$ ,  $s=1$  que nunca se dará. Los posibles usos del Half-adder los comentaremos en la próxima práctica, pero podéis suponer que es un elemento muy útil y que vale la pena crearlo. Veamos su especificación lógica mediante su tabla de verdad:

x	y	c	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

### 1.3.2 Diseño del circuito en suma de minterms

#### ➤ Informe Previo

##### Pregunta 4

- a) ¿Cuál es la expresión lógica en suma de minterms de cada una de las dos salidas del Half-adder,  $c$  y  $s$ ?
- b) Dibujad el esquema del circuito Half-adder obtenido directamente de las expresiones lógicas en suma de minterms de sus salidas.

### 1.3.3 Tiempo de propagación

Como podéis comprobar por observación, en este circuito un cambio en una entrada no tarda lo mismo en propagarse a cada una de las dos salidas. En general, como ya hemos dicho, en un circuito (o dispositivo) complejo, con varias entradas y varias salidas, el tiempo de propagación desde la entrada  $i$  a la salida  $j$  no tiene porqué ser el mismo para cada pareja de señales de entrada y salida ( $i$ ,  $j$ ). Todos estos tiempos caracterizan al circuito (o dispositivo).

#### ➤ Informe previo

##### Pregunta 5

Suponiendo que la puerta Not-1 tiene un tiempo de propagación de 1 unidad de tiempo y las puertas And-2 y Or-2 introducen un retardo de 3 unidades de tiempo:

- a) Indicad el camino crítico de cada pareja entrada-salida para el circuito Half-adder que habéis diseñado. Para ello, dad nombre a cada puerta e indicad la secuencia de puertas que forma cada camino crítico. Para una pareja entrada-salida puede haber más de un camino crítico diferente (todos ellos con el mismo tiempo de retardo, que es el máximo de todos los posibles caminos entre esa entrada y esa salida). En este caso, listad solamente uno de ellos cualquiera.
- Camino crítico x-c:  
 Camino crítico x-s:  
 Camino crítico y-c:  
 Camino crítico y-s:
- b) Listad los tiempos de propagación de cada pareja entrada-salida:  
 $T_{x-c} =$  ;  $T_{x-s} =$  ;  $T_{y-c} =$  ;  $T_{y-s} =$

# Informe previo Práctica-1

Apellidos y nombre: .....Grupo .....

Apellidos y nombre: .....Grupo .....

(Por orden alfabético)

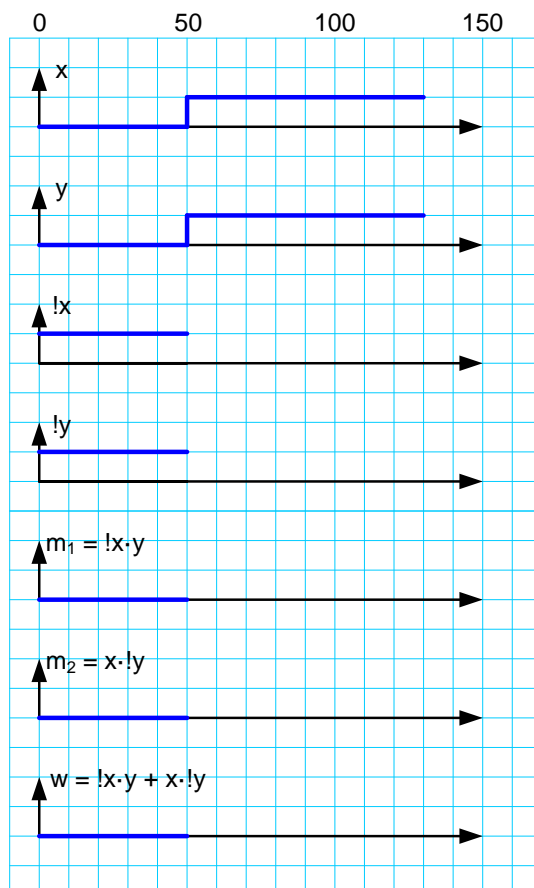
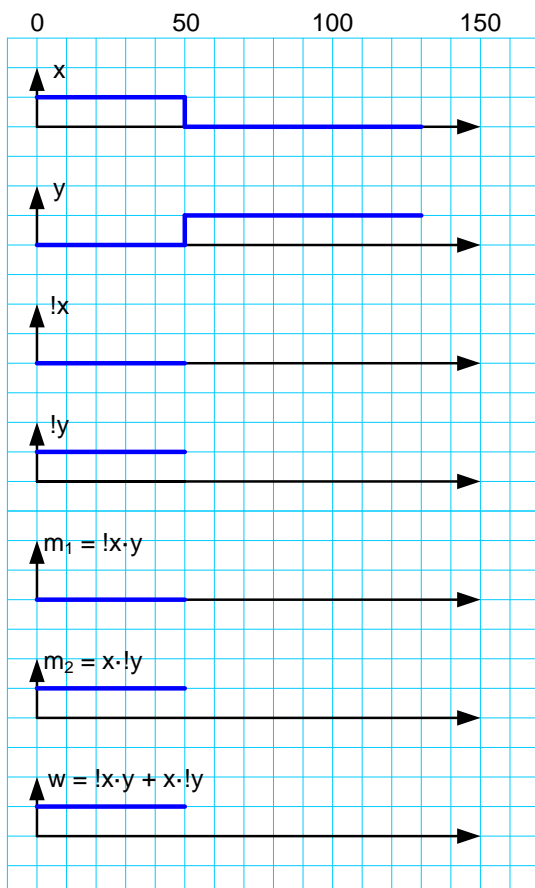
## Pregunta 1

x	y	$\neg x$	$\neg y$	$m_0(x, y) = \neg x \cdot \neg y$	$m_1(x, y) = \neg x \cdot y$	$m_2(x, y) = x \cdot \neg y$	$m_3(x, y) = x \cdot y$	$m_1 + m_2 = \neg x \cdot y + x \cdot \neg y$
0	0							
0	1							
1	0							
1	1							

## Pregunta 2

Caso a: (1, 0) -> (0, 1)

Caso b: (0, 0) -> (1, 1)



### Pregunta 3

a)

b)  $T_{x-w} =$  ;  $T_{y-w} =$

c)

### Pregunta 4

a)

b)

### Pregunta 5

a)

Camino crítico x-c:

Camino crítico x-s:

Camino crítico y-c:

Camino crítico y-s:

b)  $T_{x-c} =$  ;  $T_{x-s} =$  ;  $T_{y-c} =$  ;  $T_{y-s} =$