

ET7a (Processadors de Propòsit Específic)

Exercicis per avaluar objectius de nivell B

Objectius: 7.1, 7.2, 7.3, 7.5 i 7.6

Exercici 7.1. (Objectiu 7.1.1)

Dibuixa l'esquema lògic intern dels blocs combinacional Multiplexor de busos 2-1 (MUX-2-1) a partir de multiplexors 2-1 (Mx-2-1). Els busos són de 4 bits.

Exercici 7.2. (Objectiu 7.1.2)

Dibuixa l'esquema lògic intern dels blocs combinacional Multiplexor de busos 4-1 (MUX-4-1) a partir de multiplexors de busos 2-1 (MUX-2-1) . Els busos són de 4 bits.

Exercici 7.3. (Objectiu 7.2)

Dibuixa l'esquema lògic intern del bloc seqüencial Registre de 8 bits amb control de càrrega (Ld), amb bus d'entrada X i bus de sortida W, tots dos de 8 bits, a partir d'un registre de 8 bits i un multiplexor de busos MUX-2-1. És a dir,

```
if (Ld==1) W(c+1) = X(c);
else      W(c+1) = W(c);
```

Exercici 7.4. (Objectiu 7.5)

A partir de la descripció de la funcionalitat d'un nou dispositiu seqüencial, de l'estat inicial i d'una seqüència de valors per a les entrades, ompleu un cronograma amb les seves sortides

Pregunta a

Registre de 8 bits amb senyal de posada a zero (Cl) i de càrrega (Ld), a partir d'un registre REG de 8 bits i multiplexors de busos 2-1.

```
if (Cl(c)==1)
    W_u(c+1)= 0;
else if (Ld(c)==1)
    W(c+1)= X(c);
else
    W(c+1)= W(c);
```

Completa el cronograma, escriu la seqüència de valors de W per als cicles 5 a 12.

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x3A	0xBB	0x3B	0x55	0x50	0xFA	0x0C	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
Ld	1	1	1	0	0	1	0	1	0	1	1	0	1
Cl	0	1	0	0	1	0	0	1	0	0	0	0	0
W	0x00	0x3A	0x00	0x3B	0x3B								

Pregunta b

Bloc que genera pel bus de sortida W de 4 bits la seqüència de nombres naturals 0, 1, 2,... 15, 0, 1 ... a raó d'un nombre per cicle, amb senyal de Clear, Cl.

```
if (Cl(c)==1)      Wu(c+1)= 0;
else               Wu(c+1)= (Wu(c)+1)%16;
```

Completa el cronograma, escriu la seqüència de valors de W per als cicles 5 a 12.

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
Cl	0	0	0	1	0	0	0	1	0	0	0	0	0
W	0xE	0xF	0x0	0x1	0x0								

Pregunta c

Bloc que calcula la suma de tots els valors que ha pres el bus d'entrada X des del cicle posterior al darrer cicle en què el senyal d'entrada Cl ha valgut 1. X i W són busos de 8 bits, i no es detecta la possible irrepresentabilitat de la suma (és a dir, es fa la suma mòdul 2^8). Quan al final d'un cicle el senyal Cl val 1, el bus de sortida W valdrà 0 el cicle següent.

Completa el cronograma, escriu la seqüència de valors de W per als cicles 5 a 12.

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x66	0xBB	0x3B	0x55	0x50	0xFA	0x0C	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
Cl	0	1	0	0	0	1	0	0	1	1	0	0	0
W	0x27	0x8D	0x00	0x3B	0x90								

Pregunta d

Bloc que mostra pel bus de sortida W, el resultat d'aplicar un filtre passabaixes al bus d'entrada X. Calcula la mitja aritmètica del valor que ha arribat per X els dos darrers cicles. És a dir, $W_u(c+1)=(X_u(c)+X_u(c-1))/2$. No importa el valor que pren el bus de sortida W durant els primers 2 cicles en què està en marxa el sistema (quan encara no han arribat els dos primers valors). Els busos d'entrada i de sortida són de 8 bits. Perquè el resultat a W sempre sigui correcte, pot ser necessari fer extensions de rang a les dades que es processen.

Completa el cronograma, escriu la seqüència de valors de W per als cicles 5 a 12.

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x66	0x60	0xE4	0xC1	0x50	0xFA	0x0C	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
W	0x00	0x33	0x63	0xA2	0xD2								

ET7a (Processadors de Propòsit Específic)

Exercicis per avaluar objectius de nivell A

Objectiu: 7.4

(Recordeu que l'objectiu amb l'asterisc cal fer-lo a casa i portar-lo resolt a classe)

Exercici 7.5. (Objectiu 7.4)

A partir de la descripció de la funcionalitat d'un nou dispositiu seqüencial, construïu-lo a base de portes lògiques, blocs combinacionals i els blocs seqüencials que heu vist fins al moment. Dibuixeu el circuit del nou bloc seqüencial per cadascun dels següents apartats

Pregunta a

REGCI.

Registre de 8 bits amb senyal de posada a zero (CI), amb bus d'entrada X i bus de sortida W, tots dos de 8 bits, a partir d'un registre REG de 8 bits i un multiplexor de busos 2-1.

```
if (CI(c)==1)      Wu(c+1) = 0;
else               W(c+1) = X(c);
```

Pregunta b

REGCILd.

Registre de 8 bits amb senyal de posada a zero (CI) i de càrrega (Ld), a partir d'un registre REG de 8 bits i multiplexors de busos 2-1.

```
if (CI(c)==1)
    Wu(c+1)= 0;
else if (Ld(c)==1)
    W(c+1)= X(c);
else
    W(c+1)= W(c);
```

Pregunta c

Seqüència-0-7.

Bloc que genera pel bus de sortida W de 4 bits la seqüència de nombres naturals 0, 1, 2,... 15, 0, 1 ... a raó d'un nombre per cicle. $W_u(c+1)=(W_u(c)+1)\%16$;

Pregunta d

Seqüència-0-7-CI.

Bloc que genera pel bus de sortida W de 4 bits la seqüència de nombres naturals 0, 1, 2,... 15, 0, 1 ... a raó d'un nombre per cicle, amb senyal de Clear, CI.

```
if (CI(c)==1)      Wu(c+1)= 0;
else               Wu(c+1)= (Wu(c)+1)%16;
```

Pregunta e

Acumulador-CI.

Bloc que calcula la suma de tots els valors que ha pres el bus d'entrada X des del cicle posterior al darrer cicle en què el senyal d'entrada CI ha valgut 1. X i W són busos de 8 bits, i no es detecta la possible irrepresentabilitat de la suma (és a dir, es fa la suma mòdul 2^8). Quan al final d'un cicle el senyal CI val 1, el bus de sortida W valdrà 0 el cicle següent.

(*) Pregunta f

Passabaixes-2-mostres.

Bloc que mostra pel bus de sortida W, el resultat d'aplicar un filtre passabaixes al bus d'entrada X. Calcula la mitja aritmètica del valor que ha arribat per X els dos darrers cicles. És a dir, $W_u(c+1)=(X_u(c)+X_u(c-1))/2$. No importa el valor que pren el bus de sortida W durant els primers 2 cicles en què està en marxa el sistema (quan encara no han arribat els dos primers valors). Els busos d'entrada i de sortida són de 8 bits. Perquè el resultat a W sempre sigui correcte, pot ser necessari fer extensions de rang a les dades que es processen.

ET7b (Processadors de Propòsit Específic: UPE i UCE)

Exercicis per avaluar objectius de nivell B

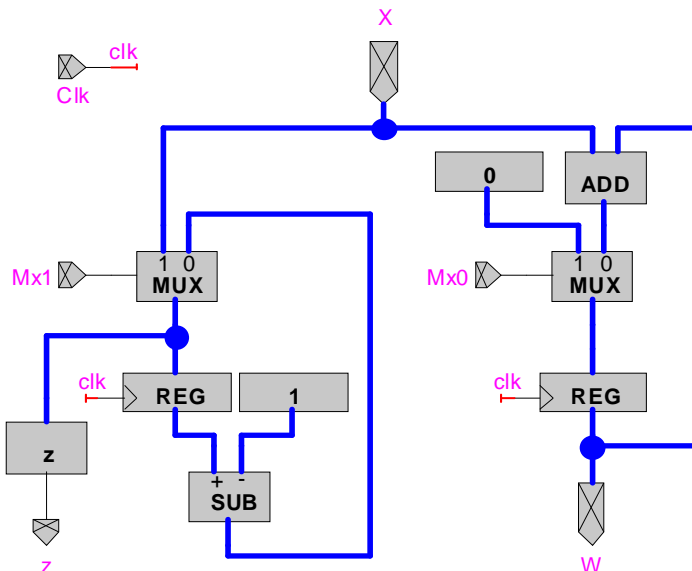
Objectius: 7.6 y 7.8

Exercici 7.6. (Objectiu 7.6)

Completa el disseny del processador de propòsit específic anomenat Suma-N. Del processador ja te'n donem la seva unitat de procés i només cal que especifiquis, mitjançant un graf d'estats, la seva unitat de control. A cada una de les preguntes d'aquest exercici variarà lleugerament la seva funcionalitat i, per tant, caldrà canviar també la seva unitat de control. A continuació et fem una descripció de la funcionalitat bàsica del processador:

El processador mostra pel bus de sortida W la suma d'una seqüència de N nombres que han arribat, a raó d'un per cicle, pel bus d'entrada X. El valor de N (la longitud de la seqüència) és variable, i arriba pel bus d'entrada X un cicle abans del primer valor de la seqüència ($DADA_0$). L'entrada de control Inici, quan val 1, indica que s'ha de començar un nou processat de les dades. Inici val 0 altrament. La sortida de control Fi indica, valent 1 durant un cicle, que està disponible al bus de sortida W el resultat de sumar totes les dades de la seqüència. Fi val 0 altrament. Supposeu que N sempre serà major que 0. Tots els busos són de 8 bits.

Farem servir la Unitat de Procés de la figura per a totes les preguntes d'aquest exercici.



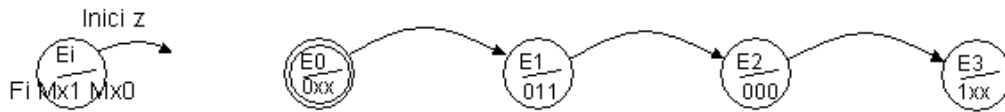
Els cronogrames dels apartats a1 i b1 tenen diverses solucions correctes, depenent del valor que prengui el senyal de control Mx0 els cicles en què no importi quin nou valor prendrà el registre que té com a sortida W. Per tal que la solució sigui única feu que W passi a valer 0.

Pregunta a.

Si $Inici(c)=1$, llavors $X(c+1)=N$, $X(c+2)=DADA_0$, ..., $X(c+N+1)=DADA_{N-1}$. I per a les sortides, $W(c+N+2)=Resultat$, $Fi(c+N+2)=1$. Fi val 0 la resta de cicles. Ignorarem el valor del senyal Inici durant tot el càlcul, des de $c+1$ a $c+N+2$.

Apartat a1. Completa el cronograma següent. Escribeu la seqüència de valors de Fi i W per als cicles 5 a 12. (Objectiu 7.5)

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x3A	0x02	0x34	0x7A	0x50	0xFA	0x03	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
Inici	1	0	1	0	0	1	0	1	0	1	1	0	1
Fi	0	0	0	0	1								
W	0x00	0x00	0x00	0x34	0xAE								

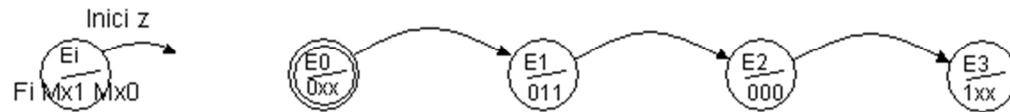
Apa**Pregunta b.**

Si $\text{Inici}(c)=1$, $X(c+1)=N$, $X(c+2)=\text{DADA}_0$, ..., $X(c+N+1)=\text{DADA}_{N-1}$. I per a les sortides, $W(c+N+2)=\text{Resultat}$, $\text{Fi}(c+N+2)=1$. Fi val 0 la resta de cicles. Tindrem en compte el valor del senyal Inici durant tot el càlcul, des de $c+1$ a $c+N+2$. Si en algun cicle val 1, avortarem el càlcul actual i es començarà a processar una nova seqüència.

Apartat b1. Completa el cronograma següent. Escribe la seqüència de valors de Fi i W per als cicles 5 a 12. (Objectiu 7.5)

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x3A	0x02	0x34	0x7A	0x50	0xFA	0x03	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
Inici	1	0	0	1	0	1	0	0	0	0	1	0	1
Fi	0	0	0	0	0								
W	0x00	0x00	0x00	0x34	0xAE								

Apartat b2. Completa el següent graf d'estats per a la Unitat de Control. (Objectiu 7.6)

**Pregunta c.**

Si $\text{Inici}(c)=1$, $X(c)=N$, $X(c+1)=\text{DADA}_0$, ..., $X(c+N)=\text{DADA}_{N-1}$. I per a les sortides, $W(c+N+1)=\text{Resultat}$, $\text{Fi}(c+N+1)=1$. Fi val 0 la resta de cicles. Ignorarem el valor del senyal Inici durant tot el càlcul, excepte el cicle en que Fi ja val 1, és a dir, des de $c+1$ a $c+N$.

Apartat c1. Completa el cronograma següent. Escribe la seqüència de valors de Fi i W per als cicles 5 a 12. (Objectiu 7.5)

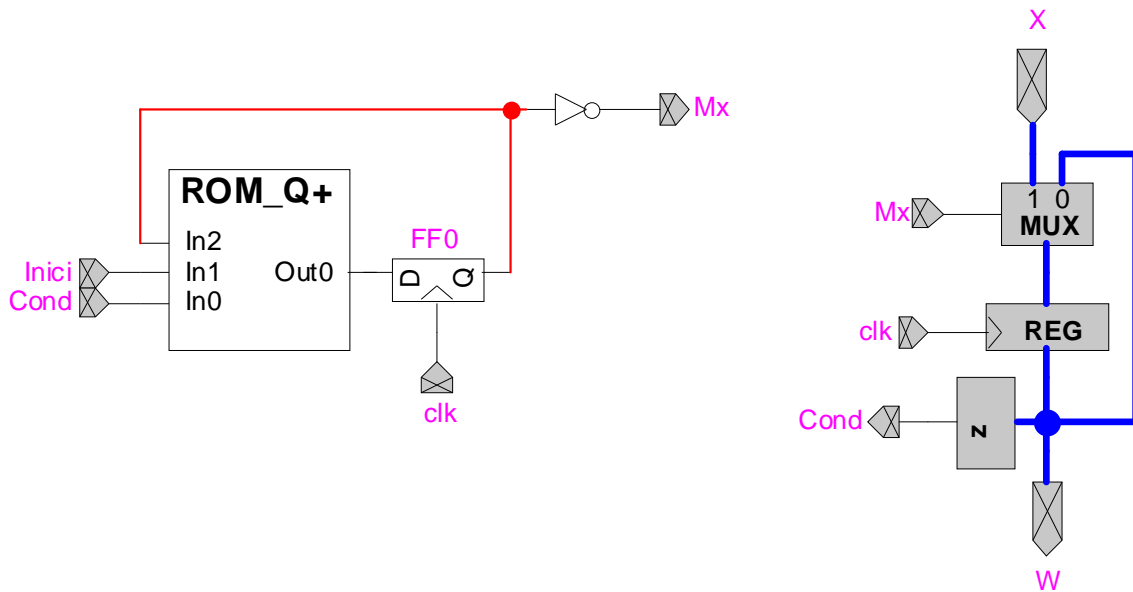
Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x02	0x34	0x7A	0x03	0x50	0xFA	0x03	0xC0	0x02	0x01	0xFF	0xAA	0x9E
Inici	1	0	1	1	0	1	0	0	1	0	0	1	1
Fi	0	0	0	1	0								
W	0x00	0x00	0x34	0xAE	0x00								

Apartat c2. Completa el següent graf d'estats per a la Unitat de Control. (Objectiu 7.6)



Exercici 7.7. (Objectiu 7.8)

Indiqueu quin és el camí crític i el temps de cicle mínim del circuit format per la Unitat de Control i la Unitat de Procés que es mostren a continuació. Indiqueu-ho per a cada un dels escenaris que es plantegen a cada apartat.



a) Considereu que:

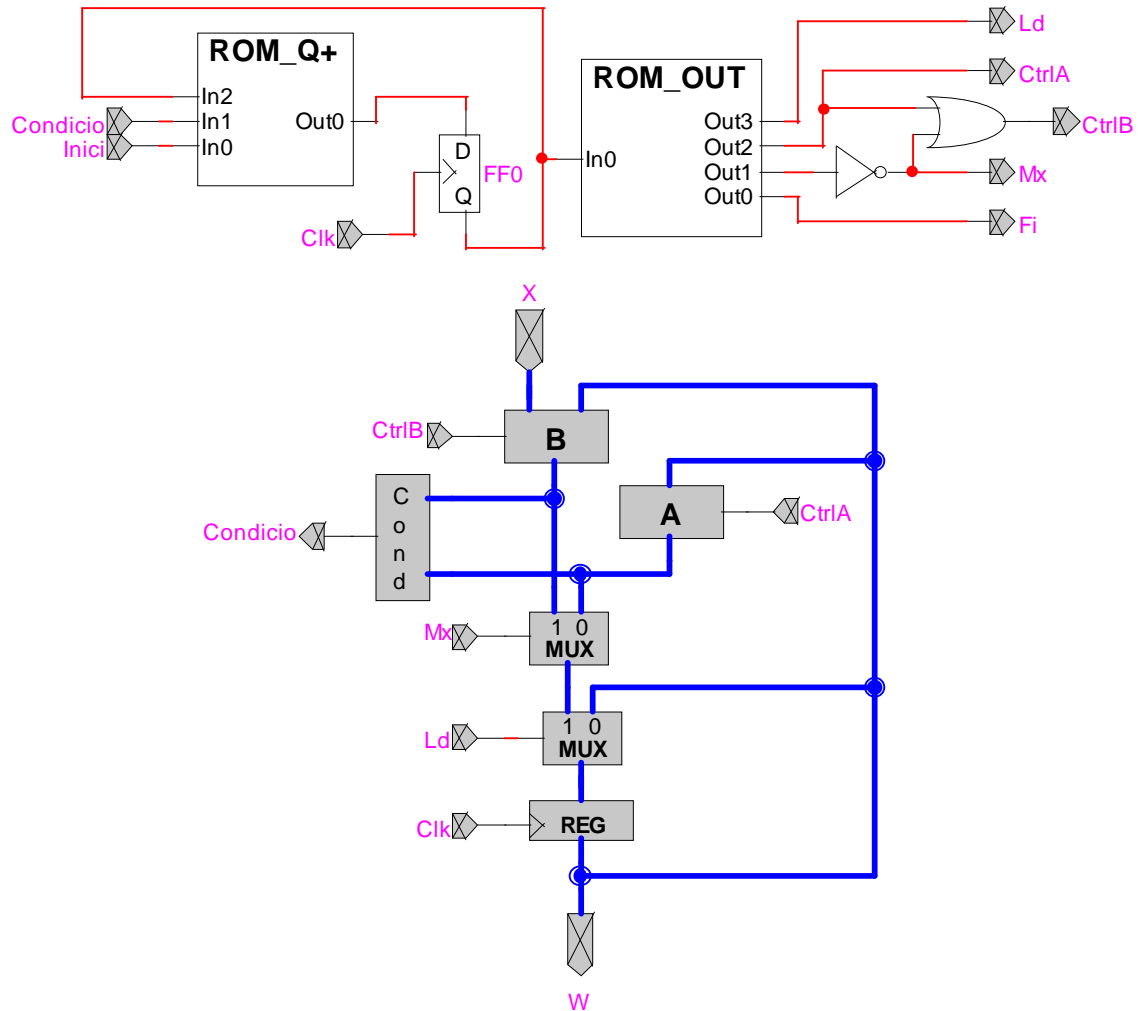
- Els temps dels components són els següents:
 $T_{ROM_Q+}=80u.t.$, $T_Z=20u.t.$, $T_{MUX}=50u.t.$, $T_{Biestable}=100u.t.$, $T_{REG}=100u.t.$, $T_{NOT}=10u.t.$
- Els senyals Inici i X venen d'un biestable D (FFInici) i un registre (REGX) respectivament.
- La sortida W va a parar a un registre (REGW).

b) Considereu que:

- Els temps dels components són els mateixos que a l'apartat anterior.
- Els senyals Inici i X venen d'un altre sistema i ens garanteixen que estan estabilitzats 125 u.t. després del flanc ascendent de rellotge.
- La sortida W ens diuen que ha d'estar estable 115 u.t. abans del flanc ascendent de rellotge.

Exercici 7.8. (Objectiu 7.8)

A partir del circuit format per la Unitat de Control i la Unitat de Procés que es donen a continuació i dels temps indicats, especifica quin és el camí crític i quin és el temps de cicle mínim. Les entrades X e Inici arriben directament d'un registre (REGX) i d'un biestable (FFInici), respectivament. Les sortides W i Fi van directament a un registre (REGW) i a un biestable (FFFi), respectivament.



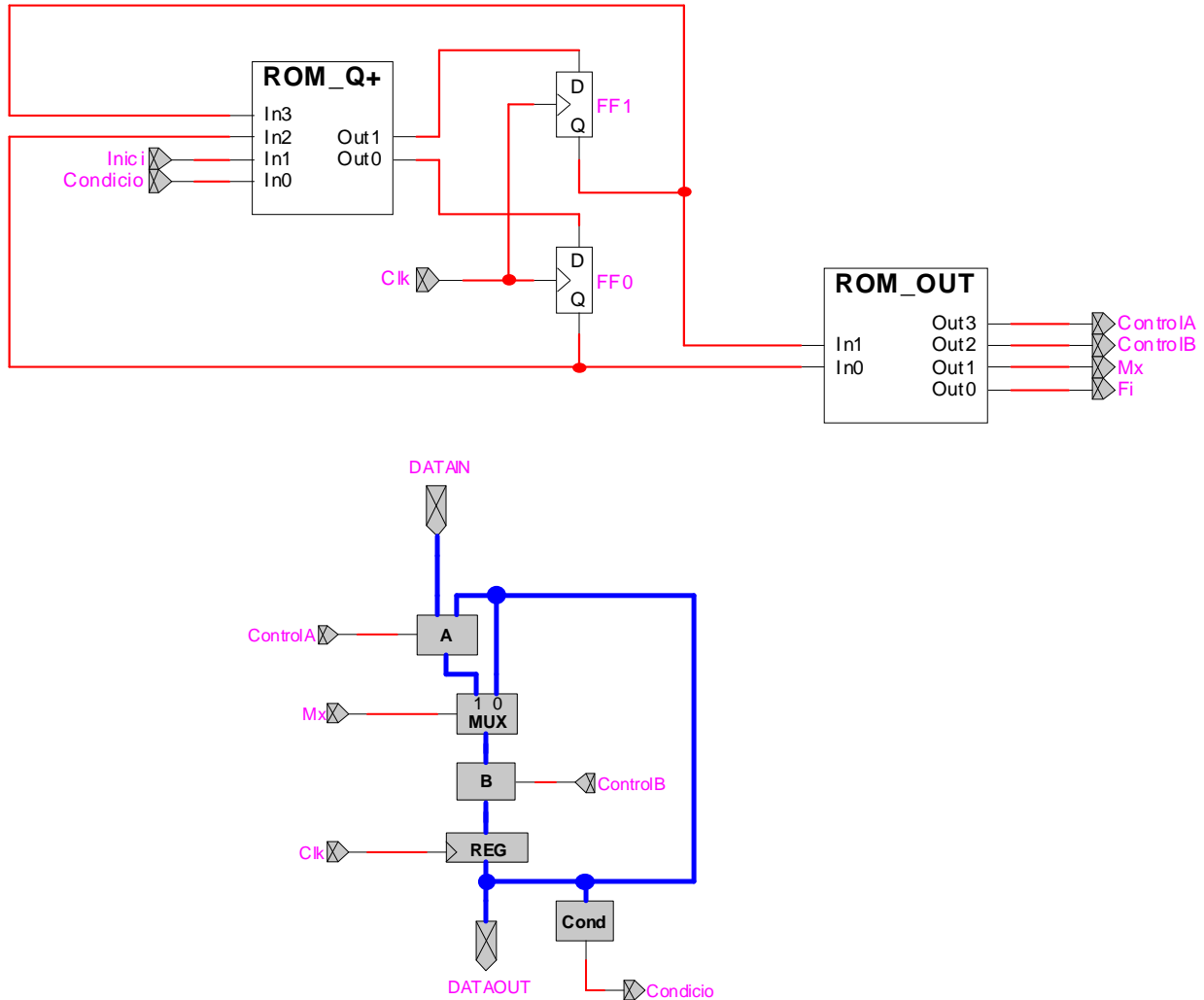
Els temps dels components són els següents: $T_{ROM_Q+}=80\text{u.t.}$, $T_{ROM_OUT}=60\text{u.t.}$, $T_A=160\text{u.t.}$, $T_B=120\text{u.t.}$, $T_{COND}=20\text{u.t.}$, $T_{MUX}=50\text{u.t.}$, $T_{FF0}=100\text{u.t.}$, $T_{REG}=90\text{u.t.}$, $T_{OR}=20\text{u.t.}$, $T_{NOT}=10\text{u.t.}$

a) Indiqueu tots els camins crítics de hi hagi (CC_1, CC_2, \dots, CC_n) llistant la seqüència de blocs que els formen. Els possibles elements del camí són: REGX, FFInici, REGW, FFFi, FF0, ROM_Q+, ROM_OUT, A, B, MUX, REG, COND, OR, NOT.

b) Indiqueu el temps de cicle mínim.

Exercici 7.9. (Objectiu 7.8)

Donat el següent circuit, format per una Unitat de Control i una Unitat de Procés, i sabent que les entrades DATAIN i Inici ens arriben directament des d'un registre i un biestable, respectivament i que les sortides DATAOUT i Fi van directament a un registre i un biestable.



Pregunta a)

Especifica quin és el camí crític i quin és el temps de cycle mínim donats els següents temps de propagació. $T_{ROM}=90\mu t.$, $T_{FlipFlop}=100\mu t.$, $T_A=110\mu t.$, $T_B=40\mu t.$, $T_{Cond}=110\mu t.$, $T_{MUX}=50\mu t.$, $T_{REG}=100\mu t.$

Pregunta b)

Especifica quin és el camí crític i quin és el temps de cycle mínim donats els següents temps de propagació. $T_{ROM}=130\mu t.$, $T_{FlipFlop}=80\mu t.$, $T_A=70\mu t.$, $T_B=40\mu t.$, $T_{Cond}=130\mu t.$, $T_{MUX}=50\mu t.$, $T_{REG}=120\mu t.$

ET7b (Processadors de Propòsit Específic: UPE i UCE)

Exercicis per avaluar objectius de nivell A

Objectiu: 7.7

(Recordeu que l'objectiu amb l'asterisc cal fer-lo a casa i portar-lo resolt a classe)

Exercici 7.12. (Objectiu 7.7)

A partir de la descripció de la funcionalitat d'un processador de propòsit específic que es dona, troba un implementació formada per Unitat de Procés i Unitat de Control. Especifica la unitat de control mitjançant un graf d'estats. Tots els busos mencionats a l'enunciat són de 8 bits.

Comptador de patró.

El processador mostra pel bus de sortida W quants cops apareix un determinat patró dins d'una seqüència de N nombres. Aquests nombres arriben, un per cycle, pel bus d'entrada X, així com N, la quantitat de nombres a processar, i el patró P. X i W són busos de 16 bits. El senyal d'entrada Inici, quan val 1, indica que s'han de processar noves dades. Inici val 0 altrament. El senyal de sortida Fi indica, valent 1 durant un cycle, que el resultat està disponible al bus de sortida W. Fi val 0 altrament.

Si $Inici(c)=1$, $X(c)=N$, $X(c+1)=P$, $X(c+2)=DADA_0$, ..., $X(c+N+1)=DADA_{N-1}$. I per a les sortides, $W(c+N+2)=Resultat$, $Fi(c+N+2)=1$. Fi val 0 la resta de cycles. Ignorarem el valor del senyal Inici durant tot el càlcul, excepte el cycle en que Fi ja val 1, és a dir, des de $c+1$ a $c+N+1$.

Dibuixa el circuit de la Unitat de Procés i el graf d'estats de la Unitat de Control.

Exercici 7.13. (Objectiu 7.7)

Detector-màxim-superat-N.

A partir de la descripció de la funcionalitat del processador de propòsit específic que es dona a continuació, troba un implementació formada per Unitat de Procés i Unitat de Control. Per a la unitat de procés, fes un disseny ad-hoc usant els blocs combinacionals i seqüencials que s'han vist a classe. Especifica la unitat de control mitjançant un graf d'estats. Tots els busos mencionats als enunciats són de 16 bits.

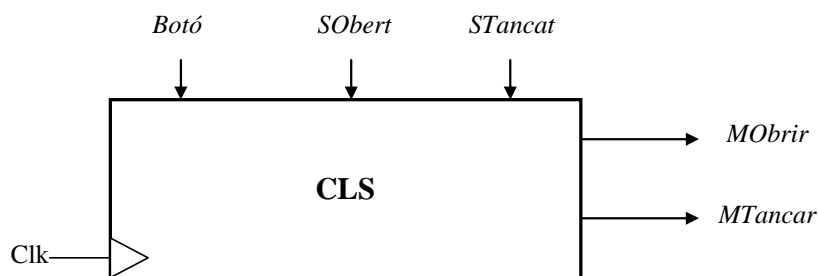
Detecta si dins d'una seqüència de N nombres hi ha algun més gran que un determinat màxim MAX. Un cop s'ha detectat un nombre que supera el màxim, s'indica activant els senyals de sortida Trobat i Res durant un cycle. En aquest cas, es deixa de processar la seqüència, i es torna a esperar que arribi una nova seqüència. Si no es troba cap nombre que superi el màxim un cop examinats els N nombres de la seqüència, s'indica activant el senyal de sortida Res i posant a 0 el senyal de sortida Trobat durant un cycle. En qualsevol altre cas, Res i Trobat han de valdre 0. La seqüència de dades arriba pel bus d'entrada IN, així com MAX i N. El senyal d'entrada Inici s'activa durant un cycle per indicar que aquell mateix cycle arriba MAX. La dada N arriba el cycle següent, i després arriben les dades de la seqüència de nombres a raó d'una per cycle. S'ha d'ignorar el valor d'Inici durant el processat de la seqüència. El cycle en què Res val 1 s'ha de comprovar si Inici ens indica el començament d'una nova seqüència.

(*) Exercici 7.14. (Objectiu 7.7)

Una multinacional dedicada a la fabricació de comandaments a distància per portes de garatge vol crear un nou producte.

El sistema té aquests elements: Un comandament a distància que emet un senyal *Botó* que val 1 quan l'usuari prem el botó i 0 en qualsevol altre cas. La porta té dos sensors que ens diuen si la porta està oberta o tancada. Cadascun d'aquests sensors emet un senyal que ens indica el seu estat. Si *SObert* val 1 llavors la porta està completament oberta (si val 0 és que la porta està mig-oberta o tancada). Si *STancat* val 1 llavors la porta està completament tancada (si val 0 és que la porta està mig-oberta o totalment oberta). Per fer moure la porta existeix un motor que té dos senyals d'entrada. Si *MObrir* val 1 llavors vol dir que el motor farà moure la porta perquè s'obri. Si *MTancar* val 1 llavors el motor farà moure la porta perquè es tanqui. El circuit lògic seqüencial manté el senyal *MObrir* a 1 mentre no s'hagi obert la porta completament. De la mateixa manera, el circuit manté el senyal *MTancar* a 1 mentre no s'hagi tancat la porta completament. No es poden posar mai les senyals *MObrir* i *MTancar* alhora a 1.

El circuit lògic seqüencial que implementa el sistema de control de la porta és la següent:

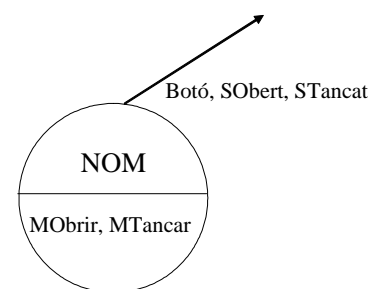


El funcionament del sistema és el següent: quan la porta està tancada, si l'usuari prem el botó (*Botó=1*), el sistema activa els senyals necessaris per obrir la porta. Si mentre s'està obrint la porta l'usuari prem una altra vegada el botó aquest s'ignora i es segueix obrint la porta fins que estigui completament oberta. En qualsevol cas, quan la porta està completament oberta, el sistema espera N cicles abans de tancar-la (al cicle N+1 dona l'ordre de tancar-la). Si durant aquests N cicles l'usuari prem el botó, aquest s'ignora. Després, si mentre s'està tancant la porta l'usuari prem el botó llavors el sistema ordena que s'obri la porta (s'enviarà l'ordre al motor que enlloc de tancar obri la porta). Si aquesta situació no es dona, el motor parará en el moment que el sensor de tancat indiqui que la porta està completament tancada.

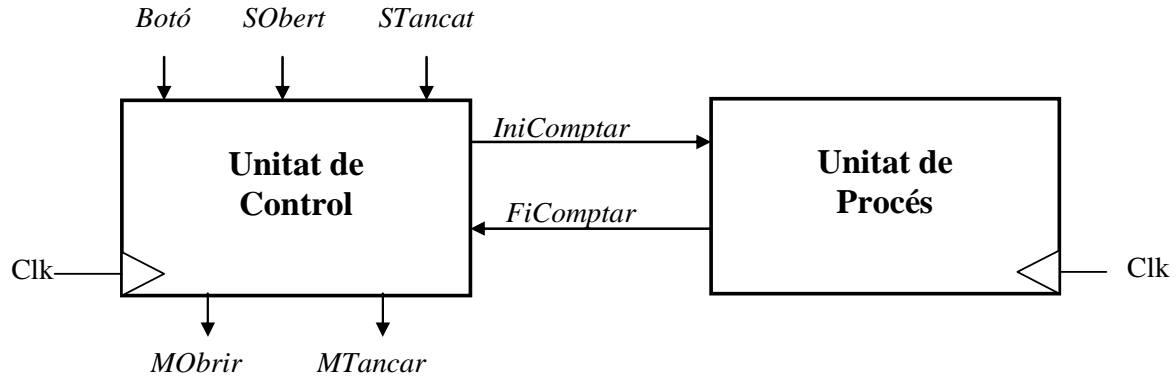
Inicialment la porta està completament tancada.

Es demana:

a) Dibuixeu el graf d'estats del circuit lògic seqüencial que implementa el mecanisme per N=3? (Utilitzeu la llegenda següent)



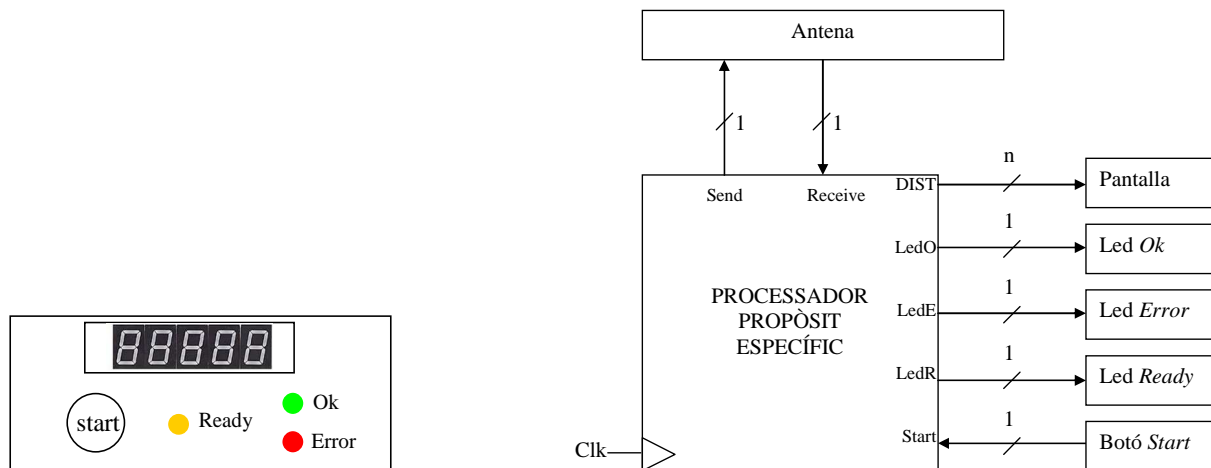
b) Després de les primeres proves, la multinacional ha decidit augmentar el temps d'espera amb la porta oberta a 200 cicles ($N=200$). Per això han proposat un nou disseny del circuit separant la unitat de control i la unitat de procés. Dissenyeu la unitat de procés (esquema lògic de blocs) i la unitat de control (graf d'estats). La unitat de procés és un comptador de 200 cicles. En el moment que *IniComptar* val 1 comença a comptar 200 cicles. Un cop comptats els 200 cicles la Unitat de Procés posa la senyal *FiComptar* a 1 (la senyal *FiComptar* val 0 mentre no s'ha arribat al cicle 200). Si durant el comptatge la senyal *IniComptar* es posa a 1, s'ignora el fet i es segueix comptant. Utilitzeu el següent esquema:



Exercici 7.15. (Objectiu 7.7)

Una empresa d'instruments de mesura vol dissenyar un aparell de precisió per mesurar petites distàncies. L'aparell funciona de la següent manera: quan es prem el botó d'start aquest envia un senyal que rebota, per exemple, en una paret. Quan aquest senyal retorna a l'aparell es calcula el temps que ha trigat i es divideix per dos (anada i tornada) la velocitat de l'ona (mil·límetres per segon).

El disseny de l'aparell és el següent:



Per mesurar la distància el processador treballa a la freqüència que fa que 1 cicle de rellotge equivalgui al temps necessari perquè el senyal recorri 1 mil·límetre. Tenint en compte que el senyal ha de fer el recorregut d'anada i tornada, comptant quants cicles passen entre que s'ha enviat el senyal i que torna i dividint aquest temps entre 2 (anada i tornada) s'obté directament la distància en mil·límetres.

Quan l'usuari premi el botó d'start, el senyal *Start* valdrà 1 durant un cicle. En el següent cicle cal avisar a l'antena que emeti el senyal (*Send*=1 durant un cicle) i fer que la unitat de procés comenci a comptar el número de cicles. Quan torni la ona enviada, l'antena activarà el senyal *Receive* (*Receive*=1 durant un cicle). Al cicle següent s'encendrà el led d'*Ok* (*LedO*=1 durant un cicle) per indicar a l'usuari que a la pantalla hi ha la distància. El valor a la pantalla es mantindrà estable fins a l'inici de la següent operació.

La màxima distància que permet mesurar l'aparell és de 12500 mil·límetres. Si la distància és més gran –per tant el senyal no retorna abans de que passin 25000 cicles, s'encendrà (*LedE*=1 durant un cicle) el led d'error i es tornarà a esperar que l'usuari premi el botó (*Start*=1).

Mentre s'està esperant que l'usuari premi el botó d'start s'encendrà el led de *Ready* (*LedR*=1) per indicar que l'aparell està a punt, altrament, estarà apagat.

Mentre s'està realitzant una mesura, s'ignora si l'usuari prem el botó d'start.

Es demana:

- a) Quants bits necessita el senyal *DIST* que comunica la distància en binari del processador de propòsit específic a la pantalla? (Objectiu 2.2)
- b) Dibuixa l'esquema -a nivell de blocs- de la unitat de procés necessària.
- c) Completa el següent esquema del processador de propòsit específic posant les senyals d'entrada i sortida de cada bloc (fes-ho en el teu full)

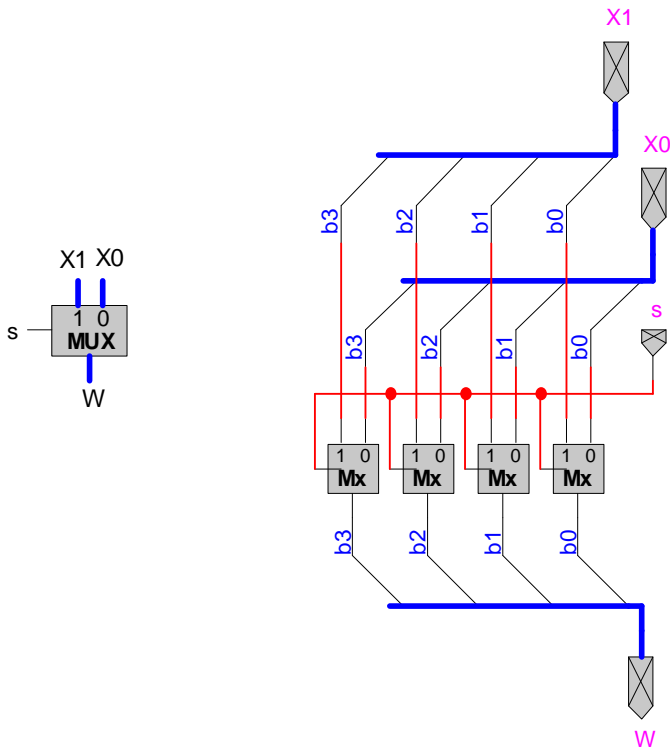


- d) Dibuixa el graf d'estat de la unitat de control.

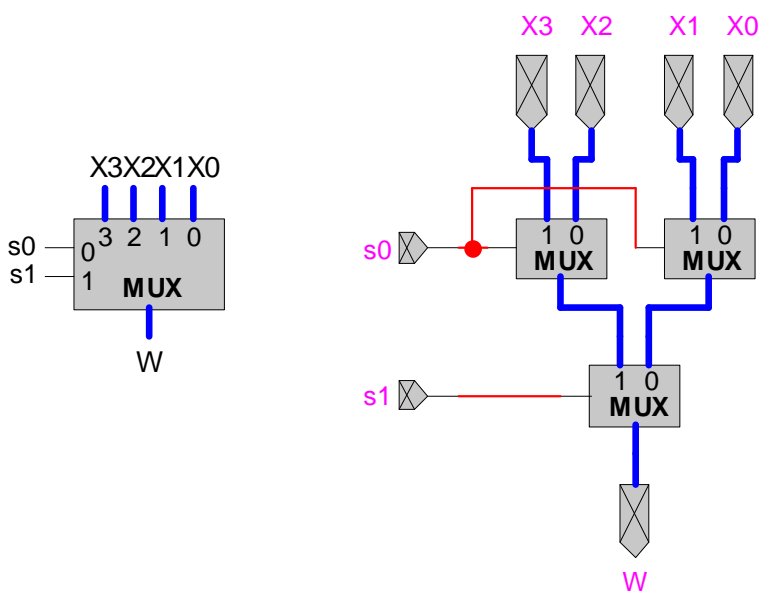
ET7 (Processadors de Propòsit Específic)

ET7a

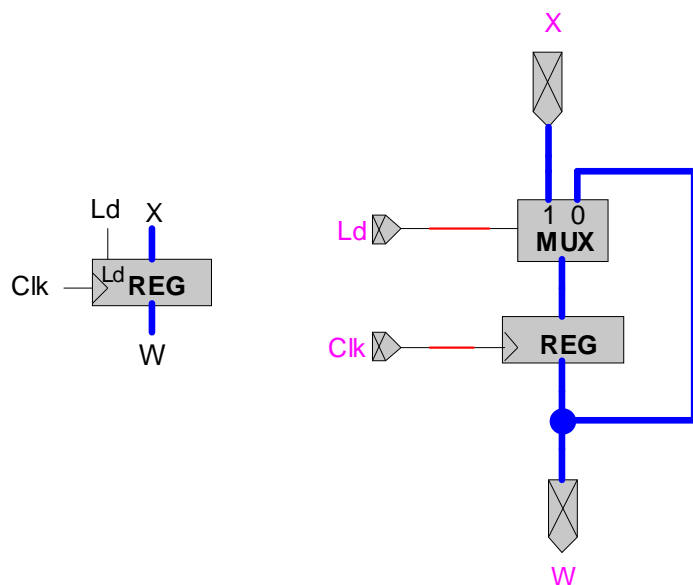
Exercici 7.1



Exercici 7.2



Exercici 7.3



Exercici 7.4

Pregunta a)

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x3A	0xBB	0x3B	0x55	0x50	0xFA	0x0C	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
Ld	1	1	1	0	0	1	0	1	0	1	1	0	1
Cl	0	1	0	0	1	0	0	1	0	0	0	0	0
W	0x00	0x3A	0x00	0x3B	0x3B	0x00	0xFA	0xFA	0x00	0x00	0x01	0xFF	0xFF

Pregunta b)

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
Cl	0	0	0	1	0	0	0	1	0	0	0	0	0
W	0xE	0xF	0x0	0x1	0x0	0x01	0x02	0x03	0x00	0x01	0x02	0x03	0x04

Pregunta c)

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x66	0xBB	0x3B	0x55	0x50	0xFA	0x0C	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
Cl	0	1	0	0	0	1	0	0	1	1	0	0	0
W	0x27	0x8D	0x00	0x3B	0x90	0xE0	0x00	0x0C	0xCC	0x00	0x00	0xFF	0xA9

Pregunta d)

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x66	0x60	0xE4	0xC1	0x50	0xFA	0x0C	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
W	0x00	0x33	0x63	0xA2	0xD2	0x88	0xA5	0x83	0x66	0x7D	0x1D	0x80	0xD4

ET7b

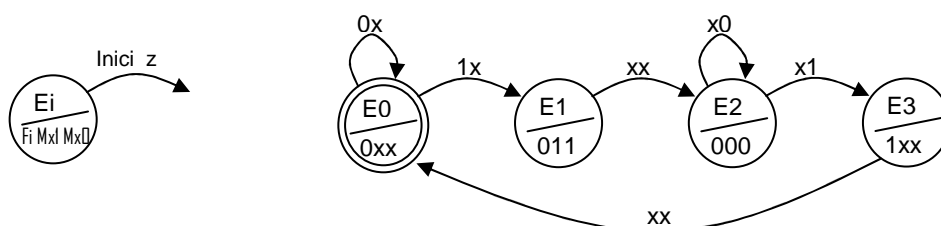
Exercici 7.6

Pregunta a.

Apartat a1.

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x3A	0x02	0x34	0x7A	0x50	0xFA	0x03	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
Inici	1	0	1	0	0	1	0	1	0	1	1	0	1
Fi	0	0	0	0	1	0	0	0	0	0	1	0	0
W	0x00	0x00	0x00	0x34	0xAE	0xFE	0xF8	0x00	0xC0	0xFA	0xFB	0xFA	0xA4

Apartat a2.

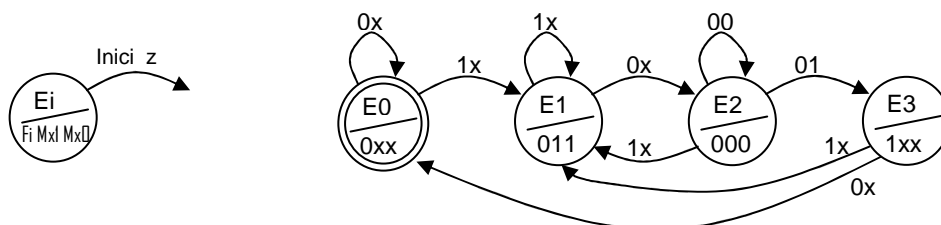


Pregunta b.

Apartat b1.

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x3A	0x02	0x34	0x7A	0x50	0xFA	0x03	0xC0	0x3A	0x01	0xFF	0xAA	0x9E
Inici	1	0	0	1	0	1	0	0	0	0	1	0	1
Fi	0	0	0	0	0	0	0	0	0	0	1	0	0
W	0x00	0x00	0x00	0x34	0xAE	0x00	0xFA	0x00	0xC0	0xFA	0xFB	0xFA	0x00

Apartat b2.

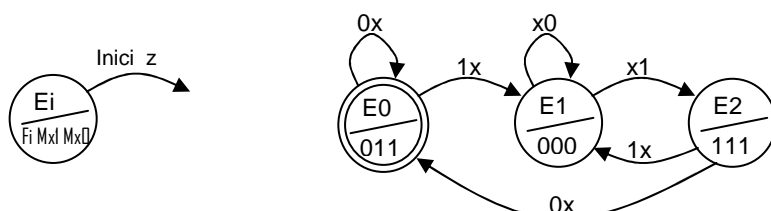


Pregunta c.

Apartat c1.

Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12
X	0x02	0x34	0x7A	0x03	0x50	0xFA	0x03	0xC0	0x02	0x01	0xFF	0xAA	0x9E
Inici	1	0	1	1	0	1	0	0	1	0	0	1	1
Fi	0	0	0	1	0	0	0	1	0	0	0	1	0
W	0x00	0x00	0x34	0xAE	0x00	0x50	0x4A	0x4D	0x00	0x00	0x01	0x00	0x00

Apartat c2.



Exercici 7.7

- a)
Camí crític: REG → Z → ROM_Q+ → FF0
Temps de cicle mínim: $100 + 20 + 80 = 200$ u.t.
- b)
Camí crític: REG → REGW
Temps de cicle mínim: $100 + 115 = 215$ u.t.

Exercici 7.8

- a) Camins crítics
CC1 = FF0 → ROM_OUT → A → Cond → ROM_Q+ → FF0
CC2 = FF0 → ROM_OUT → A → MUX → MUX → REG
- b) Temps de cicle mínim.
CC1 = $100 + 60 + 160 + 20 + 80 = 420$ ut
CC2 = $100 + 60 + 160 + 50 + 50 = 420$ ut

Exercici 7.9

Pregunta a)

CC₁: FF0 → ROM_OUT → A → Mx → B → REG
CC₂: FF1 → ROM_OUT → A → Mx → B → REG
Tc mínim = **390** u.t.

Pregunta b)

CC₁: REG → Cond → ROM_Q+ → FF0
CC₂: REG → Cond → ROM_Q+ → FF1
Tc mínim = **380** u.t.