

## ET4 (Blocs aritmètics combinacionals per a nombres naturals)

### Exercicis per avaluar objectius de nivell B

**Objectius:** 4.1, 4.2, 4.3, 4.4, 4.5, 4.6, 4.7, 4.8, 4.9 y 4.10.

#### Exercici 4.1. (Objectiu 4.1.1)

Escriu els **8 bits de menor pes** del vector de bits resultant d'efectuar les següents sumes en binari i indica si el resultat és representable usant 8 bits o no.

- a)  $10011111 + 01101111$ .
- b)  $10101011 + 01010101$ .
- c)  $01011101 + 01110111$ .

#### Exercici 4.2. (Objectiu 4.1.2)

Escriu els **8 bits de menor pes** del vector de bits resultant d'efectuar les següents restes en binari i indica si el resultat és representable usant 8 bits o no.

- a)  $10101101 - 01011101$ .
- b)  $10100000 - 10000001$ .
- c)  $10100011 - 10111111$ .

#### Exercici 4.3. (Objectiu 4.1.3)

Escriu els **8 bits de menor pes** del vector de bits resultant de les següents multiplicacions de nombres binaris per potències de 2 i digues si el resultat és representable en 8 bits o no.

- a)  $00010110$  per  $2^4$ .
- b)  $00101010$  per  $2^3$ .
- c)  $00000111$  per  $2^5$ .

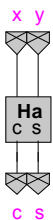
#### Exercici 4.4. (Objectiu 4.1.4)

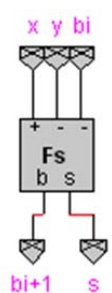
Escriu els **8 bits de menor pes** del vector de bits resultant de les següents divisions de nombres binaris per potències de 2.

- a)  $00000111$  entre  $2^1$ .
- b)  $00110101$  entre  $2^3$ .
- c)  $00010001$  entre  $2^0$ .
- d)  $00101111$  entre  $2^7$ .

#### Exercici 4.5. (Objectiu 4.2)

Circuits que realitzen les operacions aritmètiques bàsiques de nombres naturals en binari. Completa la taula de blocs combinacionals següent.

Nom	Dibuix	Taula de veritat
		

Full-adder		
		

**Exercici 4.6.** (Objectiu 4.3.1)

Dibuixa l'esquema lògic intern del bloc combinacional INC(X) que calcula  $X_u + 1$  usant Half-adders (Ha). X és un bus de 4 bits. El bloc també genera el senyal de sortida Irr, que s'activa quan el resultat no és representable en 4 bits.

**Exercici 4.7.** (Objectiu 4.3.2)

Dibuixa l'esquema lògic intern del bloc combinacional ADD(X,Y) que calcula  $X_u + Y_u$  usant Full-adders (Fa). X i Y són busos de 4 bits. El bloc també genera el senyal de sortida Irr, que s'activa quan el resultat no és representable en 4 bits.

**Exercici 4.8.** (Objectiu 4.3.3)

Dibuixa l'esquema lògic intern del bloc combinacional SUB(X,Y) que calcula  $X_u - Y_u$  usant Full-subtractors (Fs). X i Y són busos de 4 bits. El bloc també genera el senyal de sortida Irr, que s'activa quan el resultat no és representable en 4 bits.

**Exercici 4.9.** (Objectiu 4.4.1)

Dibuixa l'esquema lògic intern dels bloc combinacional SL-4 que realitza els desplaçaments lògics sobre naturals necessaris per calcular  $W_u = X_u \cdot 2^4$ . X i W són busos de 8 bits. També genera el senyal de sortida Irr, que s'activa quan el resultat no és representable en 8 bits.

**Exercici 4.10.** (Objectiu 4.4.2)

- Dibuixa l'esquema lògic intern del bloc combinacional SRL-2 que realitza els desplaçaments lògics sobre naturals necessaris per a calcular  $W_u = X_u / 2^2$ . X i W són busos de 8 bits.
- Si entenem que el bloc SRL-2 s'usa per calcular el resultat de la divisió natural, cal que el bloc generi un senyal de sortida Irr (que indica si el resultat és o no és representable en 8 bits)? Per què?

**Exercici 4.11.** (Objectiu 4.4.2)

Si entenem que el bloc SRL-2 s'usa per calcular el resultat de la divisió natural, cal que el bloc generi un senyal de sortida Irr (que indica si el resultat és o no és representable en 8 bits)? Per què?

**Exercici 4.12.** (Objectiu 4.5)

- a) Dibuixa l'esquema lògic intern del bloc **detector de zero Z(X)**. Bloc fet a partir de portes lògiques que indica si  $X_0=0$  o no. X és un bus de 8 bits i la sortida és d'un sol bit i ha de valdre 1 si  $X_0=0$ .
- b) Què valdrà la sortida del bloc  $Z(X)=$  si  $X=11111111$ ?

**Exercici 4.13.** (Objectiu 4.6.1)

- a) Dibuixa l'esquema lògic intern del bloc **Comparador LTU(X,Y)**. Bloc que calcula la funció de comparació de nombres naturals  $X_u < Y_u$ , a partir d'un restador amb sortida de *borrow* i portes lògiques. X i Y són busos de 8 bits.
- b) Què valdrà la sortida del bloc  $LTU(X,Y)=$  si  $X=10001000$  i  $Y=01111111$ ?

**Exercici 4.14.** (Objectiu 4.6.2)

- a) Dibuixa l'esquema lògic intern del bloc **Comparador LEU(X,Y)**. Bloc que calcula la funció de comparació de nombres naturals  $X_u \leq Y_u$ , a partir d'un restador amb sortida de *borrow* i portes lògiques. X i Y són busos de 8 bits.
- b) Què valdrà la sortida del bloc  $LEU(X,Y)=$  si  $X=10001000$  i  $Y=10001001$ ?

**Exercici 4.15.** (Objectiu 4.6.3)

- a) Dibuixa l'esquema lògic intern del bloc **Comparador EQ(X,Y)**. Bloc que calcula la funció de comparació de nombres naturals  $X_u = Y_u$ , a partir d'un restador amb sortida de *borrow* i portes lògiques. X i Y són busos de 8 bits.
- b) Què valdrà la sortida del bloc  $EQ(X,Y)=$  si  $X=10101010$  i  $Y=10101001$ ?

**Exercici 4.16.** (Objectiu 4.7)

- a) Dibuixa l'esquema lògic intern del bloc **AND(X,Y)**. Bloc que calcula la funció lògica And bit a bit,  $W=AND(X,Y)$ , a partir de portes lògiques And. X, Y i W són busos de 8 bits.
- b) Què valdrà la sortida del bloc  $AND(X,Y)=$  si  $X=11101010$  i  $Y=10111001$ ?

**Exercici 4.17.** (Objectiu 4.7)

- a) Dibuixa l'esquema lògic intern del bloc **OR(X,Y)**. Bloc que calcula la funció lògica Or bit a bit,  $W=OR(X,Y)$ , a partir de portes lògiques Or. X, Y i W són busos de 8 bits.
- b) Què valdrà la sortida del bloc  $OR(X,Y)=$  si  $X=11101010$  i  $Y=10111001$ ?

**Exercici 4.18.** (Objectiu 4.7)

- a) Dibuixa l'esquema lògic intern del bloc **XOR(X,Y)**. Bloc que calcula la funció lògica Xor bit a bit,  $W=XOR(X,Y)$ , a partir de portes lògiques Xor. X, Y i W són busos de 8 bits.
- b) Què valdrà la sortida del bloc  $XOR(X,Y)=$  si  $X=11101010$  i  $Y=10111001$ ?

**Exercici 4.19.** (Objectiu 4.7)

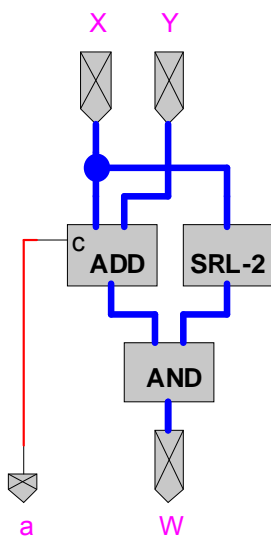
- a) Dibuixa l'esquema lògic intern del bloc **NOT(X)**. Bloc que calcula la funció lògica Not bit a bit,  $W=NOT(X)$ , a partir de portes lògiques Not. X i W són busos de 8 bits.
- b) Què valdrà la sortida del bloc  $NOT(X)=$  si  $X=11101010$ ?

**Exercici 4.20.** (Objectiu 4.8)

- a) Dibuixa l'esquema lògic intern del bloc **Mx-4-1**. Multiplexor 4-1 a partir de multiplexors 2-1.
- b) Dibuixa l'esquema lògic intern del bloc **Mx-8-1**. Multiplexor 8-1 a partir de multiplexors 2-1.

**Exercici 4.21.** (Objectiu 4.9)

Escriu el valor del bit de sortida a i del bus W del següent circuit (amb busos i blocs de 8 bits) pels següents valors de les entrades:  $X = 00110111$  i  $Y = 11000001$ .



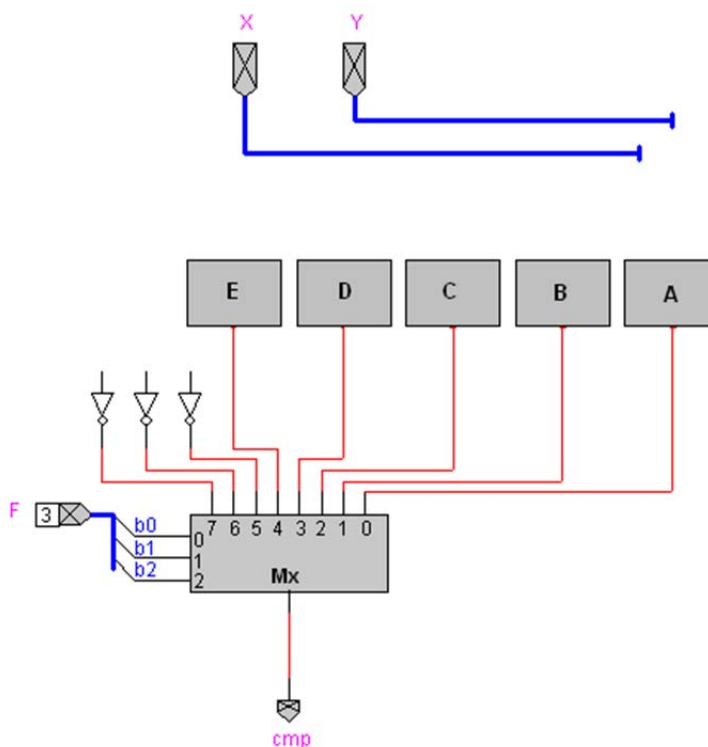
#### Exercici 4.22. (Objectiu 4.10)

Completa l'esquema lògic intern dels blocs combinacionals que es mostren a continuació usant els blocs vistos anteriorment per tal que calculin les funcions que es demanen.

##### a) Comparador multifunció.

Volem construir un comparador que pugui fer diverses comparacions en funció del valor d'una entrada de 3 bits que s'anomena F. El bloc té dues entrades més que s'anomenen X i Y ambdues de 16 bits. En concret les funcions que volem calcular segons el valor de F es poden veure a la taula següent. Substitueix els blocs A, B, C, D i E amb els blocs que creguis necessaris per aconseguir que el circuit tingui el comportament esperat. Cal connectar-los a les entrades X i Y com correspongui. També cal connectar les 3 portes Not a les sortides adjacents dels blocs.

Valor de F	Funció
000	$X_u < Y_u$
001	$X_u \leq Y_u$
010	$X_u = Y_u$
011	$X_u = 0$
100	$Y_u = 0$
101	$X_u \geq Y_u$
110	$X_u > Y_u$
111	$X_u \neq Y_u$



## ET4 (Blocs aritmètics combinacionals per a nombres naturals)

### Exercicis per avaluar objectius de nivell A

**Objectius:** 4.11

(Recordeu que l'objectiu amb l'asterisc cal fer-lo a casa i portar-lo resolt a classe)

#### **Exercici 4.11.** (Objectiu 4.11)

Dibuixa l'esquema lògic intern dels blocs combinacionals que es demanen a continuació. Per afer-los caldrà combinar els blocs vistos anteriorment.

- a)  $2X+Y$ . Bloc que calcula  $Wu=2*Xu+Yu$ , a partir d'un sumador  $ADD(X,Y)$  de 8 bits, un desplaçador lògic  $SL-1$  i les portes lògiques que siguin necessàries. També genera el senyal de sortida  $Irr$ , que s'activa quan el resultat no és representable en 8 bits.  $X$ ,  $Y$  i  $W$  són busos de 8 bits.
- b)  $5X$ . Bloc que calcula  $Wu=5*Xu$ . També genera el senyal de sortida  $Irr$ , que s'activa quan el resultat no és representable en 8 bits.  $X$  i  $W$  són busos de 8 bits.

#### **(\*) Exercici 4.23.** (Objectiu 4.11)

Dibuixa l'esquema lògic intern dels blocs combinacionals que es demanen a continuació. Per a fer-los, caldrà combinar els blocs vistos anteriorment.

- a) Valor absolut de  $X-Y$ . Bloc que calcula  $Wu=|Xu-Yu|$ , a partir de dos restadors  $SUB$  de 8 bits, un comparador  $LEU$ , dos blocs  $AND$ , un sumador  $ADD$  (o un bloc  $OR$ ) i les portes lògiques que siguin necessàries.  $X$ ,  $Y$  i  $W$  són busos de 8 bits. En aquest exercici no podeu usar cap tipus de multiplexor.
- b) Majoria d'uns. Bloc amb una sortida d'un sol bit anomenada  $m$ , que val 1 si el número  $X$  de 8 bits que li entra conté més 1s que 0s, altrament  $m$  valdrà 0. Construiu el bloc a partir d'un Half-Adder, dos Full-Adders, dos blocs  $ADD$ , un bloc  $LEU$  i les portes lògiques que siguin necessàries.

## Solucions ET4 (Blocs aritmètics combinacionals per a nombres naturals)

### Exercici 4.1.

- a) 00001110; No representable
- b) 00000000; No representable
- c) 11010100; Representable

### Exercici 4.2.

- a) 01010000; Representable
- b) 00011111; Representable
- c) 11100100; No representable


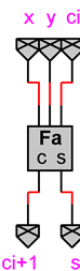
### Exercici 4.3.

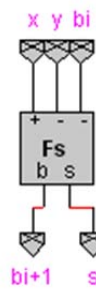
- a) 01100000; No representable
- b) 01010000; No representable
- c) 11100000; Representable

### Exercici 4.4.

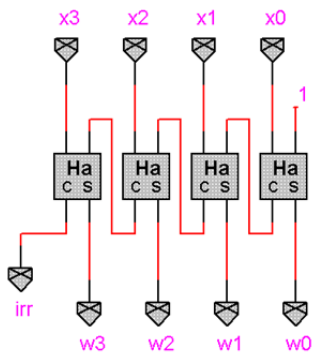
- a) 00000011
- b) 00000110
- c) 00010001
- d) 00000000

### Exercici 4.5.

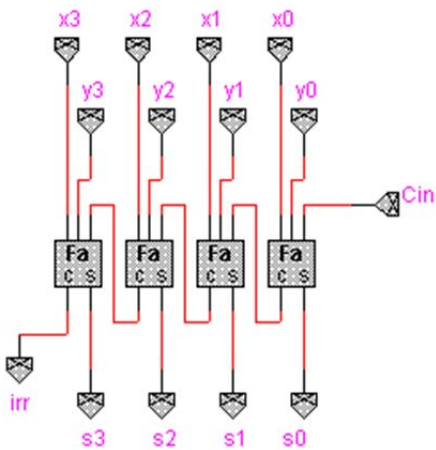
Nom	Dibuix	Taula de veritat																																													
Half-adder		<table><tr><th>x</th><th>y</th><th>c</th><th>s</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td></tr></table>	x	y	c	s	0	0	0	0	0	1	0	1	1	0	0	1	1	1	1	0																									
x	y	c	s																																												
0	0	0	0																																												
0	1	0	1																																												
1	0	0	1																																												
1	1	1	0																																												
Full-adder		<table><tr><th>x</th><th>y</th><th>ci</th><th>ci+1</th><th>s</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td></tr></table>	x	y	ci	ci+1	s	0	0	0	0	0	0	0	1	0	1	0	1	0	0	1	0	1	1	1	0	1	0	0	0	1	1	0	1	1	0	1	1	0	1	0	1	1	1	1	1
x	y	ci	ci+1	s																																											
0	0	0	0	0																																											
0	0	1	0	1																																											
0	1	0	0	1																																											
0	1	1	1	0																																											
1	0	0	0	1																																											
1	0	1	1	0																																											
1	1	0	1	0																																											
1	1	1	1	1																																											

Full-subtractor		<table><tr><th>x</th><th>y</th><th>b<sub>i</sub></th><th>b<sub>i+1</sub></th><th>s</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td></tr></table>	x	y	b <sub>i</sub>	b <sub>i+1</sub>	s	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	0	1	1	1	0	1	0	0	0	1	1	0	1	0	0	1	1	0	0	0	1	1	1	1	1
		x	y	b <sub>i</sub>	b <sub>i+1</sub>	s																																									
		0	0	0	0	0																																									
		0	0	1	1	1																																									
		0	1	0	1	1																																									
		0	1	1	1	0																																									
		1	0	0	0	1																																									
		1	0	1	0	0																																									
		1	1	0	0	0																																									
		1	1	1	1	1																																									

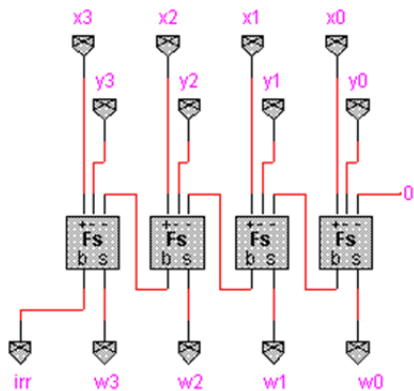
**Exercici 4.6.**



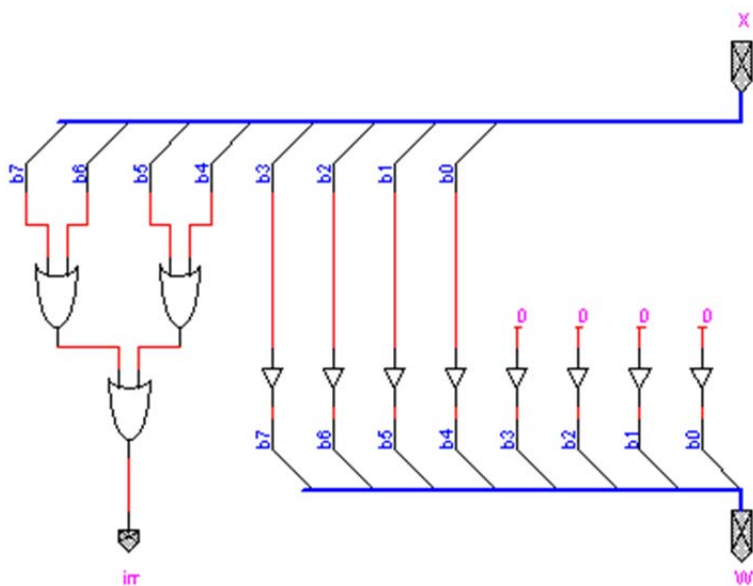
**Exercici 4.7.** (Objectiu 4.3.2)



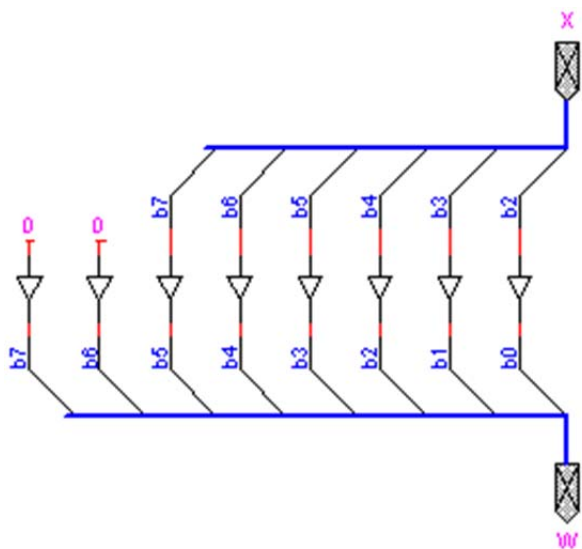
**Exercici 4.8.** (Objectiu 4.3.3)



**Exercici 4.9.** (Objectiu 4.4.1)



**Exercici 4.10.** (Objectiu 4.4.2)

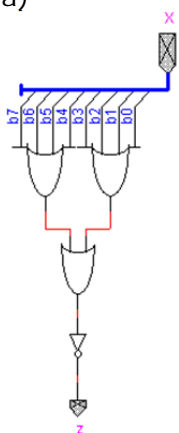


**Exercici 4.11.** (Objectiu 4.4.2)

No és necessari incloure un senyal IRR perquè el resultat de la divisió sempre serà representable en 8 bits. El resultat de la divisió mai augmentarà el rang de la representació que s'usi.

**Exercici 4.12.** (Objectiu 4.5)

a)

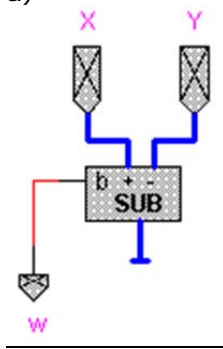


b)  $z=0$



**Exercici 4.13.** (Objectiu 4.6.1)

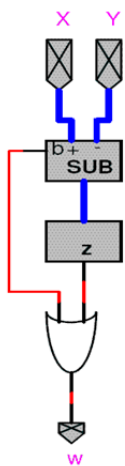
a)



b)  $w=0$

**Exercici 4.14.** (Objectiu 4.6.2)

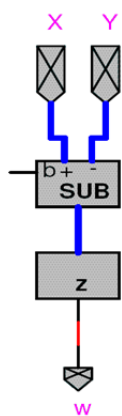
a)



b)  $w=1$

**Exercici 4.15.** (Objectiu 4.6.3)

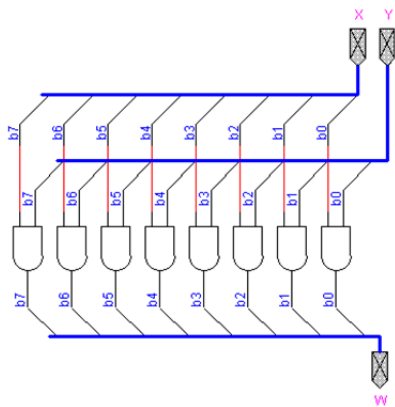
a)



b)  $w=0$

**Exercici 4.16.** (Objectiu 4.7)

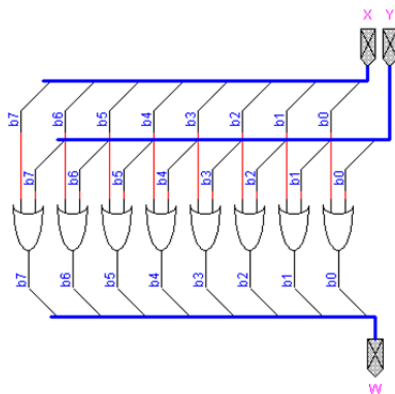
a)



b)  $w=10101000$

**Exercici 4.17.** (Objectiu 4.7)

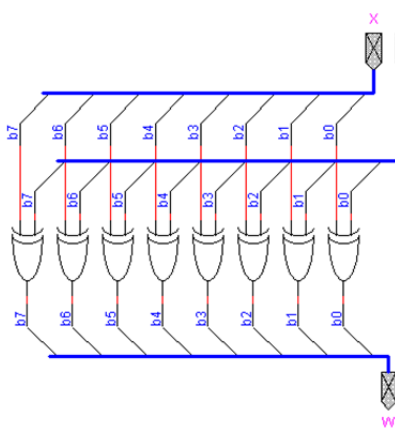
a)



b)  $w=11111011$

**Exercici 4.18.** (Objectiu 4.7)

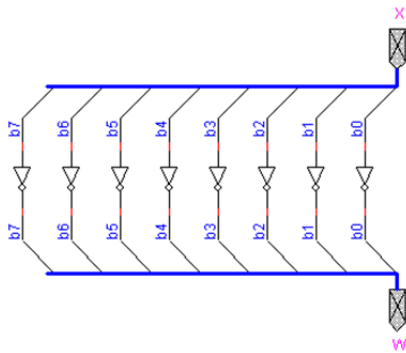
a)



b)  $w=01010011$

**Exercici 4.19.** (Objectiu 4.7)

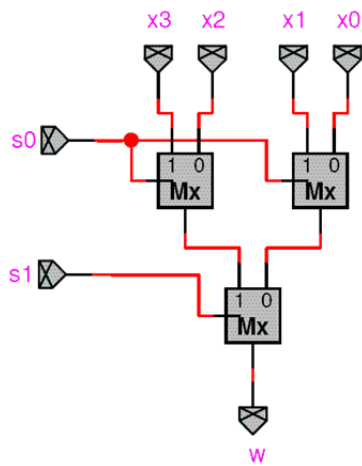
a)



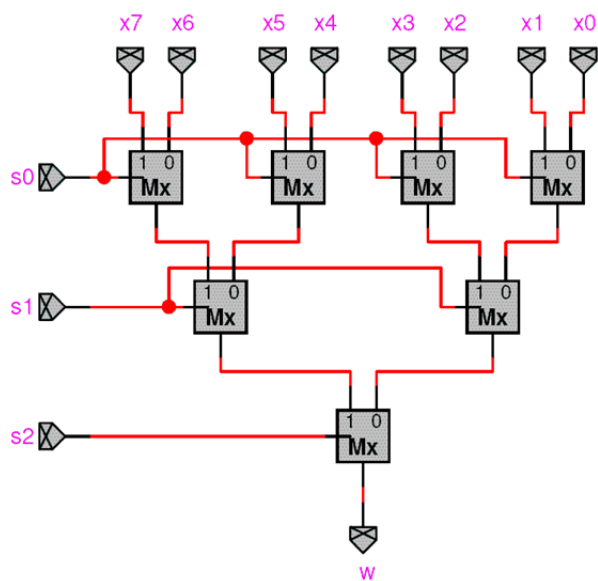
b)  $w=00010101$

**Exercici 4.20.** (Objectiu 4.8)

a)



b)



**Exercici 4.21.** (Objectiu 4.9)

$a=0$ ,  $W=00001000$

**Exercici 4.22.** (Objectiu 4.10)

a) Comparador multifunció.

