

ET12 (Els computadors SISC Harvard unicycle i multicicle)

Exercicis per avaluar objectius de nivell B

Exercici 12.1.

Dibuixa el símbol i l'esquema lògic intern del bloc MOVHI(X,Y) corresponent a la ALU del SISC.

Exercici 12.2.

Dibuixa el símbol i l'esquema lògic intern de l'ALU utilitzada per implementar els computadors SISC.

Exercici 12.3

Dibuixa el computador SISC Harvard unicycle a nivell de blocs.

Exercici 12.4

Indiqueu quins valors tindrien els registres i els senyals de control a cada cicle després d'executar 8 instruccions completes del següent programa en el computador SISC Harvard unicycle. La primera instrucció que s'executa és la que està a la posició 0x0000 de la memòria d'instruccions

Memòria d'instruccions	
Adreça	Contingut
0x0000	MOVI R3, 2
0x0002	LD R2, 2(R3)
0x0004	CMPLT R1, R1, R2
0x0006	BNZ R1, 2
0x0008	SUB R3, R2, R3
0x000A	BZ R1, -4

Registres	
Rx	Contingut
R1	0x2454
R2	0x5656
R3	0xFFFF
R4	0x0000
R5	0x0002
R6	0x0006

Memòria de dades	
Adreça	Contingut
0x0000	0x39
0x0001	0xAF
0x0002	0x00
0x0003	0x04
0x0004	0x04
0x0005	0x23

Indiqueu el valor que tenen els senyals al final de cada cicle (just abans d'arribar el flanc ascendent del rellotge) i el contingut del registres en cada cicle. Poseu "X" als senyals sempre que es pugui, quan el seu valor sigui desconegut o no importi.

	Cicle 1	Cicle 2	Cicle 3	Cicle 4	Cicle 5	Cicle 6	Cicle 7	Cicle 8
Instrucció	MOVI R3, 2	LD R2, 2(R3)	CMPLT R1,R1,R2	BNZ R1, 2	SUB R3,R2,R3	BZ R1, -4	CMPLT R1,R1,R2	BNZ R1,2
N (hexa)	0x0002							
@A	xxx							
@B	xxx							
WrD	1							
@D	011							
Rb/N	0							
OP	10							
F	001							
-i/l/a	00							
MxN	1							
Mx@D	10							
MxF	1							
TknBr	0							
Wr-Mem	0							
Byte	x							
ADDR-IO (hexa)	0xXX							
Rd-In	0							
Wr-Out	0							
Z	X							
PC	0x0000							
R1	0x2454							
R2	0x5656							
R3	0xFFFF							
R4	0x0000							
R5	0x0002							

Exercici 12.5

Indica el contingut complert de la ROM de la UCG que hem dissenyat a classe.

Adreça ROM CO					Not Used	Bnz	Bz	WrMem	RdIn	WrOut	WrD	Byte	Rb/N	-i/l/a1	-i/l/a0	OP ₁	OP ₀	MxN1	MxN0	MxF	F2	F1	F0	Mx@D1	Mx@D0	
I ₁₅	I ₁₄	I ₁₃	I ₁₂	I ₈																						
0	0	0	0	X																					A / L	
0	0	0	1	X																					CMP	
0	0	1	0	X																					ADDI	
0	0	1	1	X																					LD	
0	1	0	0	X																					ST	
0	1	0	1	X																					LDB	
0	1	1	0	X																					STB	
0	1	1	1	X																					-	
1	0	0	0	0																					BZ	
1	0	0	0	1																					BNZ	
1	0	0	1	0																					MOVI	
1	0	0	1	1																					MOVHI	
1	0	1	0	0																					IN	
1	0	1	0	1																					OUT	
1	0	1	1	X																					-	
1	1	X	X	X																					-	

Exercici 12.6.

Especifica el camí crític (mitjançant el nom dels blocs) i calcula el temps de cicle mínim del computador SISC Harvard unicycle tenint en compte els següents retards per als components. Retards: And-2 20ut, Or-2 20ut, Not 10ut, biestables 100ut, la ROM de la UCG 90ut i els accessos a memòria I-MEM de 64KW i a un mòdul RAM de 32KB es de 800ut.

Exercici 12.7.

Suposem que anul·lem les quatre instruccions d'accés a memòria del SISC Harvard unicycle. Especifica quin és el nou camí crític i calcula el temps de cicle mínim del processador SISC Harvard unicycle tenint en compte els mateixos retards per als components que a l'exercici anterior.

Exercici 12.8.

Calculeu el temps d'execució (en u.t.) dels següents programes SISA quan s'executen al SISC Harvard unicycle i multicicle. Obteniu el percentatge d'augment de la velocitat d'execució al multicicle comparat amb la del unicycle, per cada programa (és a dir, calculeu P per a que sigui certa la frase: el programa s'executa un P % més ràpid al computador multicicle que al unicycle).

Nota: Per aquest exercici el temps de cicle és de 3.000 u.t. pel computador unicycle mentre que al multicicle es de 750 u.t. En el multicicle les instruccions d'accés a memòria s'executen en 4 cicles i la resta en 3.

Suposeu que el contingut de la paraula de la adreça 0x1000 conté el valor 43.

a)

```
MOVI R0, 0x00
MOVHI R0, 0x10
LD R1, 0(R0)
MOVI R3, 0
MOVI R4, 0x01
MOVI R5, 16
MOVI R6, -1
AND R2, R1, R4
ADD R3, R3, R2
SHL R1, R1, R6
ADDI R5, R5, -1
BNZ R5, -5
OUT 3, R3
```

b) Aquest programa fa el mateix que el de l'apartat a, però de manera més eficient.

```
MOVI R0, 0x00
MOVHI R0, 0x10
LD R1, 0(R0)
MOVI R3, 0
MOVI R4, 0x01
MOVI R6, -1
AND R2, R1, R4
ADD R3, R3, R2
SHL R1, R1, R6
BNZ R1, -4
OUT 3, R3
```

ET12 (Els computadors SISC Harvard unicle i multicicle)

Exercicis per avaluar objectius de nivell A

(Recordeu que l'objectiu amb l'asterisc cal fer-lo a casa i portar-lo resolt a classe)

(*) Exercici 12.9.

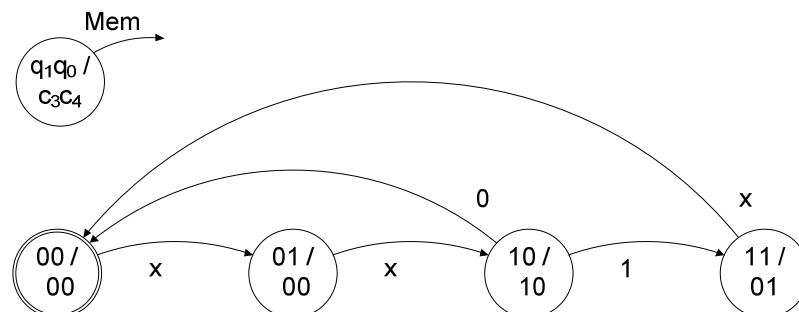
Calculeu el temps del camí crític del computador SISC Harvard unicle per a cadascuna de les següents instruccions. Indiqueu també la suma dels temps de propagació de cada bloc per el que passa el camí.

Estat	Tcamí	Suma de temps de propagació
ADD		
SHL		
Bnz (amb salt)		
LD		
MOVI		

(*) Exercici 12.10.

Redissenyeu el bloc SISC Harvard Multicicle CONTROL per a que el computador funcioni correctament d'acord amb les següents restriccions de disseny:

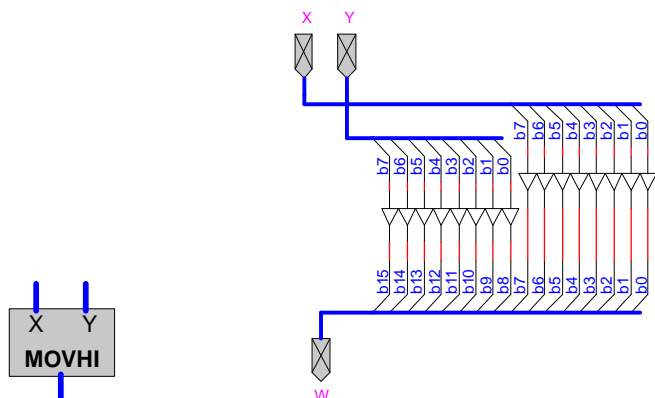
- Que el circuit seqüencial del bloc SISC Harvard Multicicle CONTROL encarregat de saber quin és l'últim cicle d'execució de cada instrucció, per modificar durant aquest cicle l'estat del computador, sigui substituït per un altre circuit seqüencial amb el següent graf d'estats, que té dues sortides: c3 que indica el cicle en què han de modificar l'estat les instruccions ràpides i c4 en el que ho han de fer les lentes.



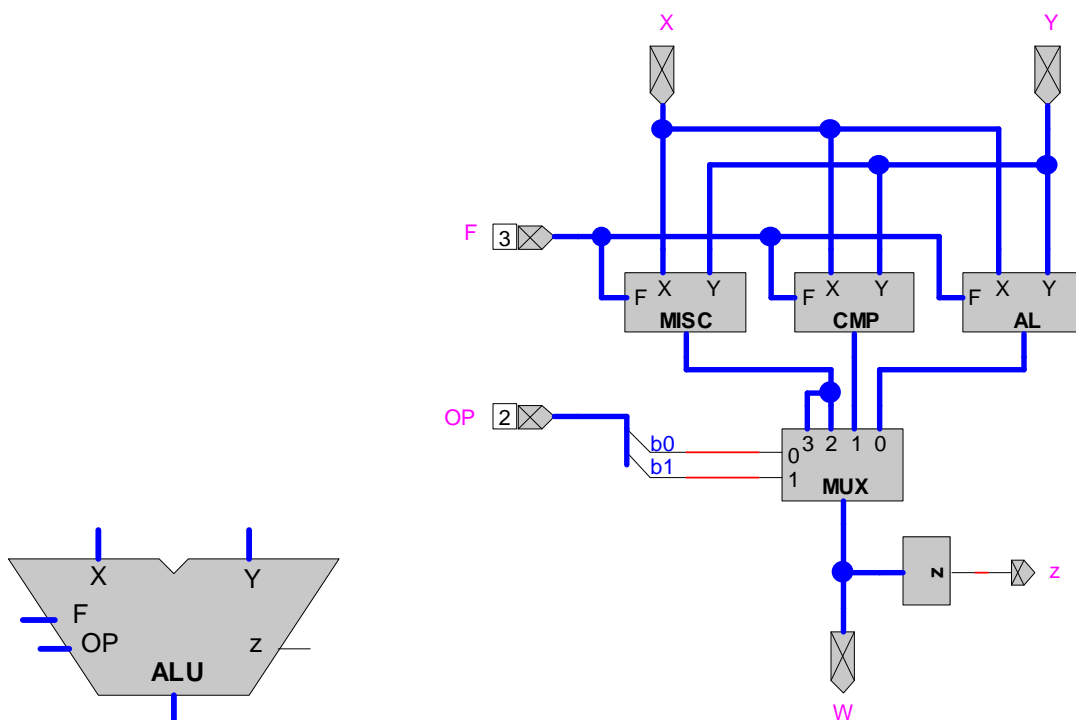
- Que aquest graf d'estats s'implementi amb el mínim nombre de biestables i dues memòries ROM.
- Que no es modifiqui el bloc que es troba a l'interior del SISC Harvard Multicicle CON denominat SISC Harvard Multicicle LOGIC CONTROL.
- Que la resta de lògica es realitzi amb el mínim nombre de portes lògiques Not, And-2 i Or-2.

Solucions ET12 (SISC Harvard Unicicle y Multicicle)

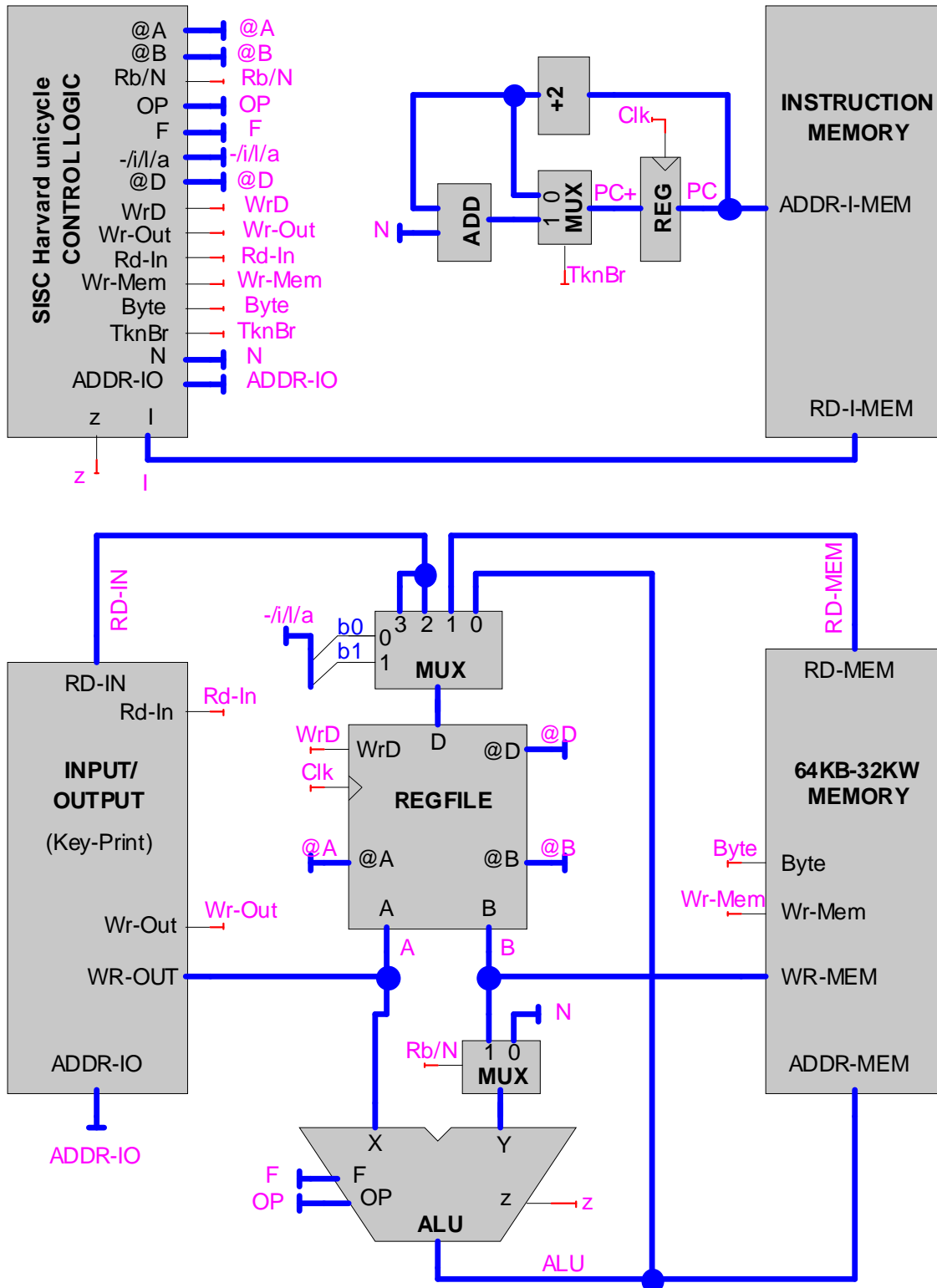
Exercici 12.1.



Exercici 12.2.



Exercici 12.3.



Exercici 12.4.

	Cicle 1	Cicle 2	Cicle 3	Cicle 4	Cicle 5	Cicle 6	Cicle 7	Cicle 8
<i>Instrucció</i>	MOVI R3, 2	LD R2, 2(R3)	CMPLT R1,R1,R2	BNZ R1, 2	SUB R3,R2,R3	BZ R1, -4	CMPLT R1,R1,R2	BNZ R1,2
N (hexa)	0x0002	0x0002	0XXXXX	0x0004	0XXXXX	0xFFFF8	0XXXXX	0x0004
@A	xxx	011	001	001	010	001	001	001
@B	xxx	xxx	010	xxx	011	xxx	010	xxx
WrD	1	1	1	0	1	0	1	0
@D	011	010	001	xxx	011	xxx	001	xxx
Rb/N	0	0	1	x	1	x	1	x
OP	10	00	01	10	00	10	01	10
F	001	100	000	000	101	000	000	000
-i/l/a	00	01	00	xx	00	xx	00	xx
MxN	01	00	xx	10	xx	10	xx	10
Mx@D	10	01	00	xx	00	xx	00	xx
MxF	1	1	0	1	0	1	0	1
TknBr	0	0	0	0	0	1	0	1
Wr-Mem	0	0	0	0	0	0	0	0
Byte	x	0	x	x	x	x	x	x
ADDR-IO (hexa)	0XXX	0XXX	0XXX	0XXX	0XXX	0XXX	0XXX	0XXX
Rd-In	0	0	0	0	0	0	0	0
Wr-Out	0	0	0	0	0	0	0	0
Z	x	x	x	1	x	1	x	0
PC	0x0000	0x0002	0x0004	0x0006	0x0008	0x000A	0x0004	0x0006
R1	0x2454	0x2454	0x2454	0x0000	0x0000	0x0000	0x0000	0x0001
R2	0x5656	0x5656	0x2304	0x2304	0x2304	0x2304	0x2304	0x2304
R3	0xFFFF	0x0002	0x0002	0x0002	0x0002	0x2302	0x2302	0x2302
R4	0x0000	0x0000	0x0000	0x0000	0x0000	0x0000	0x0000	0x0000
R5	0x0002	0x0002	0x0002	0x0002	0x0002	0x0002	0x0002	0x0002

Exercici 12.5.

Adreça ROM CO					Not Used	Bnz	Bz	WrMem	RdIn	WrOut	WrD	Byte	Rb/N	-i/l/a1	-i/l/a0	OP ₁	OP ₀	MxN1	MxN0	MxF	F2	F1	F0	Mx@D1	Mx@D0	
I ₁₅	I ₁₄	I ₁₃	I ₁₂	I ₈																						
0	0	0	0	X	x	0	0	0	0	0	1	x	1	0	0	0	0	x	x	0	x	x	x	0	0	A / L
0	0	0	1	X	x	0	0	0	0	0	1	x	1	0	0	0	1	x	x	0	x	x	x	0	0	CMP
0	0	1	0	X	x	0	0	0	0	0	1	x	1	0	0	0	0	0	0	1	1	0	0	0	1	ADDI
0	0	1	1	X	x	0	0	0	0	0	1	0	1	0	1	0	0	0	0	1	1	0	0	0	1	LD
0	1	0	0	X	x	0	0	1	0	0	0	0	1	x	x	0	0	0	0	1	1	0	0	x	x	ST
0	1	0	1	X	x	0	0	0	0	0	1	1	1	0	1	0	0	0	0	1	1	0	0	0	1	LDB
0	1	1	0	X	x	0	0	1	0	0	0	1	1	x	x	0	0	0	0	1	1	0	0	x	x	STB
0	1	1	1	X																						-
1	0	0	0	0	x	0	1	0	0	0	0	x	x	x	x	1	0	1	0	1	0	0	0	x	x	BZ
1	0	0	0	1	x	1	0	0	0	0	0	x	x	x	x	1	0	1	0	1	0	0	0	x	x	BNZ
1	0	0	1	0	x	0	0	0	0	0	1	x	0	0	0	1	0	0	1	1	0	0	1	1	0	MOVI
1	0	0	1	1	x	0	0	0	0	0	1	x	0	0	0	1	0	0	1	1	0	1	0	1	0	MOVHI
1	0	1	0	0	x	0	0	0	1	0	1	x	x	1	0	x	x	x	x	x	x	x	x	1	0	IN
1	0	1	0	1	x	0	0	0	0	1	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	OUT
1	0	1	1	X																						-
1	1	X	X	X																						-

Exercici 12.6.

Temps de cicle mínim: 2980ut

El camí crític es correspon a l'execució de la instrucció LD: PC (100ut), I-MEM (800ut), Control Logic (180ut), MUX-2-1 (40ut), ALU (860ut), DATA-MEMORY (880ut), MUX-4-1 (80ut), REGFILE (camí D a registre, 40ut)

El camí crític a dins el bloc Control Logic passa per la ROM-SISP-I-1-CTRL (90ut) i el MUX-4-1 que genera N (90ut).

El camí crític a dins el bloc ALU passa per el bloc AL (780ut) i el MUX4-1 (80ut), i dins del bloc AL, pel bloc ADD (660ut) i el MUX8-1 (120ut).

Exercici 12.7.

Temps de cicle mínim: 2210 ut

El camí crític es correspon a l'execució de la instrucció CMPL o de la instrucció CMPLU: PC (100ut), I-MEM (800ut), Control Logic (0 ut), REGFILE(camí @B -> B, 130ut), MUX (40ut), ALU (1020ut), MUX-4-1 (80ut), REGFILE (camí D a registre, 40ut).

El camí crític a dins el bloc ALU passa per el bloc CMP (940ut) i el MUX-4-1 (80ut), i dins del bloc CMP, pel bloc SUB (710 ut), el bloc Z (90ut, amb dues Or-4 i una Not), una Or-2 (20ut) i el Mx8-1 (120ut). El bloc SUB acumula els retards d'un bloc ADD amb el transport inicial igual a 1 (700ut) i d'un bloc NOT (10ut).

Exercici 12.8.

a)

$$T_{\text{SISC Harv Uni1}} = (7+5 \times 16+1) \times 3.000 = 264.000 \text{ u.t.}$$

$$T_{\text{SISC Harv Multi}} = ((6+5 \times 16+1) \times 3 + 1 \times 4) \times 750 = 198.750 \text{ u.t.}$$

$$P = (264.000 / 198.750 - 1) \times 100 = 32,83 \%$$

b) Se ejecutan 6 iteraciones porque el número 43 se codifica en binario como 0000000000101011 y después de 6 desplazamientos a la derecha de un bit queda el valor 0.

$$T_{\text{SISC Harv Uni1}} = (6+4 \times 6+1) \times 3.000 = 93.000 \text{ u.t.}$$

$$T_{\text{SISC Harv Multi}} = ((5+4 \times 6+1) \times 3 + 1 \times 4) \times 750 = 70.500 \text{ u.t.}$$

$$P = (93.000 / 70.500 - 1) \times 100 = 32 \%$$