

## ET6a (Introducció als circuits seqüencials).

### Exercicis per avaluar objectius de nivell B

**Objectius:** 6.1, 6.2, 6.3, 6.4, 6.5, 6.6, 6.7, 6.8, 6.9, 6.10 i 6.14

#### Exercici 6.1 (Objectiu 6.1)

Definiu què és un circuit lògic seqüencial (cas general de Mealy). Definiu el cas particular de sistema lògic seqüencial de Moore.

#### Exercici 6.2 (Objectiu 6.2)

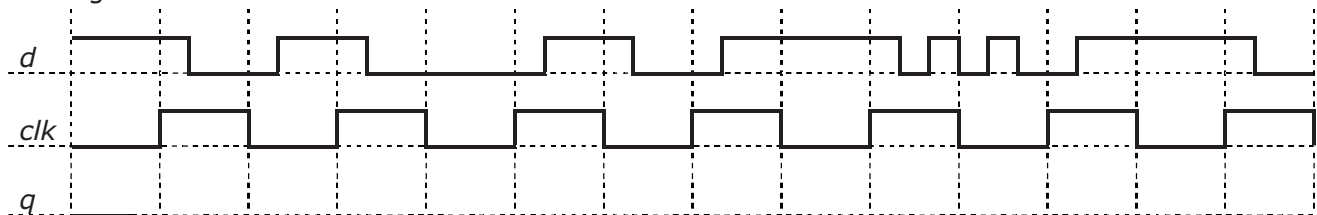
Poseu un exemple de circuit que necessàriament hagi de ser seqüencial ja que no es pot implementar amb un combinacional perquè requereix de memòria i/o sincronització.

#### Exercici 6.3 (Objectiu 6.3)

Dibuixeu el símbol usat als esquemes lògics i el graf de Moore d'un biestable D activat per flanc. Expressen amb les vostres pròpies paraules la seva funcionalitat.

#### Exercici 6.4 (Objectiu 6.4)

Completeu el cronograma següent d'un biestable D activat per flanc de pujada, on el senyal  $d$  identifica el que arriba a l'entrada del biestable, el senyal  $q$  és la seva sortida i  $clk$  és el senyal de rellotge.



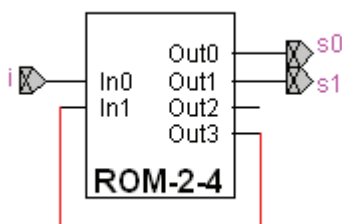
#### Exercici 6.5 (Objectiu 6.5)

Dibuixeu el símbol usat als esquemes lògics d'un registre de  $n$  bits REG. Dibuixeu-ne també el seu esquema lògic intern fet a partir de biestables D activats per flanc.

#### Exercici 6.6 (Objectiu 6.6)

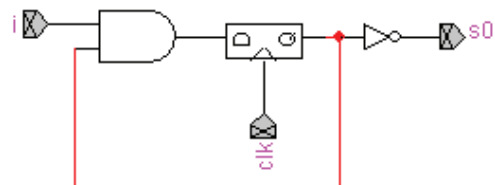
Indiqueu si els circuits que es mostren a continuació són circuits lògics seqüencials. Cas que no ho siguin indiqueu-ne el motiu, si ho són indiqueu si són de Mealy o de Moore.

##### Pregunta a.



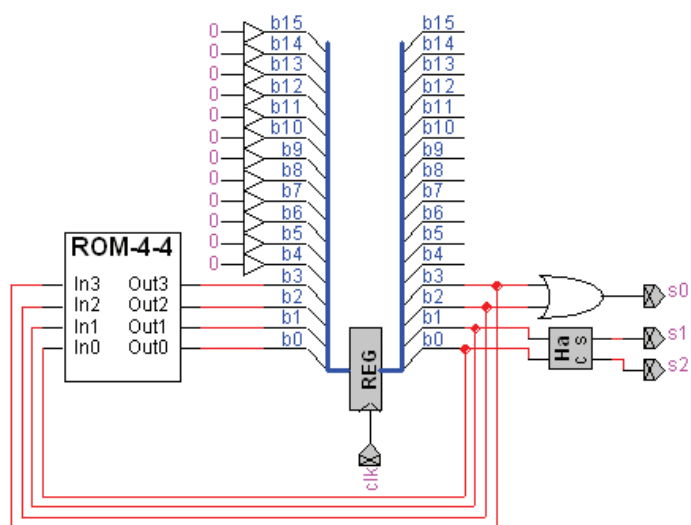
CLS Correcte?  
Tipus de CLS (si és correcte)?  
Problema (si no és correcte)?

##### Pregunta b.



CLS Correcte?  
Tipus de CLS (si és correcte)?  
Problema (si no és correcte)?

### Pregunta c.

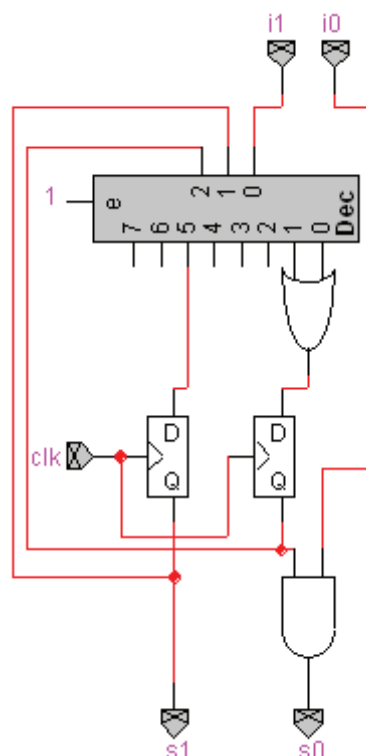


CLS Correcte?

Tipus de CLS (si és correcte)?

Problema (si no és correcte)?

### Pregunta d.



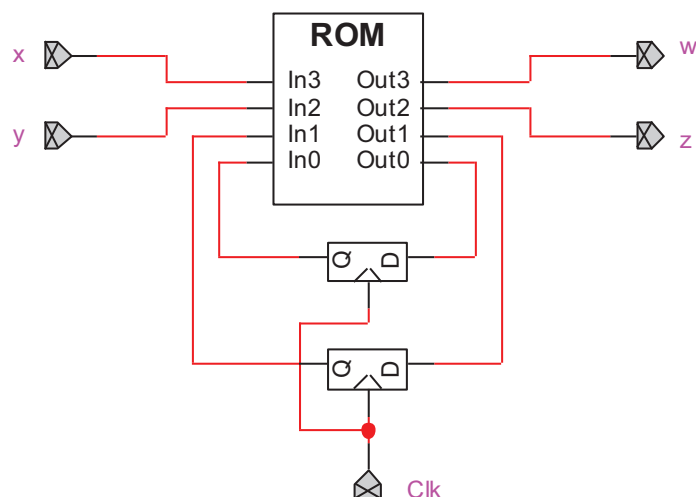
CLS Correcte?

Tipus de CLS (si és correcte)?

Problema (si no és correcte)?

### Exercici 6.7 (Objectiu 6.6)

Donat el següent circuit seqüencial:



Digues quina de les següents afirmacions és certa:

- El circuit de la figura és un circuit amb una única ROM que calcula l'estat següent i les sortides en funció de les entrades i l'estat actual i el seu comportament es pot definir amb un graf de Moore.
- El comportament del circuit de la figura no es pot especificar amb un graf de Moore ja que, donat que les sortides depenen directament de les entrades, és un circuit de Mealy.
- No es pot saber si el comportament del circuit de la figura es pot especificar amb un graf de Moore sense conèixer el contingut de la ROM.
- No és un circuit lògic seqüencial.

**Exercici 6.8** (Objectiu 6.7)

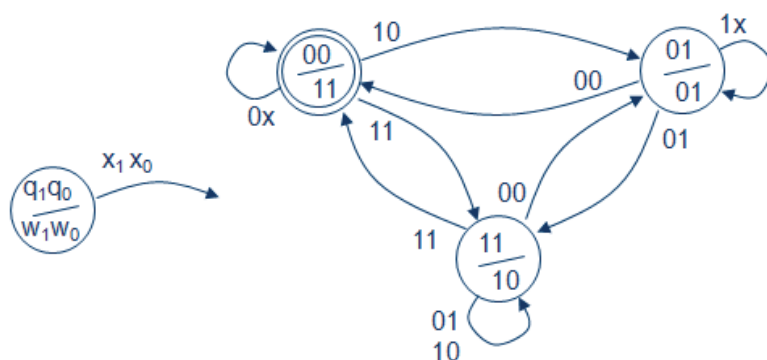
Expliqueu amb les vostres pròpies paraules quina condició ha de complir el temps de cycle del senyal de rellotge per a que un circuit fet a partir de blocs combinacionals i biestables interconnectats pugui funcionar correctament.

**Exercici 6.9** (Objectiu 6.8)

Dibuixeu l'esquema general d'un circuit lògic seqüencial usant els blocs següents: combinacional d'estat següent, biestables d'estat i combinacional de sortida, pels casos de Mealy i de Moore amb  $n$  senyals d'entrada,  $m$  sortides i  $k$  biestables.

**Exercici 6.10** (Objectiu 6.9)

A partir el graf de Moore que es mostra continuació escriviu-ne la taula de transicions i la de sortides.

**Exercici 6.11** (Objectiu 6.9)

A partir de la taula de transicions i sortides que es mostra continuació dibuixeu el graf de Moore corresponent (no us oblideu de la llegenda). L'estat inicial correspon a la codificació  $q1=0$  i  $q0=0$ .

Taula de transicions

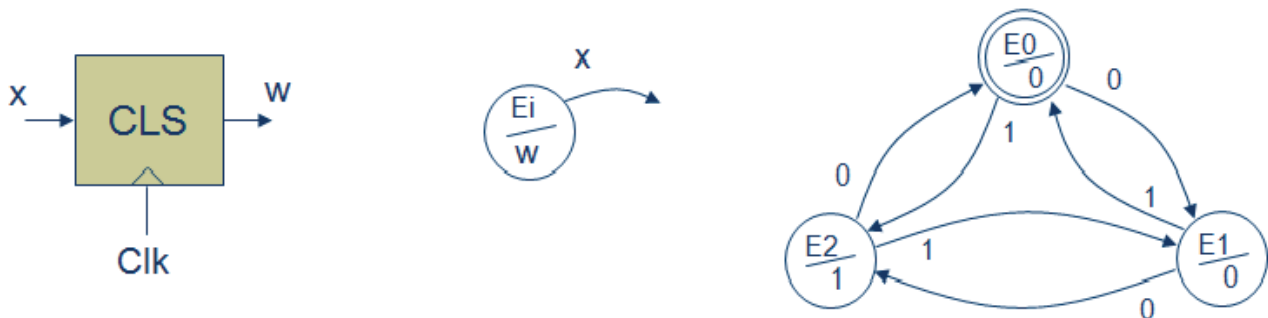
$q1$	$q0$	$x$	$q1^+$	$q0^+$
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	1

Taula de sortides

$q1$	$q0$	$s1$	$s0$
0	0	0	1
0	1	0	0
1	0	1	1
1	1	1	0

**Exercici 6.12** (Objectiu 6.10)

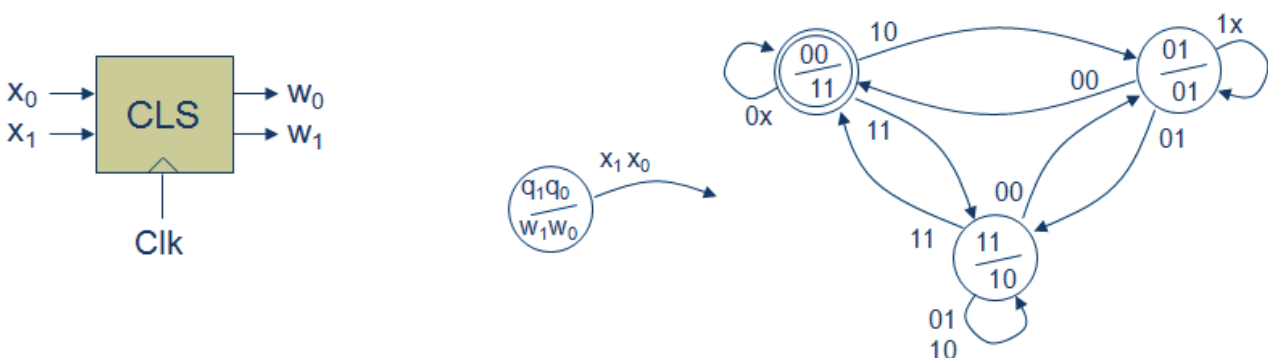
La figura mostra un CLS d'una entrada  $x$  i una sortida  $w$  junt amb el graf d'estats de Moore que defineix el seu comportament. El nom dels estats del graf, E0, E1 i E2, no s'ha codificat. Completeu el cronograma següent que mostra el comportament del circuit per a una seqüència concreta de valors de l'entrada. El cronograma s'ha dibuixat com una taula en la qual cada columna és un cicle de rellotge. S'han numerat els cicles de 0 a 14. Per a cada cicle s'indica el valor de l'entrada i la sortida un cop estabilitzades. L'estat en el qual es troba el circuit en cada cicle s'indica amb el nom de l'estat E0, E1 o E2, ja que no sabem la seva codificació. Cal que completeu la taula, concretament: l'estat i la sortida per als cicles 10 a 14.



Núm. Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14
Estat	E0	E1	E2	E0	E2	E1	E0	E2	E1	E0					
Entrada $x$	0	0	0	1	1	1	1	1	1	0	1	1	0	0	0
Sortida $w$	0	0	1	0	1	0	0	1	0	0					

**Exercici 6.13** (Objectiu 6.10)

La figura mostra un CLS dues entrades ( $x_1, x_0$ ) i dues sortides ( $w_1, w_0$ ) junt amb el graf d'estats de Moore que defineix el seu comportament. El nom dels estats del graf s'han codificat amb dos bits ( $q_1, q_0$ ). Completeu el cronograma següent que mostra el comportament del circuit per a una seqüència concreta de valors de l'entrada. El cronograma s'ha dibuixat com una taula en la qual cada columna és un cicle de rellotge. S'han numerat els cicles de 0 a 14. Per a cada cicle s'indica el valor de l'entrada i la sortida un cop estabilitzades. L'estat en el qual es troba el circuit en cada cicle s'indica amb la codificació de l'estat. Cal que completeu la taula, concretament: l'estat i la sortida per als cicles del 5 al 14.



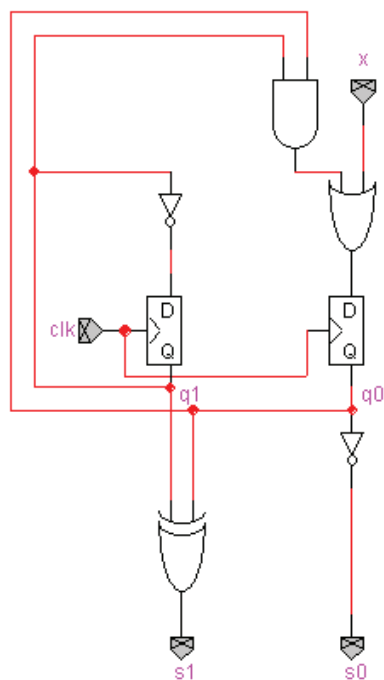
Núm. Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14
Estat $q_1q_0$	00	00	00	11	11										
Entrada $x_1x_0$	00	01	11	10	01	00	11	11	01	10	00	01	10	11	00
Sortida $w_1w_0$	11	11	11	10	10										

**Exercici 6.14** (Objectiu 6.13)

Donat un graf d'estats d'un circuit seqüencial de Moore amb 7 estats, quants biestables D fan falta per implementar el circuit amb el nombre mínim de biestables?

**Exercici 6.15** (Objectiu 6.14)

El següent circuit és un CLS de Moore amb dos bits d'estat ( $q1$ ,  $q0$ ), una entrada  $x$  i dues sortides  $s1$  i  $s0$ . A partir del seu esquema lògic calcula la seva taula de transicions i la taula de sortides.

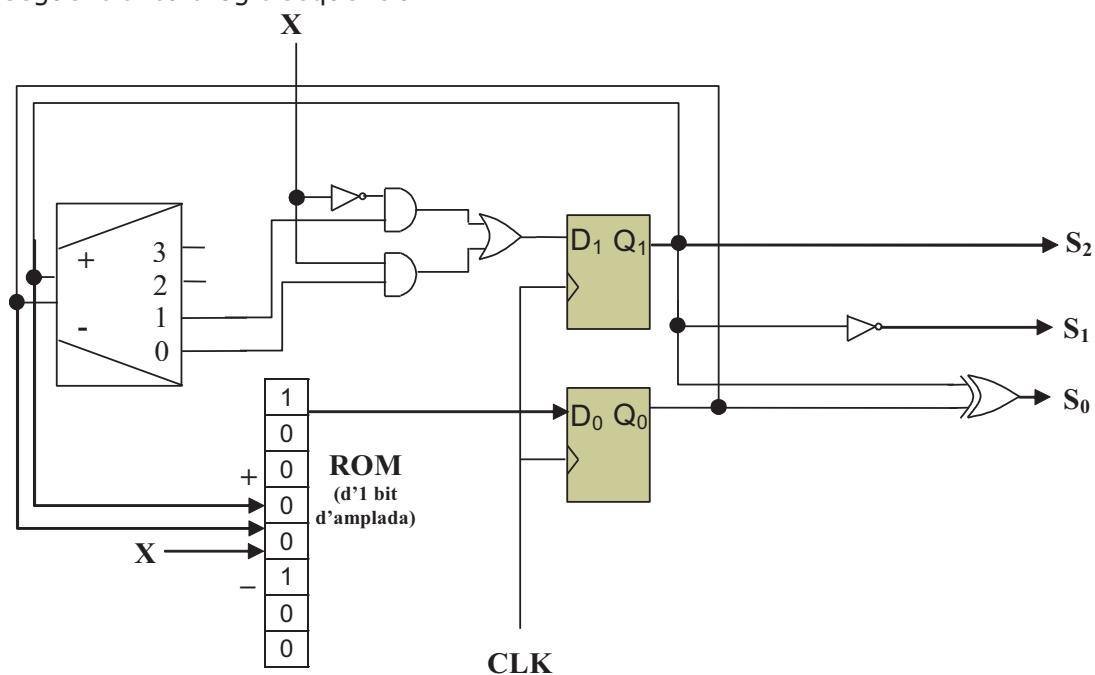


$q1$	$q0$	$x$	$q1^+$	$q0^+$
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

$q1$	$q0$	$s1$	$s0$
0	0		
0	1		
1	0		
1	1		

**Exercici 6.16** (Objectiu 6.14)

Donat el següent circuit lògic seqüencial:



La ROM del circuit correspon al senyal  $Q_0$ . La primera casella de la ROM correspon al bits de menys pes.

Contesta les següents preguntes:

- a)** Sense analitzar la funcionalitat del sistema digues quin és el nombre màxim d'estats que pot tenir aquest circuit?
- b)** Escriu una expressió algebraica per  $D_1$  en suma de mintermes.
- c)** Especifica la taula de transicions del circuit.

$Q_1$	$Q_0$	$X$	$Q_1^+$	$Q_0^+$
-------	-------	-----	---------	---------

- d)** Especifica la taula de sortides del circuit.

$Q_1$	$Q_0$	$S_2$	$S_1$	$S_0$
-------	-------	-------	-------	-------

- e)** Troba el graf de Moore del circuit. Suposa que l'estat inicial és  $Q_1=0$  i  $Q_0=0$ .

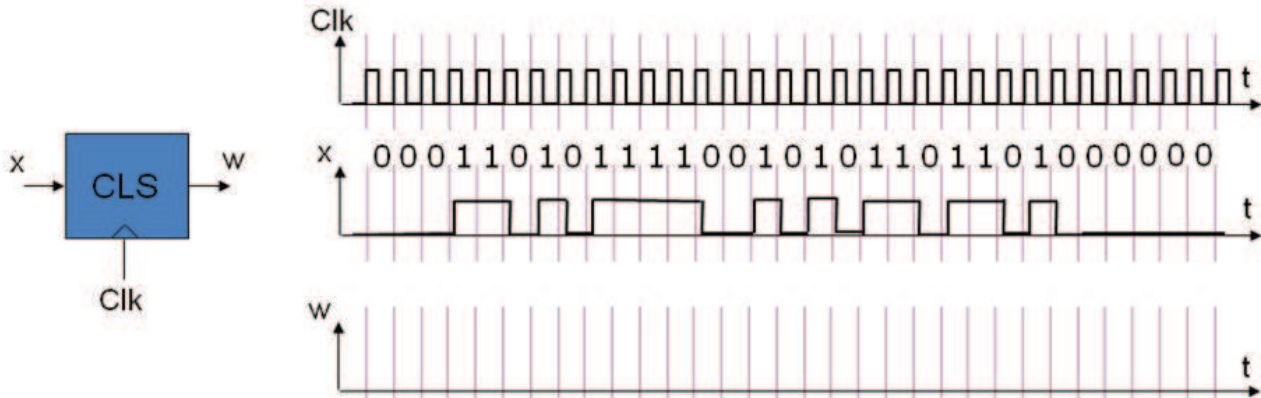


**Pregunta c)**

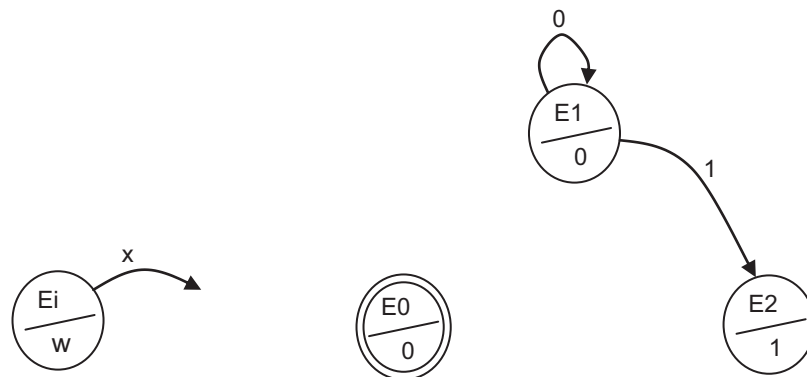
El CLS és un detector de flanc ascendent del senyal d'entrada. Té una entrada  $x$  i una sortida  $w$ . La sortida val 1 al cicle  $c$  ( $w(c) = 1$ ) si al cicle anterior la entrada va prendre el valor 1 ( $x(c-1) = 1$ ) i abans que aquest va prendre el valor 0 ( $x(c-2) = 0$ ). Expressat en un pseudollenguatge d'alt nivell:

```
if ((x(c-2)==0) && (x(c-1)==1)) w(c)=1 else w(c)=0;
```

Completeu primer el cronograma per a la mateixa seqüència d'entrada de l'exemple anterior i després poseu les transicions que falten al graf incomplet que us donem.



El graf següent és una solució incompleta de l'exercici assumint que quan s'inicialitza el circuit (quan es fa *reset* del sistema) no es pot fer cap suposició sobre el valor de l'entrada. És a dir, si quan es fa *reset* del sistema l'entrada val 1, al cicle següent la sortida no ha de valer 1 (no s'ha produït cap flanc ascendent encara).

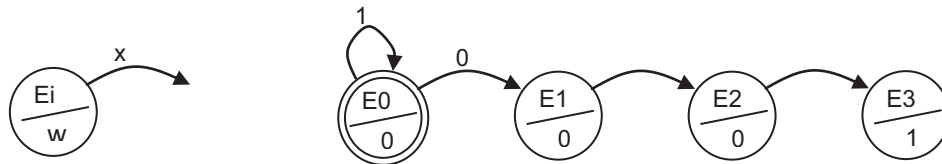


És el mateix un detector de flanc ascendent a l'entrada que un detector de la seqüència d'entrada 01?

**Pregunta d)**

El CLS és un detector d'un pols d'un o més cicles. Té una entrada,  $x$ , i una sortida,  $w$ . La sortida  $w$  val 1 al cicle següent de detectar un pols a l'entrada  $x$ . En qualsevol altre cas  $w$  val 0. Un pols a l'entrada es produeix quan  $x$  passa de valer 0 a valer 1, es manté a 1 durant un o més cicles i passa altre cop a valer 0. Per aclarir el funcionament del circuit us donem el cronograma següent en forma de taula on cada columna és un cicle de rellotge. Després de completar el dibuix del graf comproveu, completant el cronograma, que el graf que proposeu és correcte. Per a fer-ho indiqueu els estats pels quals passa el circuit al llarg del temps per a la seqüència d'entrades que es dona. Si detecteu que el graf que proposeu com a solució no produeix la seqüència de sortides que indica el cronograma, modifiqueu el graf fins que sigui correcte.



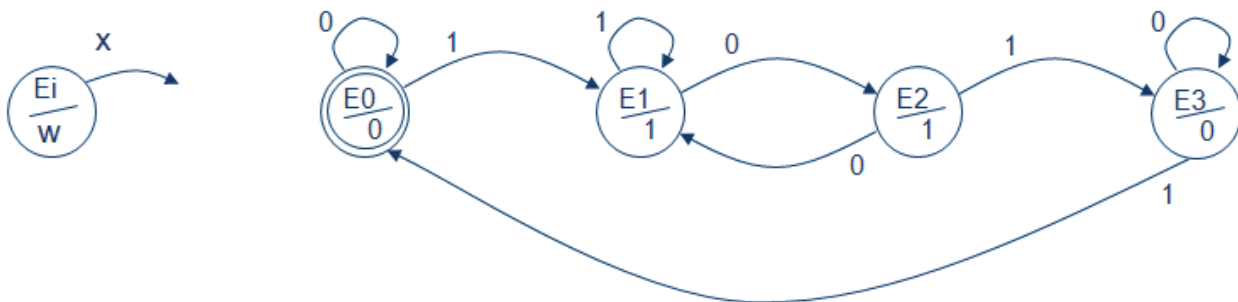


Núm. Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14
Estat	E0														
Entrada x	0	0	1	0	1	1	1	0	1	0	1	1	0	0	0
Sortida w	0	0	0	0	1	0	0	0	1	0	1	0	0	1	0

### Exercici 6.18 (Objectiu 6.13)

#### Pregunta a)

Dibuixeu l'esquema lògic que implementa el següent graf d'estats de un circuit seqüencial de Moore usant el nombre mínim de biestables, dos descodificadors (un per a l'estat següent i l'altre per a les sortides) i portes Or. A més, indiqueu la taula de veritat del circuit combinacional que calcula l'estat següent i la del que calcula les sortides. No oblideu relacionar el nom de cada estat amb la combinació de les sortides dels biestables que codifiquen l'estat.



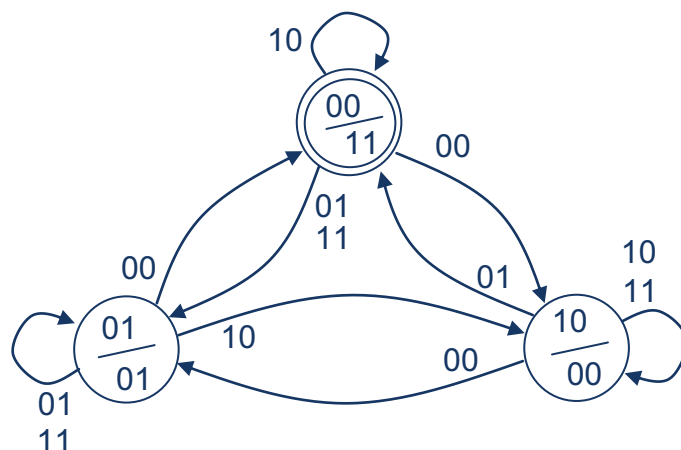
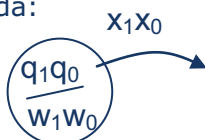
#### Pregunta b)

Dibuixeu l'esquema lògic que implementa el graf de la pregunta a) amb el nombre mínim de biestables D i amb portes en suma de mintermes.

### Exercici 6.19 (Objectiu 6.13)

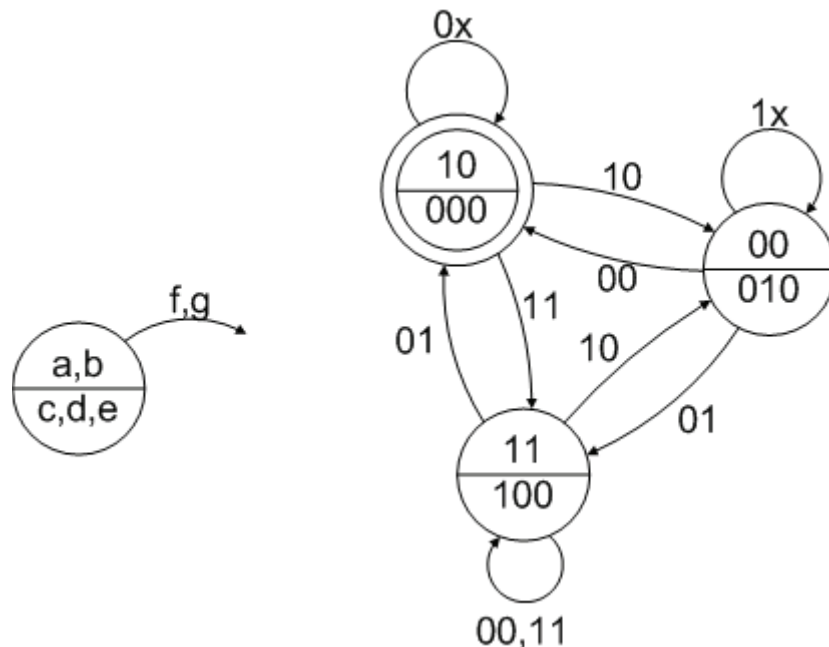
Dibuixeu l'esquema lògic que implementa el següent graf d'estats de un circuit seqüencial de Moore usant el nombre mínim de biestables D i dues ROMs, una per a l'estat següent i l'altra per a les sortides. A més, indiqueu la taula de veritat del circuit combinacional que calcula l'estat següent i la del que calcula les sortides. No oblideu relacionar el nom de cada estat amb la combinació de les sortides dels biestables que codifiquen l'estat.

Llegenda:



**Exercici 6.20** (Objectiu 6.13)**Pregunta a)**

Donat el següent graf d'un circuit seqüencial de Moore, escriu la taula de transicions (taula de l'estat següent) i la taula de sortides. Etiqueteu clarament cada columna de cada taula d'acord amb la llegenda del graf.

**Pregunta b)**

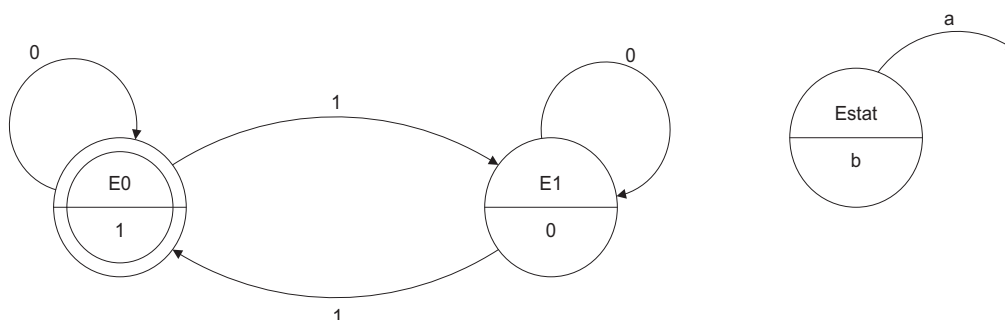
A partir de la taula de transicions i la taula de sortides de l'apartat anterior, dibuixeu l'esquema lògic que implementa el circuit amb el nombre mínim de biestables D i una memòria ROM per implementar els senyals de l'estat següent i un descodificador i portes Or per a les sortides.

Indiqueu clarament:

- El nom de tots els senyals d'entrada i sortida del circuit.
- Els bits de l'adreça de la ROM, per saber el pes dels mateixos, la direcció (en decimal) de la primera i la darrera paraula de la ROM i el contingut de cada paraula dins del símbol de la ROM (codifiqueu les X de les taules de veritat com a 0 a la ROM).
- L'entrada D i la sortida Q de cada biestable.

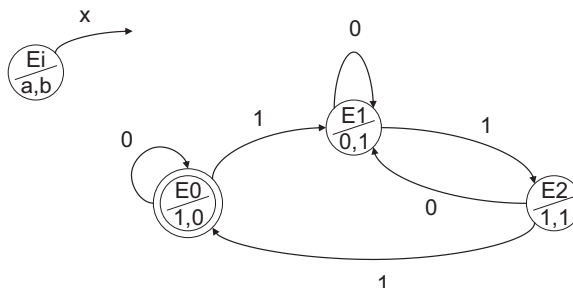
**Exercici 6.21** (Objectiu 6.13)

Dibuixa l'esquema lògic del circuit que implementa el següent graf d'estats de Moore utilitzant una sola ROM i el nombre mínim de biestables. Indica-hi clarament la codificació dels estats que has usat i quin és el valor inicial dels biestables.

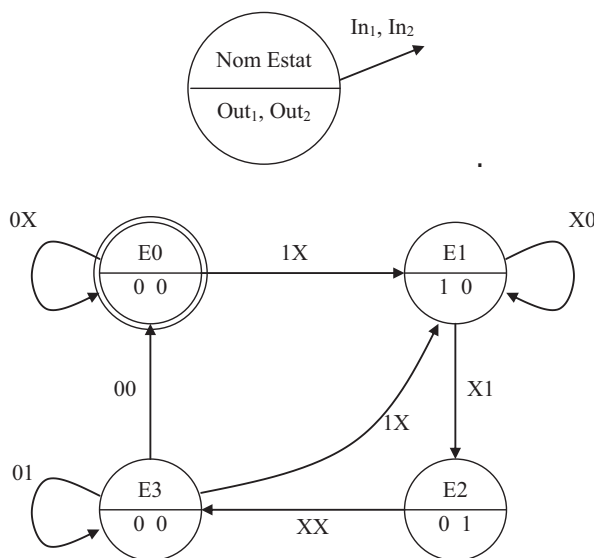


**Exercici 6.22** (Objectiu 6.13)

Donat el següent graf d'estats de Moore, que disposa d'una entrada  $x$  i dos sortides  $a$  i  $b$ . Dibuixa l'esquema lògic del circuit utilitzant el nombre mínim de biestables i una sola ROM, indicant clarament el contingut que ha d'emmagatzemar aquesta ROM. Indica-hi clarament la codificació dels estats que has usat i quin és el valor inicial dels biestables.

**Exercici 6.23** (Objectiu 6.13)

Donat el següent graf d'estats de Moore, que disposa de dues entrades  $In_1$  i  $In_2$  i dos sortides  $Out_1$  i  $Out_2$ . Dibuixa l'esquema lògic del circuit utilitzant el nombre mínim de biestables i una sola ROM, indicant clarament el contingut que ha d'emmagatzemar aquesta ROM. Indica-hi clarament la codificació dels estats que has usat i quin és el valor inicial dels biestables.



## ET6b (Circuits seqüencials – Introducció als Grafs de Moore i anàlisi d'implementacions).

### Exercicis per avaluar objectius de nivell A

**Objectius:** 6.12

(Recordeu que l'objectiu amb l'asterisc cal fer-lo a casa i portar-lo resolt a classe)

#### Exercici 6.24 (Objectiu 6.12)

Dibuixa el graf de Moore del Circuit Lògic Seqüencial (CLS) següent. El CLS produeix un pols cada 5 cicles. Té una sortida,  $w$ , i cap entrada. Cada cinc cicles de rellotge es genera un pols d'un cicle a la sortida i aquest comportament es repeteix indefinidament. A l'estat inicial la sortida ha de valer 0 i quatre cicles després 1. Així el sistema repeteix indefinidament la seqüència: 00001000010000100001000010...

#### Exercici 6.25 (Objectiu 6.12)

Dibuixa el graf de Moore del Circuit Lògic Seqüencial (CLS) següent. El CLS és un generador de seqüència. Té tres sortides ( $w_2$ ,  $w_1$ ,  $w_0$ ) el valor de les quals s'interpreta com un número natural codificat en binari amb 3 bits. No té cap entrada. La seqüència de valors de sortida és 3, 7, 4, 2 i es repeteix aquesta seqüència indefinidament (3, 7, 4, 2, 3, 7, 4, 2, 3, 7, 4, 2,...). A l'estat inicial la sortida és 3.

#### Exercici 6.26 (Objectiu 6.12)

Dibuixa el graf de Moore del Circuit Lògic Seqüencial (CLS) que reconegui qualsevol de les dues seqüències de tres bits "010" i "101". El sistema té una entrada  $x$  d'un bit. Quan detecta alguna de les seqüències especificades anteriorment posa a 1 el bit  $s$  de la sortida durant el cicle següent a la detecció.

- Dibuixa el graf del sistema sense permetre solapament entre les dues seqüències o d'una seqüència amb ella mateixa.
- Dibuixa el graf del sistema permetent qualsevol tipus solapament entre les dues seqüències o d'una seqüència amb ella mateixa.

#### Exercici 6.27 (Objectiu 6.12)

Dibuixa el graf de Moore del Circuit Lògic Seqüencial (CLS) següent. El CLS és un biestable D amb senyal de permís de càrrega (*Load*). Té dues entrades  $Ld$  i  $D$ , i una sortida,  $Q$ . El funcionament és el següent: si al cicle  $c$  el senyal  $Ld$  val 0 (és a dir,  $Ld(c) = 0$ ), la sortida  $Q$  al cicle  $c+1$  val el mateix que valia al cicle  $c$  ( $Q(c+1) = Q(c)$ ). D'altra banda, si al cicle  $c$  el senyal  $Ld$  val 1 ( $Ld(c) = 1$ ), la sortida  $Q$  al cicle  $c+1$  val el mateix que valia l'entrada  $D$  al cicle  $c$  ( $Q(c+1) = D(c)$ ). A l'estat inicial la sortida val 0. Aquest comportament també es pot especificar en un pseudo-llenguatge d'alt nivell com:

```
if (Ld(c) = 1) Q(c+1) = D(c) else Q(c+1) = Q(c);
```

#### (\*) Exercici 6.28 (Objectiu 6.12)

Dibuixa el graf de Moore del Circuit Lògic Seqüencial (CLS) següent. El CLS és un negador amb un cicle de retard i amb senyals de validació d'entrada i sortida. Té dues entrades ( $Vx$ ,  $x$ ) i dues sortides ( $Vw$ ,  $w$ ). A l'estat inicial les dues sortides valen 0. El seu comportament es pot especificar en un pseudo-llenguatge d'alt nivell com:

```
if (Vx(c) = 1) {
    Vw(c+1) = 1;
    w(c+1) = !x(c);
} else {
    Vw(c+1) = 0;
    w(c+1) = 0;
}
```

La seqüència d'entrades i sortides del cronograma pot ajudar-vos a entendre què fa el circuit. Després de proposar un graf completeu el cronograma següent en forma de taula indicant la seqüència d'estats per a comprovar que el graf té el comportament esperat.

Núm. Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14
Estat	E0														
Entrada Vx	0	0	1	0	0	0	1	1	0	1	1	1	0	0	0
Entrada x	0	0	0	0	1	0	0	1	0	1	1	1	0	0	0
Sortida Vw	0	0	0	1	0	0	0	1	1	0	1	1	1	0	0
Sortida w	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0

### Exercici 6.29 (Objectiu 6.12)

Dibuixa el graf de Moore del Circuit Lògic Seqüencial (CLS) següent. El CLS indica l'error més greu que s'ha produït fins al cicle anterior. Té dues entrades ( $x1$ ,  $x0$ ) i dues sortides ( $w1$ ,  $w0$ ). Tant les entrades com les sortides codifiquen en binari un número natural que indica el nivell d'error del circuit que alimenta al nostre. El 0 indica que no s'ha produït error i de l'1 al 3 codifiquen un tipus d'error que és més greu quant major és el número. La sortida ha d'indicar en cada moment si no s'ha produït mai cap error (des que es va fer *reset* del sistema) o si s'ha produït algun error. Si no s'ha produït mai cap error la sortida ha de mostrar el codi 0. Si s'ha produït un o diversos errors la sortida ha d'indicar el codi de l'error més greu produït fins al moment. Dit d'altra forma, a l'entrada del CLS arriba un número cada cicle i la sortida indica a cada cicle quin és el major dels números que ha arribat a l'entrada des que es va fer *reset* del sistema fins al cicle anterior.



**Pregunta b)**

El temps de propagació dels blocs combinacionals que hi ha en aquest circuit són els següents ( $TC_{i\ n-m}$  indica el temps de propagació del bloc  $C_i$  des de l'entrada  $n$  a la sortida  $m$ , que es mesuren en unitats de temps, u.t.):

$TC_1$	$TC_2$	$TC_3$	$TC_4$
a-d 40	i-e 30	g-j 20	k-l 80
b-d 50	i-f 60	h-j 70	
c-d 10			

El temps de propagació de qualsevol biestable del sistema ( $FF_{in}$ ,  $FF_0$ ,  $FF_1$ ,  $FF_{out}$ ) és de 100 u.t. Escriu a la taula següent el temps de cada un dels possibles camins que has trobat a la pregunta anterior, indicant els sumands i la suma total.

Camí	$\dots TC_{i\ x-y} + TC_{j\ p-q} \dots$	Tcamí
1		
2		
3		
4		
5		
6		

**Pregunta c)**

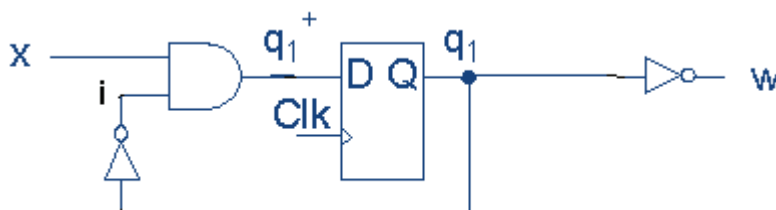
Quin és el camí crític del sistema?

**Pregunta d)**

Quin és el temps de cicle mínim del sistema?

**Exercici 6.31** (Objectiu 6.16)

Obtingueu el cronograma del senyal de sortida  $w$  i dels senyals d'estat actual ( $q_1$ ), de l'estat següent ( $q_1+$ ) i del punt intermedi i del circuit seqüencial de la figura.



El temps de cicle és 12 ut. i els temps de propagació són:

- 5 ut per als biestables tipus D
- 1 ut per a la Not
- 2 ut per a l'And-2

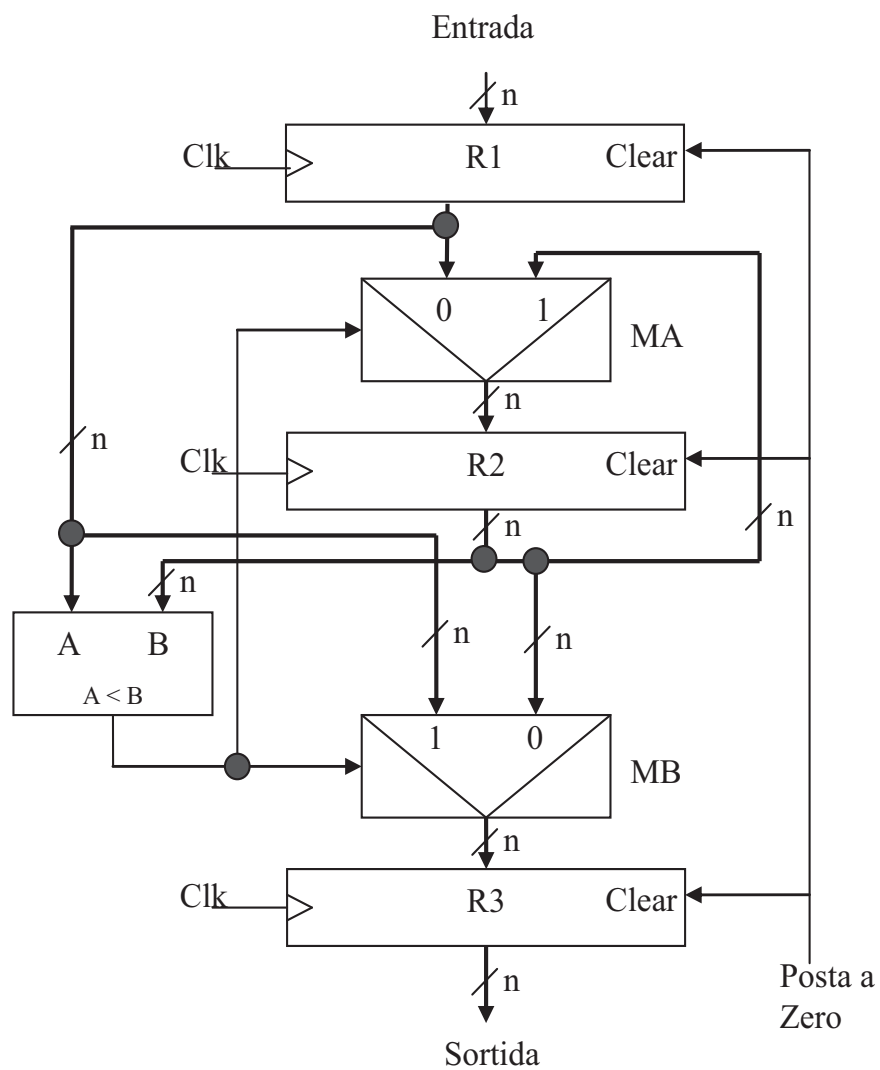
L'evolució temporal dels senyals d'entrada és la que es mostra a continuació.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Clk																					
x																					
q1																					
i																					
q1 <sup>+</sup>																					
w																					

Completeu el cronograma dels senyals que demana l'enunciat.

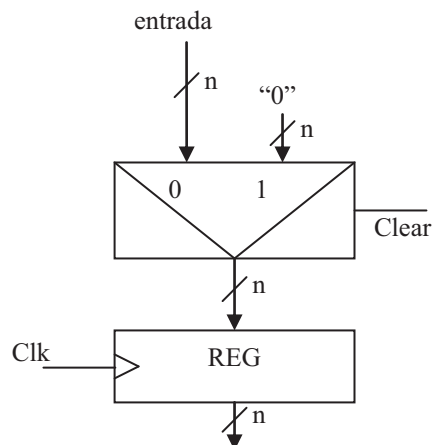
**Exercici 6.32** (Objectiu 6.15 i 6.16)

Donat el següent circuit:

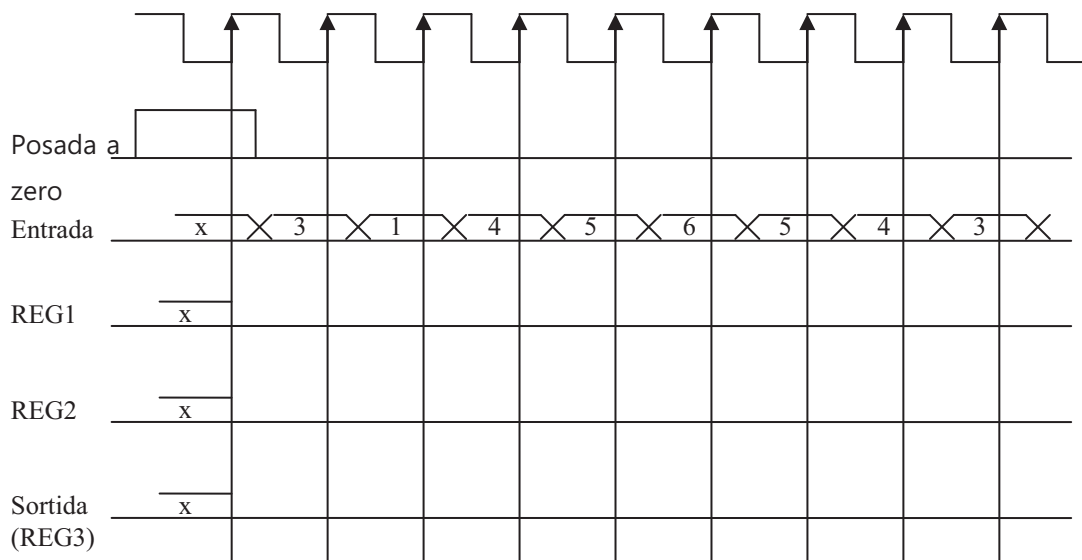




i tenint en compte que els blocs R1, R2 i R3 es dissenyen de la següent manera:



a) Completeu el cronograma següent suposant que el retard de tots els components és 0: (*Objectiu 6.16*)



b) Trobeu el camí crític (o els camins crítics si n'hi ha més d'un) del circuit suposant que el temps de propagació dels multiplexors és de 10 ut, el del comparador és de 5 ut i el d'un registre REG és de 50 ut. El retard de l'entrada del circuit és de 30 u.t. Per especificar un camí crític digues la seqüència de blocs que travessa. Anomena els registres i multiplexors que es troben dintre dels blocs R1, R2 i R3, com REG1, REG2 i REG3; M1, M2 i M3 respectivament. (*Objectiu 6.15*)

c) Digues quin serà el temps del cicle mínim del rellotge que governa el circuit. (*Objectiu 6.15*)

## Solucions ET6 (Introducció als circuits seqüencials)

### ET6a

#### Exercici 6.1

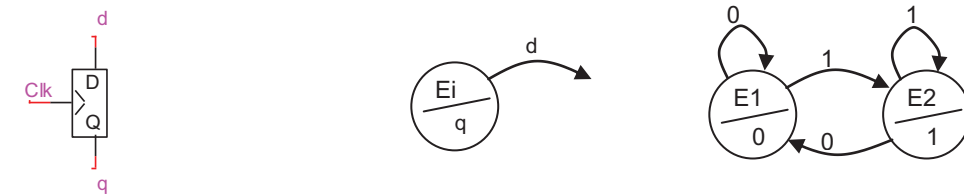
Els circuits seqüencials son aquells circuits en que les sortides en un moment determinat no depenen únicament de les entrades en aquell moment si no que depenen de totes les entrades anteriors des de que el circuit s'ha inicialitzat. O sigui que les sortides en un instant determinat depenen de les entrades en aquest instant i de l'estat del circuit.

En el cas particular d'un sistema lògic seqüencial de Moore, les sortides en un instant determinat només depenen de l'estat del circuit.

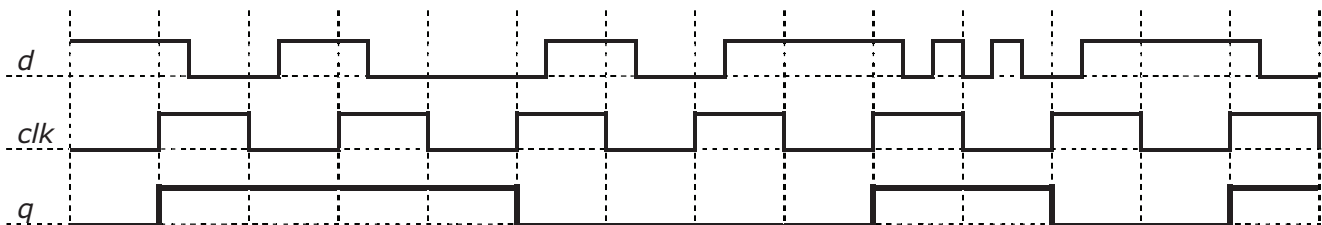
#### Exercici 6.2

Per exemple un circuit que rep 10 valors naturals, a raó d'un cada segon, i ha de fer la seva suma acumulada i mostrar el resultat.

#### Exercici 6.3

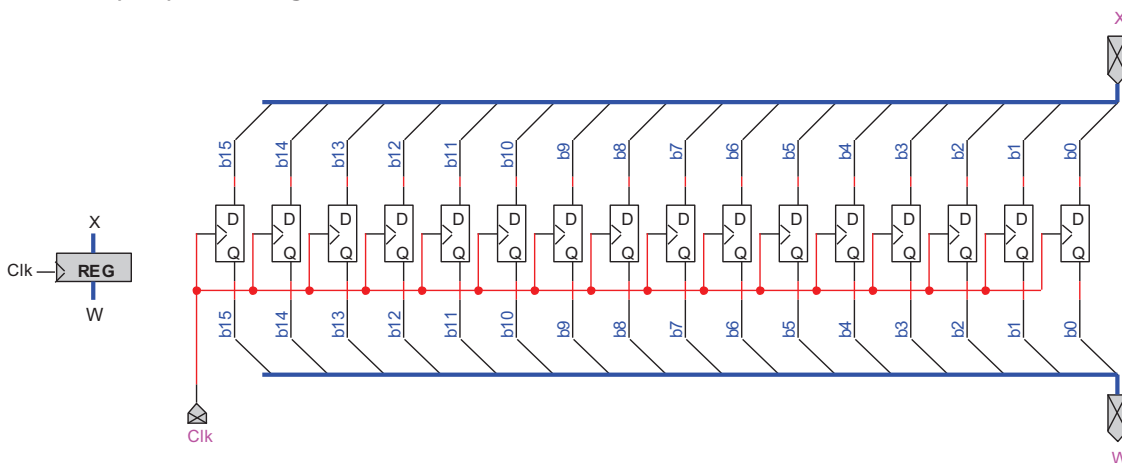


#### Exercici 6.4



#### Exercici 6.5

Per exemple per un registre de 16 bits



### Exercici 6.6

**Pregunta a.** No és un circuit lògic seqüencial. Una sortida de la ROM es realimenta sense passar per un dispositiu de sincronització.

**Pregunta b.** Sí és un circuit lògic seqüencial. És de Moore.

**Pregunta c.** Sí és un circuit lògic seqüencial. És de Moore.

**Pregunta d.** Sí és un circuit lògic seqüencial. És de Mealy.

### Exercici 6.7

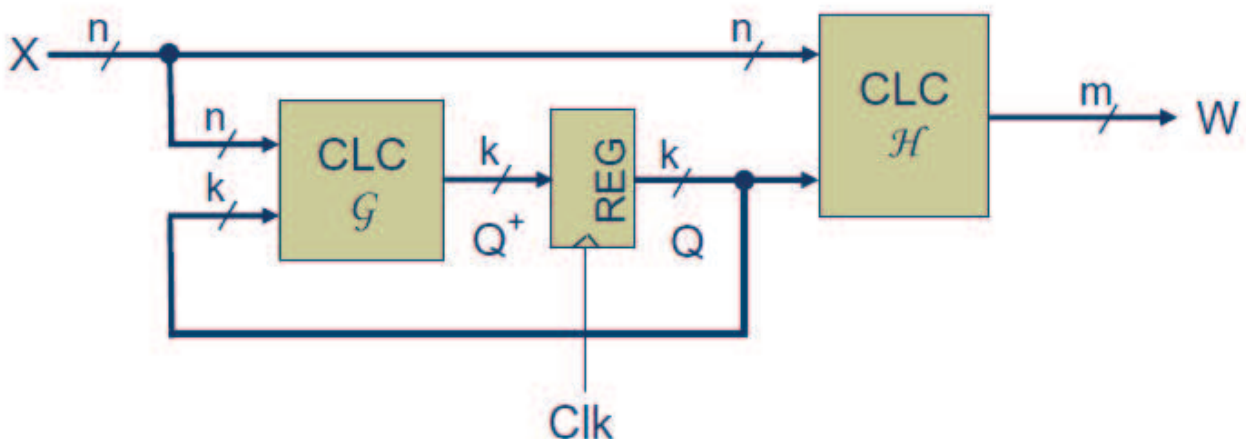
L'afirmació certa és la c).

### Exercici 6.8

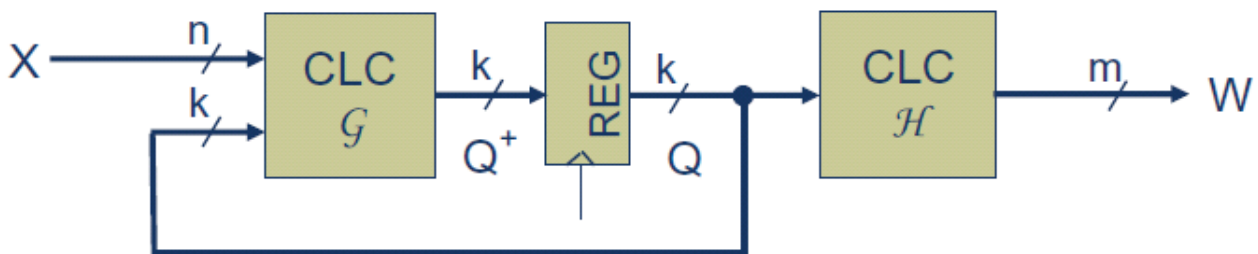
El temps de cicle ha de ser superior o igual a la suma dels temps de retard de tots els blocs combinacionals que hi ha al camí entre biestables que tingui més retard, incloent també el retard del primer biestable.

### Exercici 6.9

Mealy



Moore



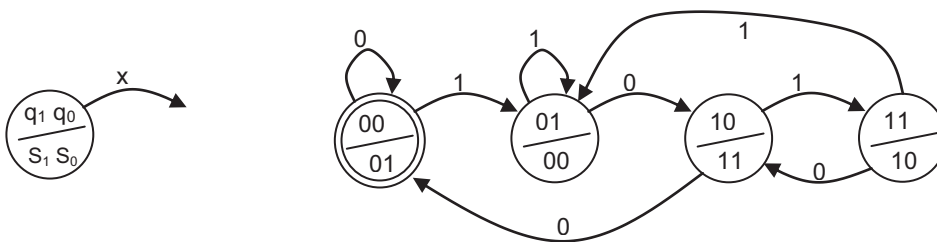
**Exercici 6.10**

Taula de transicions				Taula Sortides	
$q_1$	$q_0$	$x_1$	$x_0$	$q_1^+$	$q_0^+$
0	0	0	0	<b>0</b>	<b>0</b>
0	0	0	1	<b>0</b>	<b>0</b>
0	0	1	0	<b>0</b>	<b>1</b>
0	0	1	1	<b>1</b>	<b>1</b>
0	1	0	0	<b>0</b>	<b>0</b>
0	1	0	1	<b>1</b>	<b>1</b>
0	1	1	0	<b>0</b>	<b>1</b>
0	1	1	1	<b>0</b>	<b>1</b>
1	0	0	0	<b>X</b>	<b>X</b>
1	0	0	1	<b>X</b>	<b>X</b>
1	0	1	0	<b>X</b>	<b>X</b>
1	0	1	1	<b>X</b>	<b>X</b>
1	1	0	0	<b>0</b>	<b>1</b>
1	1	0	1	<b>1</b>	<b>1</b>
1	1	1	0	<b>1</b>	<b>1</b>
1	1	1	1	<b>0</b>	<b>0</b>

$q_1$	$q_0$	$w_1$	$w_0$
0	0	<b>1</b>	<b>1</b>
0	1	<b>0</b>	<b>1</b>
1	0	<b>X</b>	<b>X</b>
1	1	<b>1</b>	<b>0</b>

**Exercici 6.11**

Suposarem que l'estat inicial és el  $q_1=0$  i  $q_0=0$


**Exercici 6.12**

Núm. Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14
Estat	E0	E1	E2	E0	E2	E1	E0	E2	E1	E0	<b>E1</b>	<b>E0</b>	<b>E2</b>	<b>E0</b>	<b>E1</b>
Entrada x	0	0	0	1	1	1	1	1	1	0	1	1	0	0	0
Sortida w	0	0	1	0	1	0	0	1	0	0	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>

**Exercici 6.13**

Núm. Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14
Estat $q_1q_0$	00	00	00	11	11	<b>11</b>	<b>01</b>	<b>01</b>	<b>01</b>	<b>11</b>	<b>11</b>	<b>01</b>	<b>11</b>	<b>11</b>	<b>00</b>
Entrada $x_1x_0$	00	01	11	10	01	00	11	11	01	10	00	01	10	11	00
Sortida $w_1w_0$	11	11	11	10	10	<b>10</b>	<b>01</b>	<b>01</b>	<b>01</b>	<b>10</b>	<b>10</b>	<b>01</b>	<b>10</b>	<b>10</b>	<b>11</b>

**Exercici 6.14**

Es necessiten un mínim de 3 biestables D per implementar el circuit.

**Exercici 6.15**

Taula Transicions				Taula Sortides				
q <sub>1</sub>	q <sub>0</sub>	x	q <sub>1</sub> <sup>+</sup>	q <sub>0</sub> <sup>+</sup>	q <sub>1</sub>	q <sub>0</sub>	s <sub>1</sub>	s <sub>0</sub>
0	0	0	<b>1</b>	<b>0</b>	0	0	<b>0</b>	<b>1</b>
0	0	1	<b>1</b>	<b>1</b>	0	1	<b>1</b>	<b>0</b>
0	1	0	<b>1</b>	<b>0</b>	1	0	<b>1</b>	<b>1</b>
0	1	1	<b>1</b>	<b>1</b>	1	1	<b>0</b>	<b>0</b>
1	0	0	<b>0</b>	<b>0</b>				
1	0	1	<b>0</b>	<b>1</b>				
1	1	0	<b>0</b>	<b>1</b>				
1	1	1	<b>0</b>	<b>1</b>				

**Exercici 6.16**

- a) Aquest circuit pot tenir com a màxim quatre estats ja que conté dos biestables que podran codificar fins a 2<sup>2</sup> valors.

b)

$$D_1 = \overline{Q_1} \cdot \overline{Q_0} \cdot X + \overline{Q_1} \cdot Q_0 \cdot \overline{X}$$

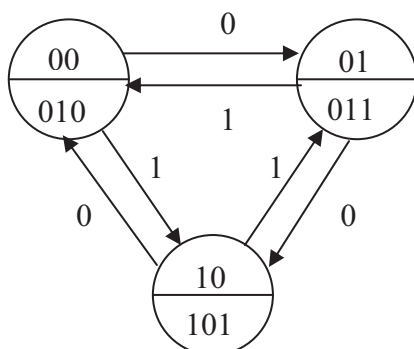
c)

Q <sub>1</sub>	Q <sub>0</sub>	X	Q <sub>1</sub> <sup>+</sup>	Q <sub>0</sub> <sup>+</sup>
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	0	0
1	1	1	0	0

d)

Q <sub>1</sub>	Q <sub>0</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>
0	0	0	1	0
0	1	0	1	1
1	0	1	0	1
1	1	1	0	0

e)

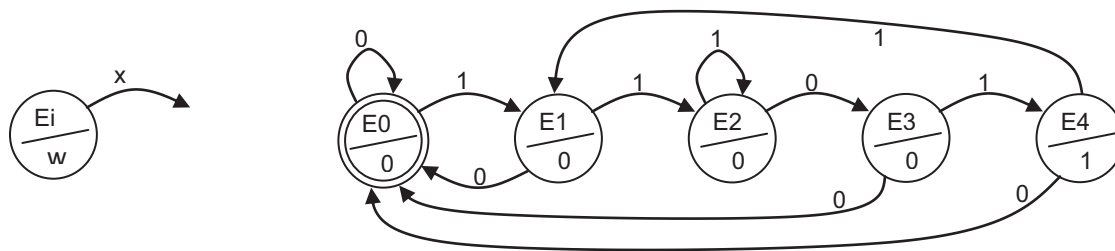


Com que l'enunciat ens diu que l'estat inicial és el 00, sabem que serà impossible arribar a l'estat 11.

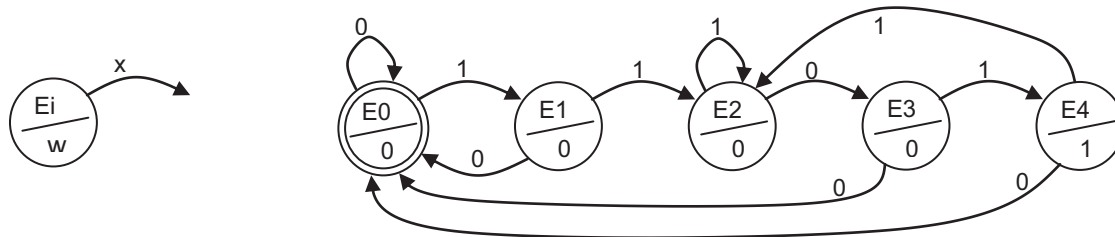
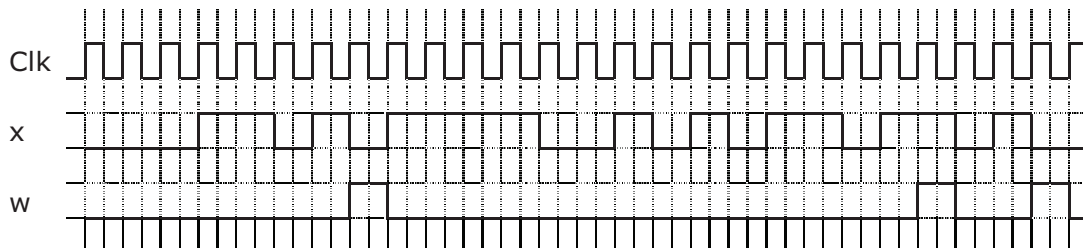
## ET6b

### Exercici 6.17

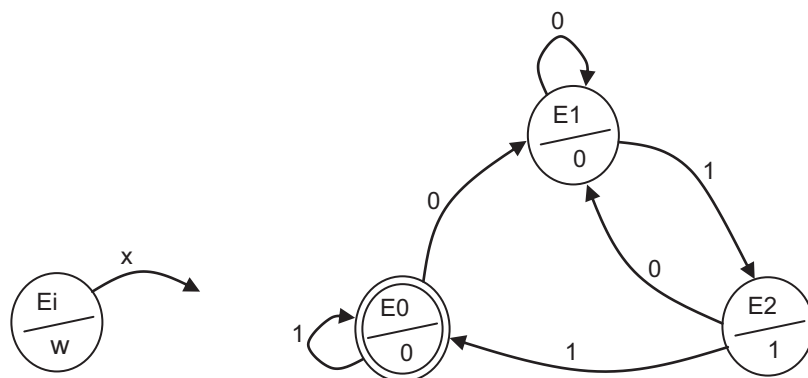
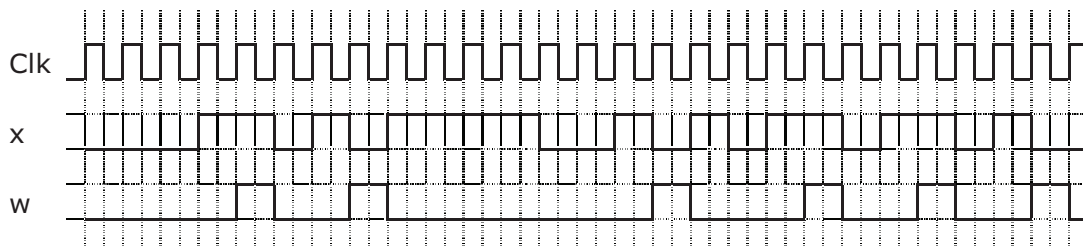
Pregunta a)



### Pregunta b)

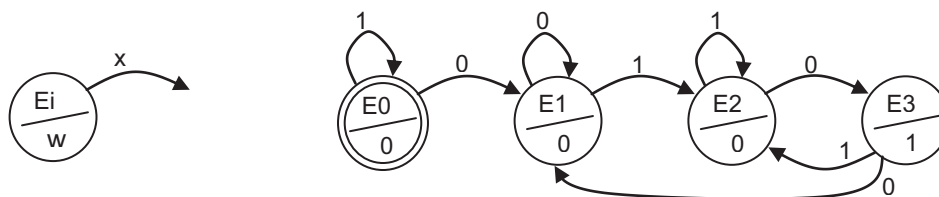


### Pregunta c)



Un detector de la seqüència d'entrada 01 sí és el mateix que un detector de flanc ascendent a l'entrada.

### Pregunta d)



Núm. Cicle	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14
Estat	E0	<b>E1</b>	<b>E1</b>	<b>E2</b>	<b>E3</b>	<b>E2</b>	<b>E2</b>	<b>E2</b>	<b>E3</b>	<b>E2</b>	<b>E3</b>	<b>E2</b>	<b>E2</b>	<b>E3</b>	<b>E1</b>
Entrada x	0	0	1	0	1	1	1	0	1	0	1	1	0	0	0
Sortida w	0	0	0	0	1	0	0	0	1	0	1	0	0	1	0

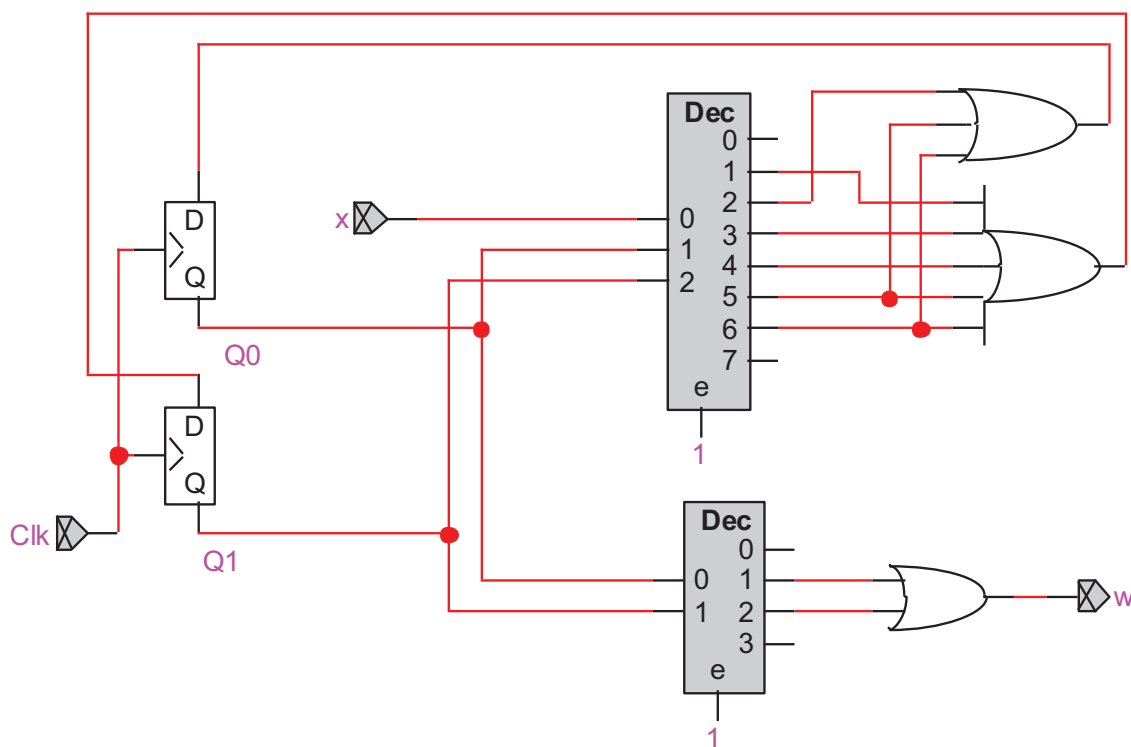
### Exercici 6.18

#### Pregunta a)

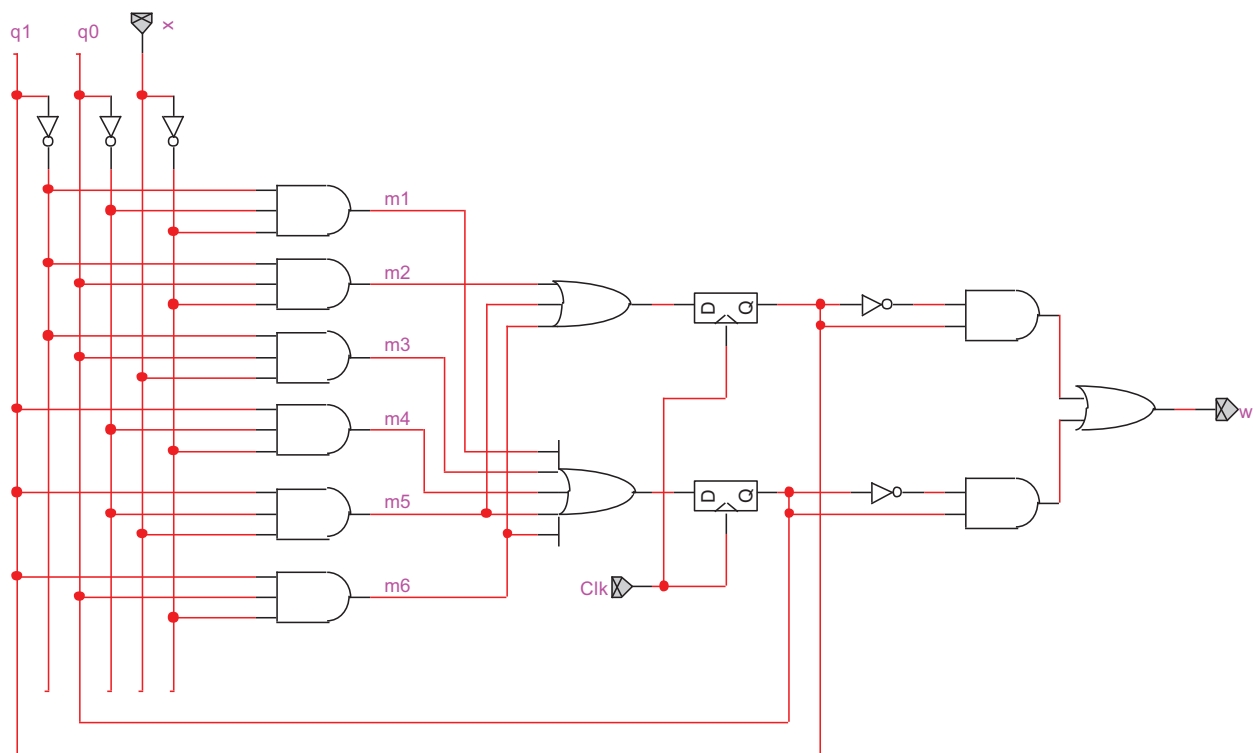
Taula Transicions			
q <sub>1</sub>	q <sub>0</sub>	x	q <sub>1</sub> <sup>+</sup> q <sub>0</sub> <sup>+</sup>
0	0	0	<b>0</b> <b>0</b>
0	0	1	<b>0</b> <b>1</b>
0	1	0	<b>1</b> <b>0</b>
0	1	1	<b>0</b> <b>1</b>
1	0	0	<b>0</b> <b>1</b>
1	0	1	<b>1</b> <b>1</b>
1	1	0	<b>1</b> <b>1</b>
1	1	1	<b>0</b> <b>0</b>

Taula Sortides		
q <sub>1</sub>	q <sub>0</sub>	w
0	0	<b>0</b>
0	1	<b>1</b>
1	0	<b>1</b>
1	1	<b>0</b>

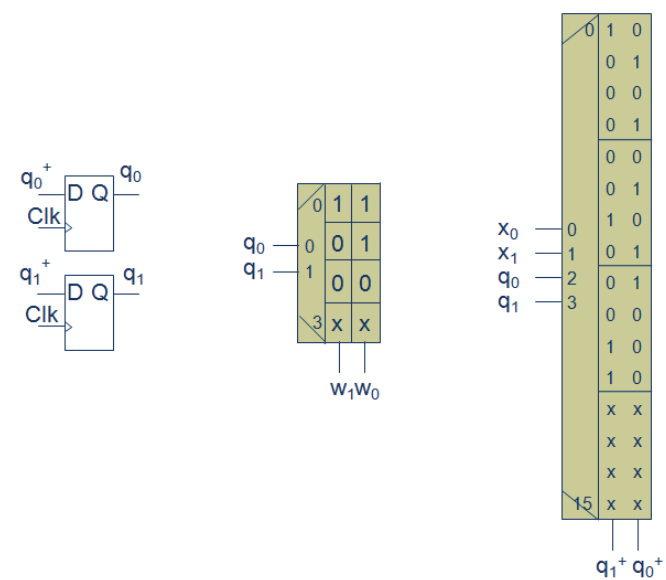
Codificació estat		
Ei	q <sub>1</sub>	q <sub>0</sub>
E0	<b>0</b>	<b>0</b>
E1	<b>0</b>	<b>1</b>
E2	<b>1</b>	<b>0</b>
E3	<b>1</b>	<b>1</b>



Pregunta b)



Exercici 6.19 (Objectiu 6.13)





## Exercici 6.20

### Pregunta a)

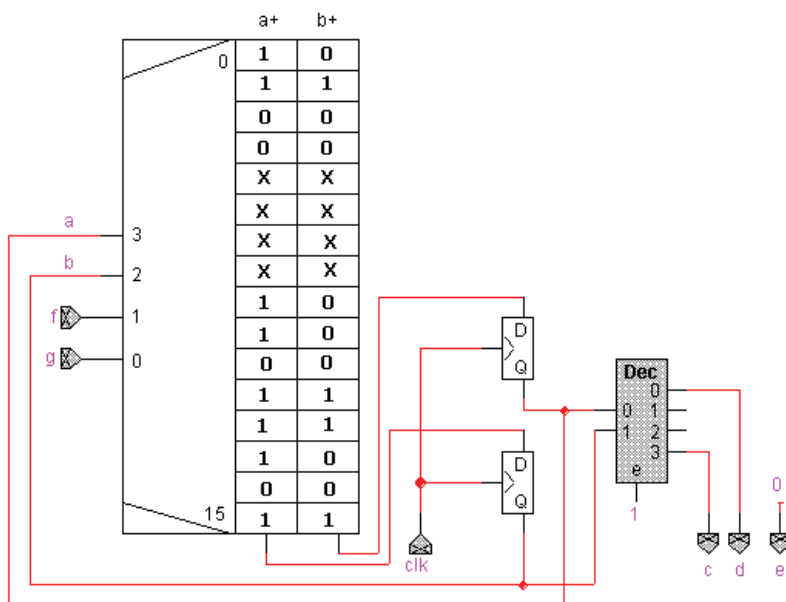
Taula de transicions

a	b	f	g	a <sup>+</sup>	b <sup>+</sup>
0	0	0	0	1	0
0	0	0	1	1	1
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	X	X
0	1	0	1	X	X
0	1	1	0	X	X
0	1	1	1	X	X
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	1	1
1	1	0	0	1	1
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	1	1	1

Taula de sortides

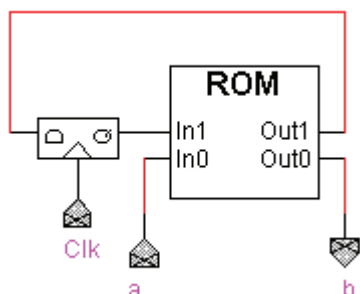
a	b	c	d	E
0	0	0	1	0
0	1	X	X	X
1	0	0	0	0
1	1	1	0	0

### Pregunta b)



### Exercici 6.21

El sistema només té dos possibles estats, per tant amb un sol biestable en tenim prou per implementar-lo. Hi ha diverses maneres de solucionar el problema depenent d'en quin ordre es connecten les entrades de la ROM i com s'organitzen les columnes d'aquesta. Mostrem només una de les possibles solucions:



Usant la següent codificació dels estats

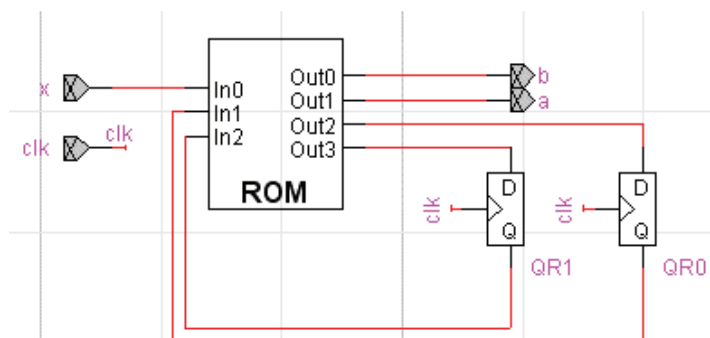
Estat	Q
E0	0
E1	1

Tenim que el contingut de la ROM ha de ser el següent:

Q+ (out1)	b (out0)	
0	1	M[0]
1	1	
1	0	M[3]
0	0	

L'estat inicial és E0, que es codifica amb un 0, per tant, el valor inicial del biestable és 0.

### Exercici 6.22

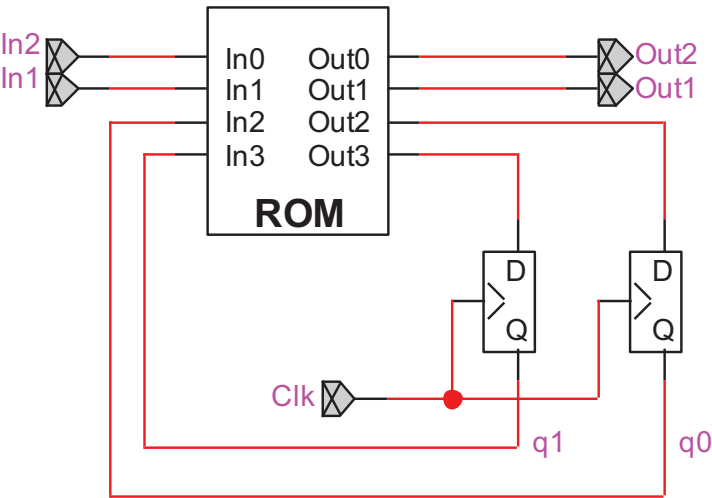


Valor inicial dels biestables: QR1=0 i QR0=0

Contingut de la ROM

Q1+	Q0+	a	b	
0	0	1	0	M[0]
0	1	1	0	
0	1	0	1	M[3]
1	0	0	1	
0	1	1	1	M[7]
0	0	1	1	
0	0	0	0	M[7]
0	0	0	0	

Exercici 6.23



Valor inicial dels biestables:  $q_1=0$  i  $q_0=0$

Contingut de la ROM

$q_1^+$	$q_0^+$	Out1	Out0	
0	0	0	0	M[0]
0	0	0	0	
0	1	0	0	
0	1	0	0	
0	1	1	0	
1	0	1	0	
0	1	1	0	M[7]
1	0	1	0	M[8]
1	1	0	1	
1	1	0	1	
1	1	0	1	
0	0	0	0	
1	1	0	0	
0	1	0	0	
0	1	0	0	M[15]

## ET6c (Circuits seqüencials – Camí crític i Temps de cicle).

### Exercicis per avaluar objectius de nivell B

**Objectius:** 6.15 i 6.16

#### Exercici 6.30

##### Pregunta a)

Camí	... $C_i \rightarrow C_j$ ...
1	$FF1 \rightarrow C4_{k-l} \rightarrow Out$
2	$FF1 \rightarrow C2_{i-f} \rightarrow C3_{h-j} \rightarrow FF1$
3	$FF1 \rightarrow C2_{i-e} \rightarrow C1_{c-d} \rightarrow FF0$
4	$FF0 \rightarrow C1_{a-d} \rightarrow FF0$
5	$FF0 \rightarrow C3_{g-j} \rightarrow FF1$
6	$In \rightarrow C1_{b-d} \rightarrow FF0$

##### Pregunta b)

Camí	... $T_{C1_{x-y}} + T_{Cj_{p-q}}$ ...	Tcamí
1	$T_{FF1} + T_{C4_{k-l}}$	180 u.t.
2	$T_{FF1} + T_{C2_{i-f}} + T_{C3_{h-j}}$	230 u.t.
3	$T_{FF1} + T_{C2_{i-e}} + T_{C1_{c-d}}$	140 u.t.
4	$T_{FF0} + T_{C1_{a-d}}$	140 u.t.
5	$T_{FF0} + T_{C3_{g-j}}$	120 u.t.
6	$T_{FFin} + T_{C1_{b-d}}$	150 u.t.

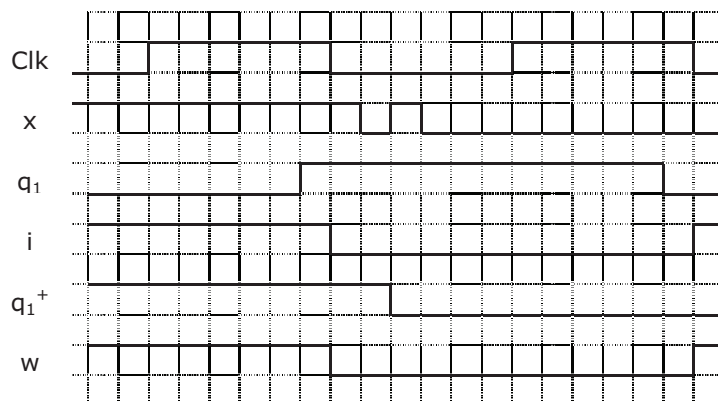
##### Pregunta c)

El camí crític del sistema és  $FF1 \rightarrow C2_{i-f} \rightarrow C3_{h-j} \rightarrow FF1$

##### Pregunta d)

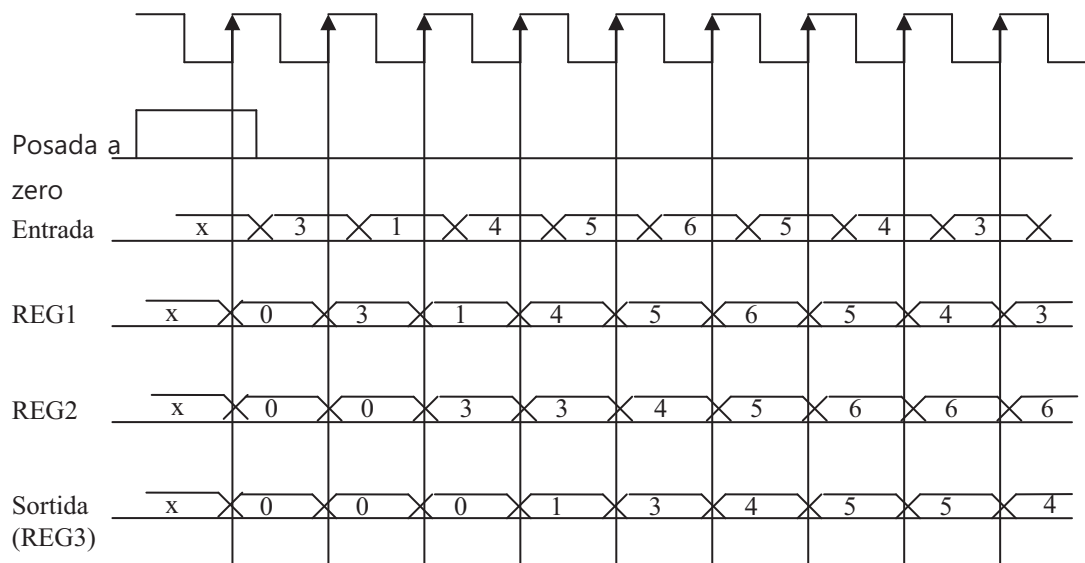
El temps de cicle mínim del sistema és 230 u.t.

#### Exercici 6.31



### Exercici 6.32

a)



b) El circuit té quatre camins crítics:

$$R1 + COMP + MA + M2 = 50 \text{ ut} + 5 \text{ ut} + 10 \text{ ut} + 10 \text{ ut} = 75 \text{ ut}$$

$$R1 + COMP + MB + M3 = 50 \text{ ut} + 5 \text{ ut} + 10 \text{ ut} + 10 \text{ ut} = 75 \text{ ut}$$

$$R2 + COMP + MB + M3 = 50 \text{ ut} + 5 \text{ ut} + 10 \text{ ut} + 10 \text{ ut} = 75 \text{ ut}$$

$$R2 + COMP + MA + M2 = 50 \text{ ut} + 5 \text{ ut} + 10 \text{ ut} + 10 \text{ ut} = 75 \text{ ut}$$

c) El temps del cycle mínim del rellotge és de 75 u.t.