

# 數位電路實驗

## Lab1 - 點名控制器

B04901060 黃文璫、B04901080 戴靖軒、B04901048 陳則宇

### 一、實驗目的

1. 了解 Verilog 的基本語法。
2. 練習基本的狀態圖設計。
3. Quartus II 和 FPGA 的基本操作。
4. 稍微了解一點隨機演算法。

### 二、安裝 Quartus II

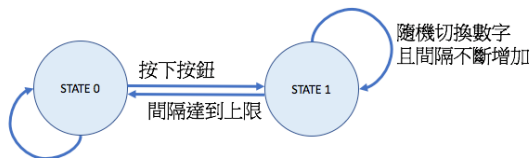
建議下載 NAS 上的 15.0 版本，並同時下載 Cyclone IV 的驅動程式，這樣才能讓 Quartus II 支援本實驗所使用的 FPGA 開發板 (DE2-115)。

至於其他安裝步驟我想同學們都能自行完成，基本上也是不斷下一步即可。

### 三、狀態圖設計

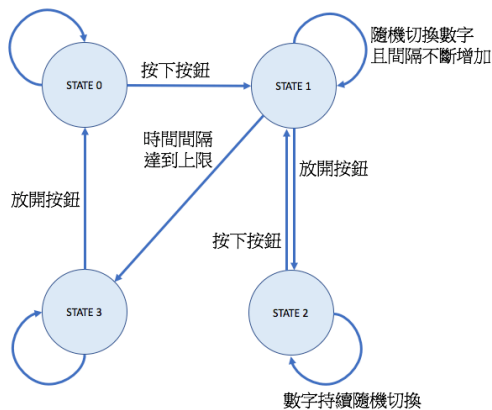
以下的狀態圖都沒有為狀態命名，同學們可以自行練習根據該狀態的特性進行命名。

本實驗最基本的設計如下：



按下按鈕後開始切換數字，當數字切換間隔達到上限後便回到初始狀態，完成點名。

這個做法可以利用按鈕的 posedge 來觸發點名，不過也可以設計為點名時需要按著按鈕才可以維持數字切換，若中途放開則變成快速切換數字，狀態圖如下：



由於本實驗沒有明訂點名器的 spec，故同學們可以自行設計自己理想中的點名器。

#### 四、隨機演算法

本實驗並不要求點名器所使用的隨機演算法需要在統計上為真正的隨機。

不過以下提供一些方法，給同學一點方向：

##### （一）參考 minstd\_rand

[http://www.cplusplus.com/reference/random/minstd\\_rand/](http://www.cplusplus.com/reference/random/minstd_rand/)

minstd\_rand 使用了 Linear congruential generator (LCG)，是 LCG 的最簡單例子，只需要乘法和模運算，對本題要求的數字範圍來說隨機性還算過得去。

##### （二）根據按下按鈕的時間決定

由於 FPGA 的 clock 高達 50MHz，故使用者按下按鈕的時間對機器而言也算是相當隨機，故也可以根據按下按鈕的時間來生成隨機數。

此外也可以結合兩種方法，也許可以更增加點名器的隨機性，

#### 五、額外功能

除了示範影片中的基礎功能外，同學也可以自行思考是否有其他功能可以加入到這個點名器中，例如更大的數字範圍、可變的數字範圍、指定數字等，或是有其他更有創意的功能都可以新增，順便練習將基本的功能實作到板子上，熟悉 FPGA 以及 verilog 的基本操作。