



MSSP SPI

É um protocolo de comunicação síncrono e full duplex entre um master e um ou mais slaves em alta velocidade.

FIGURE 15-4: SPI MASTER AND MULTIPLE SLAVE CONNECTION

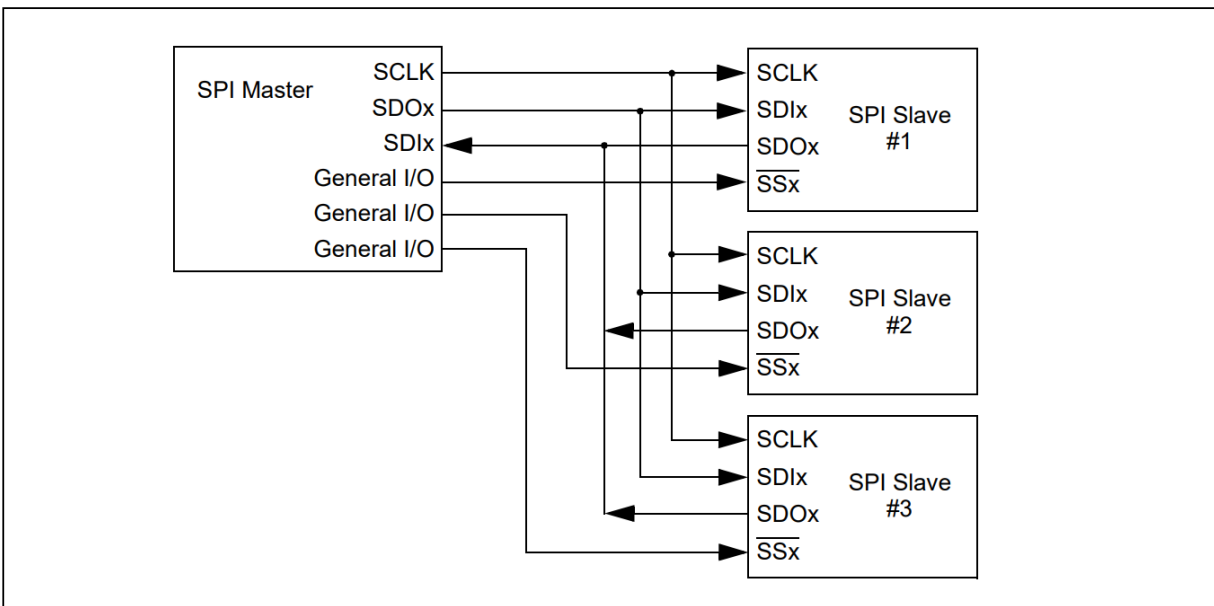
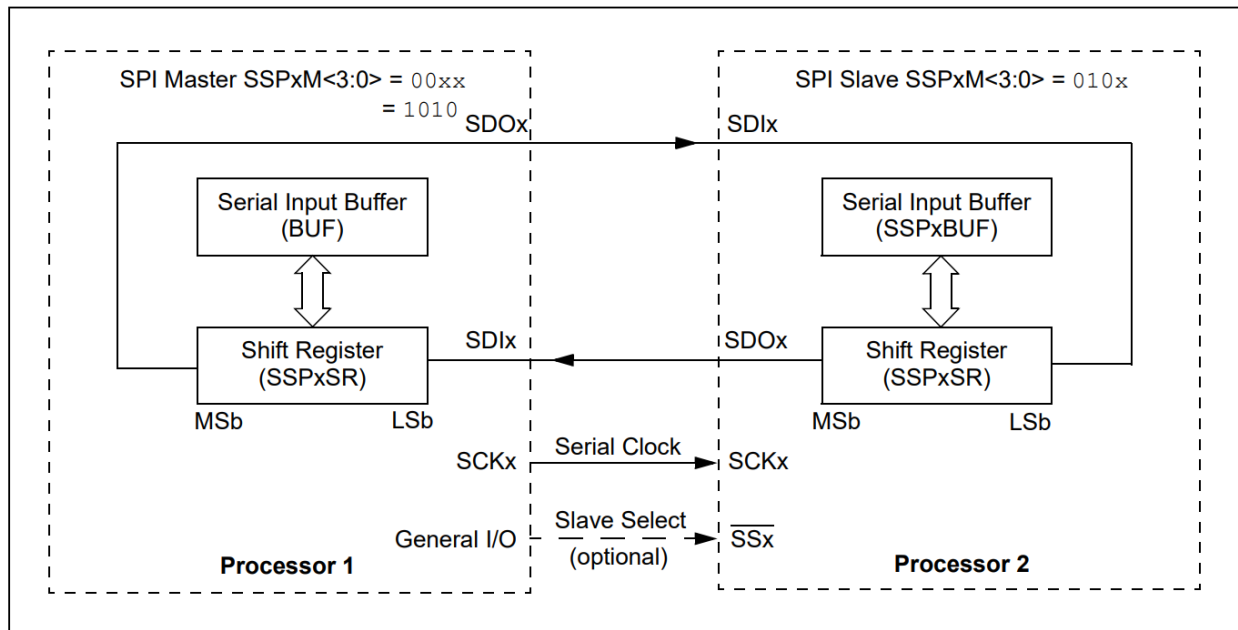


FIGURE 15-5: SPI MASTER/SLAVE CONNECTION

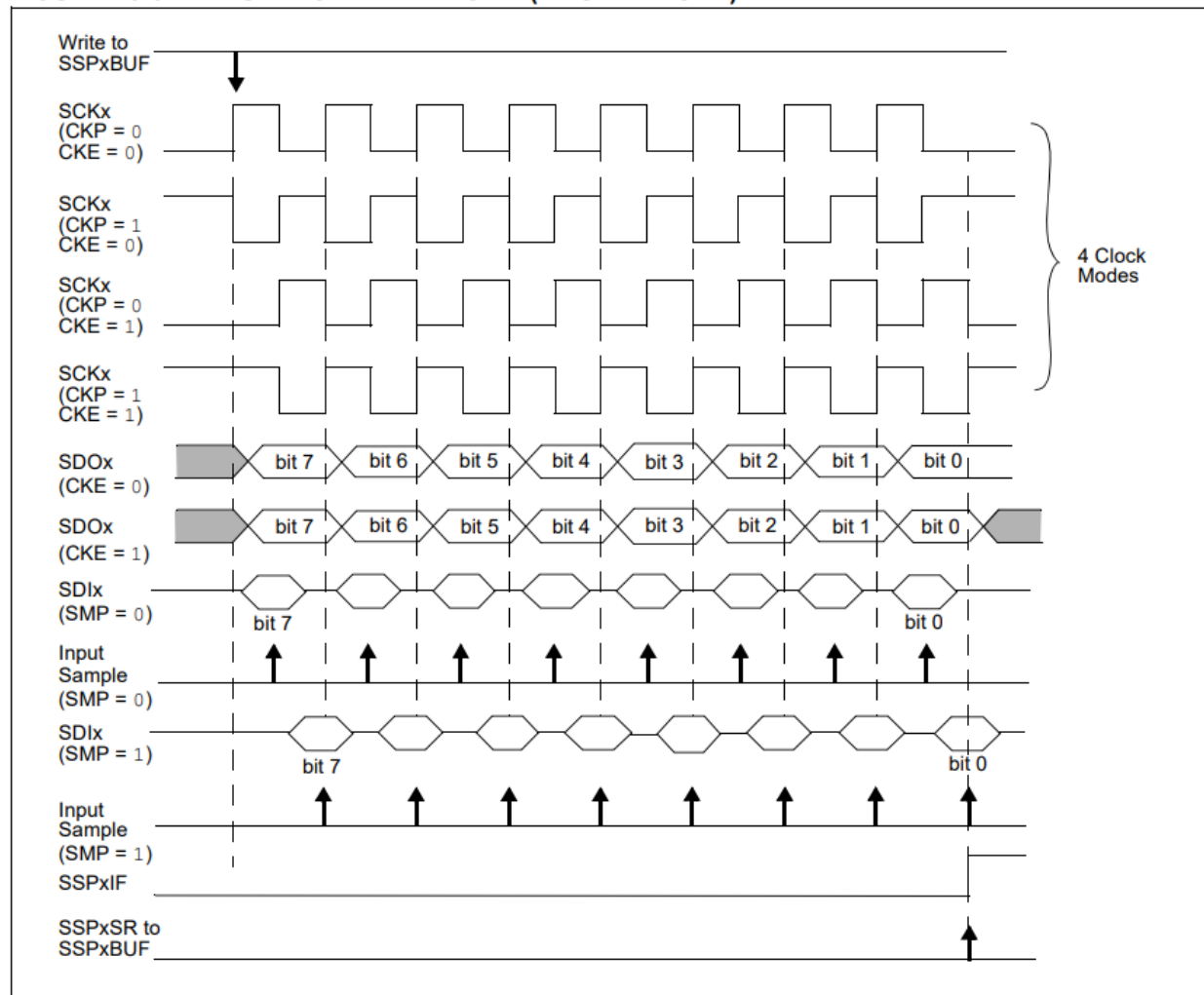


Algumas características do modo SPI

- Master controla o clock
- Nenhum device pode ser somente um transmissor ou somente um receptor. Ambos possuem canais de SDI e SDO
- Quando um dado está sendo enviado, outro dado está sendo recebido. Este dado pode ser um 0 quando a resposta não importa.
- Cada slave possui um pino SS dedicado
- O pino SDI deve ter o TRIS correspondente setado
- O pino SDO deve ter o TRIS correspondente limpo
- O pino SCK (master) deve ter o TRIS correspondente limpo
- O pino SCK (slave) deve ter o TRIS correspondente setado
- O pino SS (slave) deve ter o TRIS correspondente setado
- O pino SS deve estar em 0 para o slave receber o dado.

The diagram illustrates the internal architecture of the SPI module. At the top, the **Data Bus** is connected to the **SSPxBUF Reg** via **Read** and **Write** signals. The **SSPxBUF Reg** is connected to the **SSPxSR Reg**. The **SSPxSR Reg** has a **bit 0** output that serves as the **Shift Clock**. It also receives inputs from **SDIx** and **SDOx** pins. The **SSx** pin is connected to an **SSx Control Enable** block. The **SCKx** pin is connected to an **Edge Select** block. The **SSx Control Enable** block and the **Edge Select** block are connected to a multiplexer that selects between the **Shift Clock** and the **SCKx** signal. The output of this multiplexer is connected to the **SSPxM<3:0>** input of another **Edge Select** block. The output of this second **Edge Select** block is connected to the **TRIS bit** and the **SCKx** pin. The **SSPxM<3:0>** input is also connected to a **Prescaler** block (with values 4, 16, 64) and a **Baud Rate Generator (SSPxADD)**. The output of the **Prescaler** block is labeled **TOSC**. The output of the **Baud Rate Generator** is labeled **(TMR2 Output) / 2**.

FIGURE 15-6: SPI MODE WAVEFORM (MASTER MODE)



O modo de operação é importante pois isso é padronizado no slave. Se for um dispositivo com datasheet, já estará escrito lá qual o modo de operação do dispositivo.

Modo SPI	CKP	CKE
Modo 0	0	0
Modo 1	0	1
Modo 2	1	0
Modo 3	1	1

Registradores

- SSPSTAT

- SSPCON1
- SSPCON3
- SSPBUF
- SSPADD

Interrupção

O bit que habilita a interrupção é o SSPIE. O flag SSPIF é setado quando os 8 bits da comunicação são recebidos com sucesso.

Alguns bits importantes

SSPCON1bits.WCOL → Bit de colisão de escrita. Qualquer escrita no registrador SSPBUF durante transmissão irá setar este bit. Deve ser limpo via software

SSPCON1bits.SSPOV → Overflow. Quando 8 bits chegam ao shift register com o bit SSPSTATbits.BF setado (ou quando SSPBUF não é lido anteriormente) este bit é setado