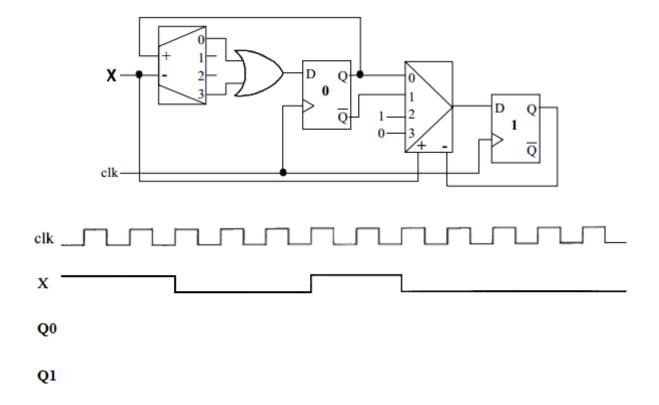


UNIVERSIDAD NACIONAL EXPERIMENTAL DEL TACHIRA DECANATO DE DOCENCIA DEPARTAMENTO DE INGENIERIA INFORMATICA

III PARCIAL DE FUNDAMENTOS DE LOGICA DIGITAL

Nombre:	CI:	Fecha:	25/10/2023

- 1. Diseñe un sistema lógico secuencial en el que la secuencia 101 a la entrada (de un bit) provoque que la salida se ponga a 1, y la secuencia 001 a la entrada provoque que la salida se ponga a 0. Inicialmente la salida debe valer 1.
- 2. Encuentra el diagrama de tiempo del sistema lógico secuencial que implementa el circuito siguiente. Asuma que Q0 y Q1 valen O inicialmente.



3. Diseña un registro con capacidad para cargar en paralelo desde dos entradas diferentes, así como rotar una posición a la derecha su contenido. El registro tendrá dos señales de control, S1 y S0, que gobiernan su funcionamiento según indica la siguiente tabla

s0	S1	Operación
0		Nada
0	1	Carga la entrada 1 Carga la entrada 2
1		
1	1	Rota el contenido una posición a la derecha

Nota: la operación de rotar a la derecha es equivalente a un desplazamiento donde el bit menos significativo que se pierde por la derecha vuelve a entrar por la izquierda del registro.