

2022/1 CCT ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

Painel / Meus cursos / Departamento de Ciência da Computação / Bacharelado em Ciência da Computação / 2022/1 CC / 2022/1_CCT_CCI192-04U_AOC0004 / Semana 12 / Atividade 05 (6.7-6.12: até 26/06)

Iniciado em Tuesday, 21 Jun 2022, 11:39
Estado Finalizada
Concluída em Saturday, 25 Jun 2022, 19:08
Tempo empregado 4 dias 7 horas
Avaliar 9,17 de um máximo de 10,00(92%)

Questão 1

Correto

Atingiu 1,00 de 1,00

🚩 Marcar questão

Para a adição de forwardings no nosso pipeline do MIPS devemos adicionar multiplexadores que selecionaram os dados para o estágio EX dos registradores de pipeline ID/EX. EX/MEM ou MEM/WB (além do multiplexador já existente para selecionar entre registrado ou imediato para a fonte 2 da ALU.

Escolha uma opção:

☒ Verdadeiro ✓

☐ Falso

A resposta correta é 'Verdadeiro'.

Correto

Notas para este envio: 1,00/1,00.

Questão 2

Correto

Atingiu 1,00 de 1,00

🚩 Marcar questão

Considere o código abaixo:

...

09: **addi** \$t1, \$s4, 2

10: **addi** \$t1, \$s5, 7

11: **addi** \$t0, \$t0, 10

12: **add** \$s0, \$t0, \$t1

...

Quais são os registradores de pipeline de origem para cada fonte da ALU quando a instrução **add**, da **Linha 12**, estiver no estágio EX?

Fonte 1 (\$t0) EX/MEM ✓

Fonte 2 (\$t1) MEM/WB ✓

Sua resposta está correta.

Navegação do questionário

1	2	3	4	5	6	7	8	9
✓	✓	✓	✓	✓	✓	✓	✓	✓
10								
✓								

Mostrar uma página por vez

Terminar revisão

A resposta correta é: Fonte 1 (\$t0) → EX/MEM, Fonte 2 (\$t1) → MEM/WB.

Correto

Notas para este envio: 1,00/1,00.

Questão 3

Correto

Atingiu 0,50 de 1,00

🚩 Marcar questão

Considere o código abaixo:

```
...
09: addi $t1, $s4, 2
10: addi $t1, $s5, 7
11: addi $t0, $t0, 10
12: add $s0, $t1, $t2
...
```

Quais são os registradores de pipeline de origem para cada fonte da ALU quando a instrução **add**, da **Linha 12**, estiver no estágio EX?

Fonte 1 (\$t1) MEM/WB ✓

Fonte 2 (\$t2) ID/EX ✓

Sua resposta está correta.

A resposta correta é: Fonte 1 (\$t1) → MEM/WB, Fonte 2 (\$t2) → ID/EX.

Correto

Notas para o envio: 1,00/1,00. De acordo com as tentativas anteriores **0,50/1,00**.

Questão 4

Correto

Atingiu 0,67 de 1,00

🚩 Marcar questão

Considere o código C abaixo:

```
for (int i = 0; i < 10; i++) {
    j = 10;
    while (j) {
        j--;
        // ....
    }
}
```

Sobre previsão de desvio em hazard de controle. Desconsiderando qualquer conflito de endereço no buffer de instrução, com respeito a previsão do **while**, podemos afirmar que (selecione **todas** as corretas):

- ☒ a. Com buffer de previsão que utiliza **2 bits erraremos a previsão do while toda vez que j é 0** e **acertaremos a previsão do while toda vez que j é 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza. ✓
- ☐ b. Com buffer de previsão que utiliza **2 bits erraremos a previsão do while toda vez que j é 0 e 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza.
- ☐ c. Com buffer de previsão que utiliza **1 bit erraremos a previsão do while toda vez que j é 0** e **acertaremos a previsão do while toda vez que j é 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza.
- ☒ d. Com buffer de previsão que utiliza **1 bit erraremos a previsão do while toda vez que j é 0 e 10**, exceto quando j = 10 e i = 0 o qual não podemos ter certeza. ✓

☒ e. Com buffer de previsão que utiliza **1 ou 2 bits sempre acertaremos a previsão do while para qualquer valor de j entre 1 e 9** ✓

Sua resposta está correta.

As respostas corretas são: Com buffer de previsão que utiliza **1 bit erraremos a previsão do while toda vez que j é 0 e 10**, exceto quando $j = 10$ e $i = 0$ o qual não podemos ter certeza., Com buffer de previsão que utiliza **2 bits erraremos a previsão do while toda vez que j é 0 e acertaremos a previsão do while toda vez que j é 10**, exceto quando $j = 10$ e $i = 0$ o qual não podemos ter certeza., Com buffer de previsão que utiliza **1 ou 2 bits sempre acertaremos a previsão do while para qualquer valor de j entre 1 e 9**

Correto

Notas para o envio: 1,00/1,00. De acordo com as tentativas anteriores **0,67/1,00**.

Questão **5**

Correto

Atingiu 1,00 de 1,00

🚩 Marcar questão

No MIPS, exceção e interrupção são definidos como:

Exceção	Algum evento interno inesperado que ocorreu dentro do processador	✓
Interrupção	Algum evento inesperado gerado externamente	✓

Sua resposta está correta.

A resposta correta é: Exceção → Algum evento interno inesperado que ocorreu dentro do processador, Interrupção → Algum evento inesperado gerado externamente.

Correto

Notas para este envio: 1,00/1,00.

Questão **6**

Correto

Atingiu 1,00 de 1,00

🚩 Marcar questão

Para cada arquitetura/família de microcontroladores abaixo indique o tipo de conjunto de instrução.

x86 de 32 bits	CISC	✓
AVR (AtMega)	RISC	✓
MIPS	RISC	✓
PIC18F	RISC	✓
x86_64	CISC	✓

Sua resposta está correta.

A resposta correta é: x86 de 32 bits → CISC, AVR (AtMega) → RISC, MIPS → RISC, PIC18F → RISC, x86_64 → CISC.

Correto

Notas para este envio: 1,00/1,00.

Questão 7
Correto
Atingiu 1,00 de 1,00
🚩 Marcar questão

Associe os conceitos de paralelismo abaixo:

Múltiplas instrução e múltiplos dados.

MIMD ↕ ✓

Os vários cores de um multiprocessador, no qual cada core está operando uma instrução diferente e em dados diferentes.

MIMD ↕ ✓

Uma instrução operando em um único dado.

SISD ↕ ✓

Uma instrução operando em múltiplos dados.

SIMD ↕ ✓

Um único core com instruções do tipo SSE.

SIMD ↕ ✓

Múltiplas instrução operando em um único dado.

MISD ↕ ✓

Sua resposta está correta.

A resposta correta é: Múltiplas instrução e múltiplos dados. → MIMD, Os vários cores de um multiprocessador, no qual cada core está operando uma instrução diferente e em dados diferentes. → MIMD, Uma instrução operando em um único dado. → SISD, Uma instrução operando em múltiplos dados. → SIMD, Um único core com instruções do tipo SSE. → SIMD, Múltiplas instrução operando em um único dado. → MISD.

Correto

Notas para este envio: 1,00/1,00.

Questão 8
Correto
Atingiu 1,00 de 1,00
🚩 Marcar questão

Para modificarmos a arquitetura do MIPS para suportar instruções SSE precisamos pelo menos adicionar no nosso caminho de dados mais ALUs registradores maiores (por exemplo, com 128 bits de dados)

Escolha uma opção:

☒ Verdadeiro ✓

☐ Falso

A resposta correta é "Verdadeiro".

Correto

Notas para este envio: 1,00/1,00.

Questão 9
Correto
Atingiu 1,00 de 1,00
🚩 Marcar questão

Considere uma GPU NVIDIA com:

- 56 MSPs (Multithreaded SIMD Processot);
- Cada MSP pode despachar 2 instruções (multithreading); e
- Cada instrução pode operar em até 32 elementos de uma vez.

É correto afirmar que (selecione as alternativas corretas)

☒ a. Temos 3584 NVIDIA CUDA Cores

☐ b. Temos 56 NVIDIA CUDA Cores

☐ c. Temos 64 NVIDIA CUDA Cores

☐ d. Temos 1792 threads

✓

- ☐ e. Temos 3584 threads
- ☐ f. Temos 56 threads
- ☐ g. Temos 64 threads
- ☐ h. Temos 112 NVIDIA CUDA Cores
- ☐ i. Nenhuma alternativa está correta
- ☐ j. Temos 1792 NVIDIA CUDA Cores
- ☒ k. Temos 112 threads



Sua resposta está correta.

As respostas corretas são: Temos 112 threads, Temos 3584 NVIDIA CUDA Cores

Correto

Notas para este envio: 1,00/1,00.

Questão **10**

Correto

Atingiu 1,00 de 1,00

🚩 Marcar questão

Devemos evitar o uso de if na programação de GPUs pois o MSP executa a mesma instrução para todos os seus dados e isso pode gerar perda de desempenho.

Escolha uma opção:

- ☒ Verdadeiro ✓
- ☐ Falso

A resposta correta é 'Verdadeiro'.

Correto

Notas para este envio: 1,00/1,00.

Terminar revisão

◀ Handout-6.11: Paralelismo: Conceitos básicos

Seguir para...



Handout-6.12: GPU: Conceitos Básicos ▶

Você acessou como [VICTOR EDUARDO REQUIA \(Sair\)](#)

[2022/1 CCT CCI192-04U AOC0004](#)

[Resumo de retenção de dados](#)

[Obter o aplicativo para dispositivos móveis](#)