



Insititute Polytechnique de Grenoble
Systèmes Électroniques Intégrés - SEI 2A
Miniprojet Microélectronique Analogique
4PMEM6M1



Conception d'un préamplificateur de charge (CSA)

EL HADI, Asmae - 42101875
SABIÁ PEREIRA CARPES, Victor - 42200827

Table des matières

Table des figures	3
1 Introduction	5
1.1 Cahier des Charges et Spécifications Imposés	5
1.2 Principe du Circuit	5
2 Conception	6
2.1 Topologie	6
2.2 Projet Initiale	7
2.3 Étapes de Validation	7
3 Résultats de Simulation	9
3.1 Simulation Temporelle - Conditions Nominales	10
3.2 Simulation Temporelle - Diverses Capacités de Capteur	10
3.3 Simulation Temporelle - Diagramme de l'Œil	10
3.4 Réponse Fréquentielle - Boucle Ouverte	10
3.5 Réponse Fréquentielle - Boucle Fermée	11
3.6 Densité Spectrale du Bruit	12
3.7 Linéarité	13
3.8 Consommation	13
4 Layout	14
5 Conclusion	15
6 Preuve de Compétence	16
6.1 EL HADI, Asmae	16
6.2 SABIÁ PEREIRA CARPES, Victor	17
Références	18

Table des figures

1.1	Principe de base d'un feedback TIA.	5
2.1	Topologie du circuit final réalisé.	6
3.1	Schéma de la version finale de l'amplificateur.	9
3.2	Schéma du testbench utilisé pour les simulations.	9
3.3	Simulation Temporelle pour les extrêmes de la dynamique d'entrée.	10
3.4	Simulation Temporelle pour différentes valeurs de la capacité du capteur.	11
3.5	Diagramme de l'œil pour l'entrée minimale.	11
3.6	Réponse en boucle ouverte. Les marqueurs indiquent les points de 0 dB et d'inversion de phase.	11
3.7	Réponse en boucle fermée. Le marqueur indique la fréquence de coupure.	12
3.8	Bruit ramenée en entrée. Le marqueur montre dans quelle mesure nous pouvons intégrer et toujours respecter la spécification de bruit.	12
3.9	Simulation de linéarité.	13
3.10	Simulation de consommation.	13
4.1	Layout du circuit final.	14

Les résultats de simulation et tous les scripts *python* utilisés pour générer des graphiques pour ce document sont disponibles sur https://github.com/victorscarpes/phelma_miniprojet_analog_2023.

1 Introduction

Le but de ce projet est de concevoir un préamplificateur de charge bas bruit. C'est un circuit utilisé pour la photodétection, et en particulier pour la lecture de pixels silicium. Le détecteur reçoit une quantité de charge, de façon à générer une impulsion de courant, que le circuit transforme en tension équivalente, donc c'est un préamplificateur de transimpédance.

1.1 Cahier des Charges et Spécifications Imposés

- Le taux de comptage minimal est de 50 ns. En effet, pour deux impulsions consécutives qui sont séparées d'au moins 50 ns, le circuit doit être capable de distinguer les deux. C'est à dire que cette durée doit être suffisante pour se charger et se décharger.
- La dynamique en entrée est jusqu'à 1 pC. Nous avons choisi que le courant d'entrée soit des impulsions triangulaires de durée égale à 2 ns. Donc cette dynamique maximale en entrée correspond à une impulsion de courant de valeur de crête maximale égale à 1 mA.ⁱ
- Le niveau de bruit maximal en entrée est de $1000 e^-$, ce qui correspond à un bruit RMS en courant en entrée maximale de 160,22 nA.
- Le circuit doit consommer au maximum 2 mW.
- Les pixels silicium du détecteur sont de 20 mm^2 . Et nous avons choisi une épaisseur de 470 μm . Ce qui donne une capacité du détecteur de 4,5 pF.
- Nous avons choisi une capacité de charge de 80 fF.
- Nous avons également choisi que le pas de quantification et la dynamique minimale du courant pour lequel le système fonctionne soient 1,9 μA .ⁱⁱ

1.2 Principe du Circuit

Pour faire la conception de notre préamplificateur, nous avons fait une recherche bibliographique sur les amplificateurs de transimpédance, et sur les front-end de détection. Les publications [1], [2] et [3] nous ont permis de comprendre le principe de la conception des TIA. Cela nous a donné l'idée d'utiliser un amplificateur de tension contre-réactionné.

En outre, la publication [4] nous a aidé pour se familiariser avec les préamplificateurs bas bruit à base de CMOS, et comment utiliser comme impédance de contre-réaction une capacité en parallèle à une résistance, pour contrôler la bande passante.

Le circuit utilisé est un système de premier ordre comme l'illustre la figure 1.1, dont la fonction de transfert de transimpédance est

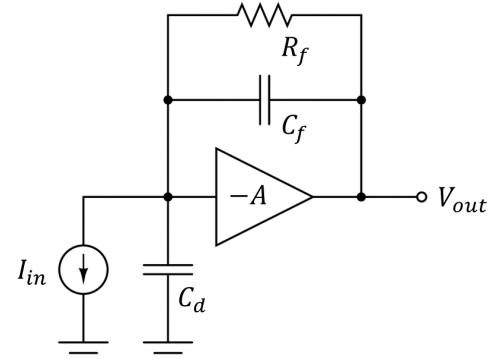


FIGURE 1.1 – Principe de base d'un feedback TIA.

$$\frac{V_{out}}{I_{in}} = \frac{Z_0}{1 + j \frac{f}{f_c}} \quad \text{avec} \quad Z_0 = \frac{AR_f}{A+1} \quad \text{et} \quad f_c = \frac{A+1}{2\pi R_f(AC_f + C_f + C_d)} \quad (1.1)$$

2 Conception

2.1 Topologie

Le circuit final complet est représenté dans la figure 2.1. Dans l'amplificateur de tension du circuit final, nous avons trois étages de base. Le premier est une source commune, qui doit présenter le minimum de bruit possible, vu que c'est le premier transistor dans le chemin du signal. Le deuxième est une grille commune, qui constitue avec la source commune un cascode replié, qui fait l'amplification de tension. Et le troisième étage est un suiveur qui sert à diminuer l'impédance de sortie du circuit, et assurer la bonne polarisation en entrée et en sortie du cascode replié, quand l'amplificateur est contre-réactionné. Le dimensionnement de ces trois transistors de base est en annexe.

Nous utilisons une source de courant parfaite pour alimenter les miroirs de courant qui polarisent le circuit.

Pour réaliser le feedback, nous utilisons une résistance R_f que nous relions à la sortie du suiveur. Par contre, nous savons qu'en AC, le buffer ne change pas le signal, alors nous avons choisi de relier la capacité de feedback C_f à la sortie du cascode replié, pour aider la capacité C_y à garantir la stabilité.

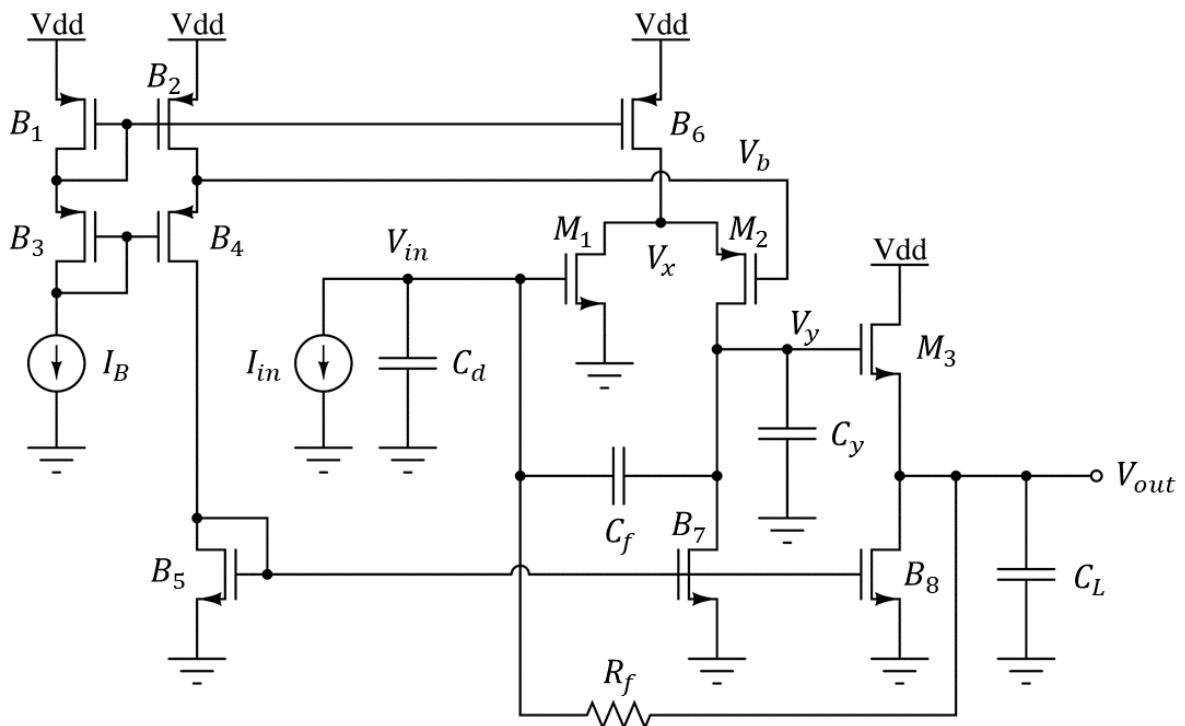


FIGURE 2.1 – Topologie du circuit final réalisé.

	M_1	M_2	M_3	B_1	B_2	B_3	B_4	B_5	B_6	B_7	B_8
W	1 mm	300 μm	25 μm	400 nm	400 nm	500 μm	500 μm	10 μm	13 μm	135 μm	105 μm
L	350 nm	350 nm	350 nm	1 μm	1 μm	1 μm					
g_m	6,4 mS	2,1 mS	1,192 mS	12,81 μS	12,81 μS	213,1 μS	212,8 μS	129,6 μS	479,2 μS	1,78 mS	1,356 mS

TABLE 1 – Tableau avec toutes les valeurs des transistors illustrés à la figure 2.1.

2.2 Projet Initiale

Nous voulons un gain A élevé pour pouvoir simplifier (1.1) en (2.1).

$$Z_0 \approx R_f \quad \text{et} \quad f_c \approx \frac{1}{2\pi R_f C_f} \quad (2.1)$$

On choisit $R_f = 5 \text{ k}\Omega$ et $C_f = 630 \text{ fF}$, ce qui nous donne une transimpédance $Z_0 \approx 5 \text{ k}\Omega$ et une fréquence de coupure $f_c \approx 50,5 \text{ MHz}$. Pour commencer la conception de l'amplificateur de tension, nous avons réalisé un dimensionnement initial qui ne respectait pas forcément l'intégralité du cahier de charge. Comme le transistor M_1 est celui qui contribue le plus au bruit en entrée, on commence par définir quel g_m on veut pour le transistor. La relation entre le bruit et g_m est exprimée en (2.2).

$$e_{ni}^{RMS} \approx \sqrt{\frac{4kT\gamma_{M1}}{g_{mM1}}} \quad (2.2)$$

On choisit un g_{mM1} de l'ordre de 10 mS , ce qui se traduit par un bruit e_{ni}^{RMS} de l'ordre de $1 \text{ nV}/\sqrt{\text{Hz}}$.

Après cela, nous avons mis à l'échelle le transistor M_2 pour obtenir un gain global de 60 dB , en utilisant (2.3) et (2.4).

$$g_{mM2} = 2\sqrt{K_p \frac{W_{M2}}{L_{M2}} I_{DM2}} \quad (2.3)$$

$$A_{GC} = 1,2 \cdot g_{mM2} (r_{dsB7} // r_{dsM2}) \quad (2.4)$$

Comme un suiveur a un gain d'environ -2 dB , notre amplificateur de tension doit avoir un gain total de 58 dB .

Pour polariser les transistors M_1 , M_2 et M_3 , on utilise des transistors B_1 à B_8 configurés en miroirs de courant et source de tension. Nous choisissons $B_1 = B_2$ et $B_3 = B_4$, tous avec $L = 1 \mu\text{m}$.

Pour polariser la grille du transistor M_2 , nous fixons $W_{B1} = W_{B2} = 400 \text{ nm}$ et paramétrons $W_{B3} = W_{B4}$ pour déterminer V_b . Pour obtenir $V_b \approx 1 \text{ V}$, tension définie pour le dimensionnement de M_2 , on trouve $W_{B3} = W_{B4} = 500 \mu\text{m}$.

2.3 Étapes de Validation

Une fois la conception initiale terminée, nous commençons à vérifier chaque spécification dans le livre de charge. Nous commençons par la stabilité. En effectuant des simulations temporelles et de stabilité, nous avons constaté que le circuit oscillait considérablement. Pour remédier à ce fait, nous plaçons un condensateur C_y entre le cascode replié et le suiveur. Nous arrivons à la valeur $C_y = 10 \text{ fF}$, que nous implémentons avec 3 condensateurs 30 fF en série.

Notre circuit est stable, avec un faible bruit d'entrée et un bon gain en boucle ouverte. Le problème maintenant est que le circuit consomme trop. Pour remédier à ce problème, nous paramétrons le courant de polarisation I_b et traçons la puissance consommée en fonction de I_b . Nous avons vérifié que pour ne pas dépasser 2 mW , nous devons limiter I_b en $8,8 \mu\text{A}$.

Comme nous avons diminué les courants de polarisation de M_1 , M_2 et M_3 , nous avons recalculé le rapport d'aspect de chaque transistor en utilisant (2.5) pour garantir le même g_m .

$$\frac{W}{L} = \frac{g_m^2}{4K_{n,p}I_D} \quad (2.5)$$

Au cours du processus de mise en page, nous avons dû modifier la configuration du transistor M_1 . Pour mieux répartir les composants dans le circuit, nous avons implémenté M_1 avec 40 transistors identiques en parallèle. Cette modification est prise en compte dans les simulations de la section 3.

3 Résultats de Simulation

Pour simuler le circuit, nous avons créé un sous-circuit avec uniquement les composants qui font réellement partie de notre amplificateur. Ce sous-circuit peut être vu dans la figure 3.1. Après cela, nous avons créé un symbole pour le sous-circuit que nous avons utilisé dans un circuit de testbench pour exécuter toutes les simulations. Le circuit de testbench est visible sur la figure 3.2.

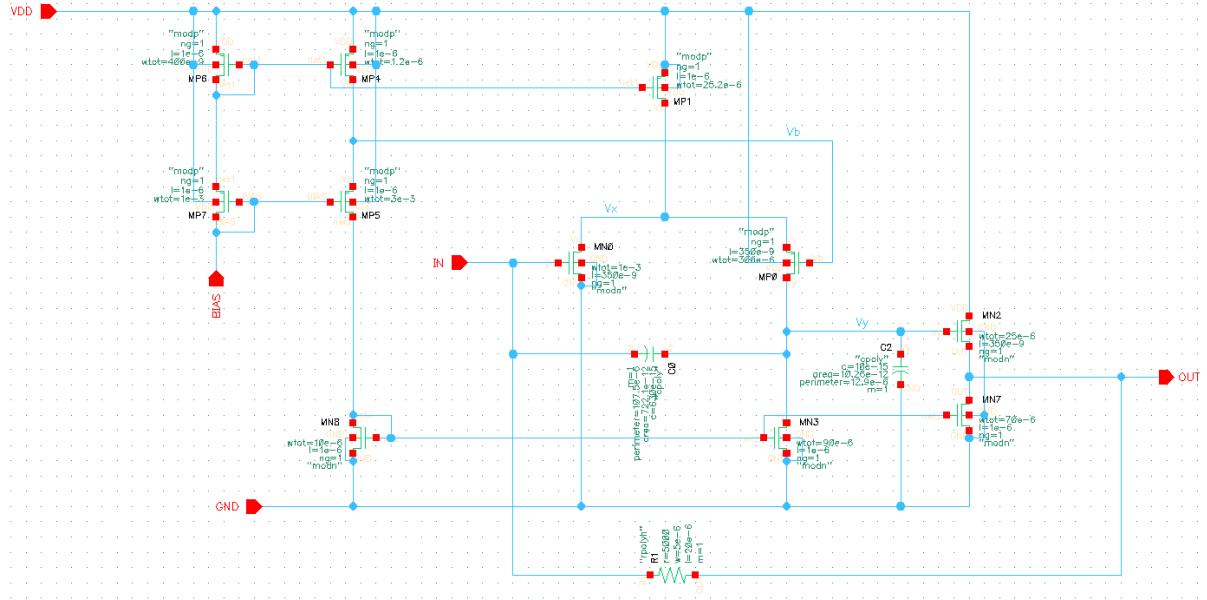


FIGURE 3.1 – Schéma de la version finale de l'amplificateur.

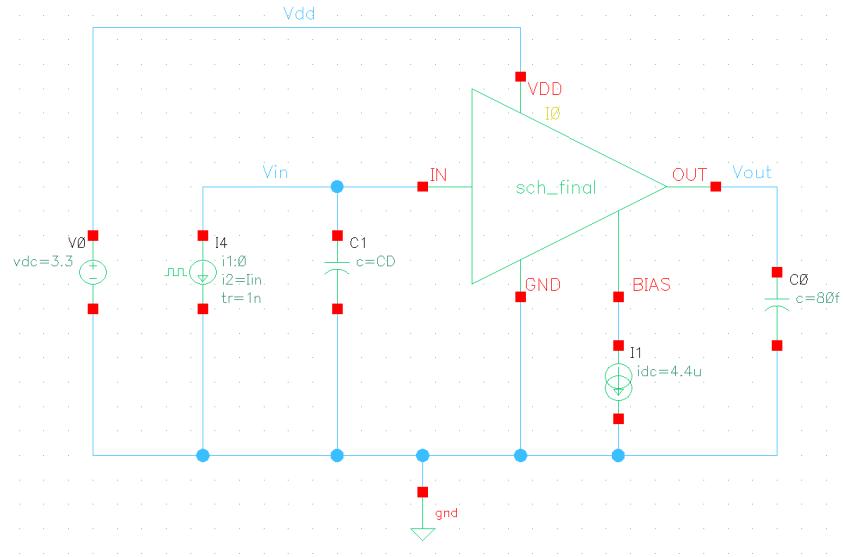


FIGURE 3.2 – Schéma du testbench utilisé pour les simulations.

3.1 Simulation Temporelle - Conditions Nominales

D'abord, nous effectuons la simulation temporelle pour vérifier que le système est stable pour les extrêmes de notre dynamique d'entrée. Cette simulation nous permet aussi de vérifier si nous respectons le taux de comptage. Pour cela, on se place dans le cas extrême où nous avons chaque deux impulsions successives sont séparées de 50 ns. La figure 3.3 représente le résultat de cette simulation. Nous observons que la sortie du système est capable de se stabiliser dans la *baseline* avant l'arrivée de l'impulsion suivante. La dynamique de sortie (crête d'impulsion) est comprise entre 502,03 mV et 1,0859 V. Et la *baseline* est de 500 mV.

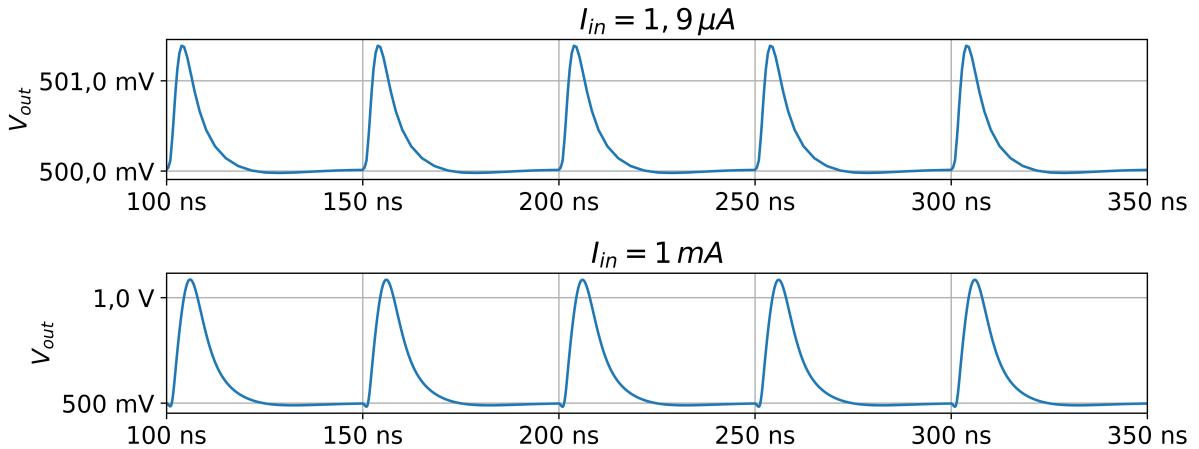


FIGURE 3.3 – Simulation Temporelle pour les extrêmes de la dynamique d'entrée.

3.2 Simulation Temporelle - Diverses Capacités de Capteur

Dans cette partie, nous étudions l'effet du changement de la capacité du détecteur sur la réponse du système. Pour cela, nous choisissons trois valeurs différentes de C_d , et nous faisons la simulation pour les valeurs extrêmes de l'entrée. La figure 3.4 représente les différents résultats obtenus. Dans cette simulation, nous avons une période de 100 ns, pour voir si le système se stabilise. Nous remarquons que pour $C_d = 18 \text{ pF}$ le système prend plus que 50 ns pour se stabiliser. Mais il se stabilise quand même. Nous remarquons aussi que la dynamique en sortie diminue en augmentant la valeur de C_d .

3.3 Simulation Temporelle - Diagramme de l'Œil

Dans cette partie, nous simulons le diagramme de l'œil pour I_{in} minimal, avec une simulation temporelle avec bruit. Nous obtenons le diagramme représenté dans la figure 3.5, qui montre que malgré l'existence du bruit, nous arrivons bien à détecter l'impulsion de sortie même avec la plus petite valeur en entrée.

3.4 Réponse Fréquentielle - Boucle Ouverte

Nous réalisons la simulation AC en boucle ouverte pour extraire la valeur du gain de tension A de l'amplificateur, et aussi pour vérifier la stabilité du système, en mesurant la marge de gain et la marge de phase. On obtient un gain en tension de $A = 57,554 \text{ dB}$,

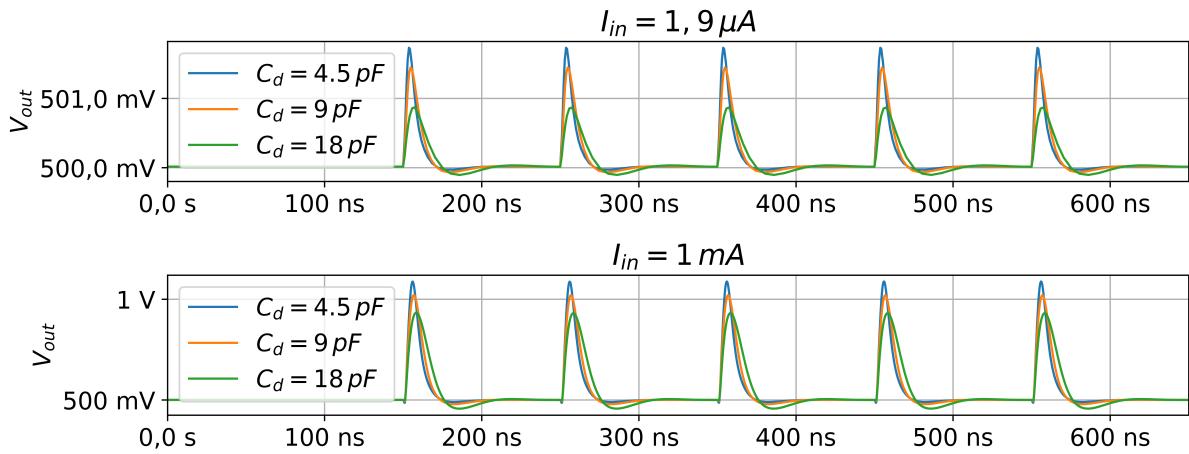


FIGURE 3.4 – Simulation Temporelle pour différentes valeurs de la capacité du capteur.

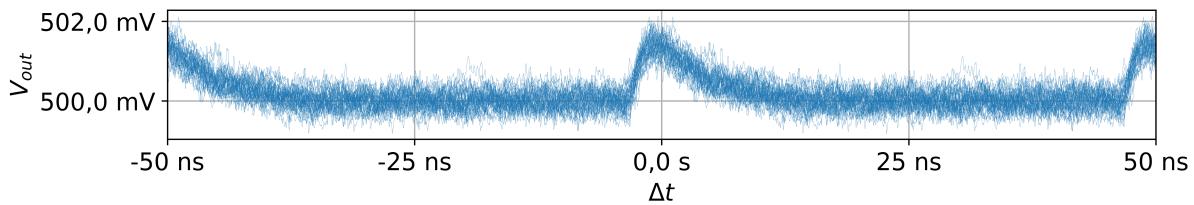


FIGURE 3.5 – Diagramme de l'œil pour l'entrée minimale.

une valeur proche de la valeur théorique de 58 dB. Nous avons aussi une marge de phase de $70,1807^\circ$, et une marge de gain de 18,6734 dB. Donc le système est bien stable.

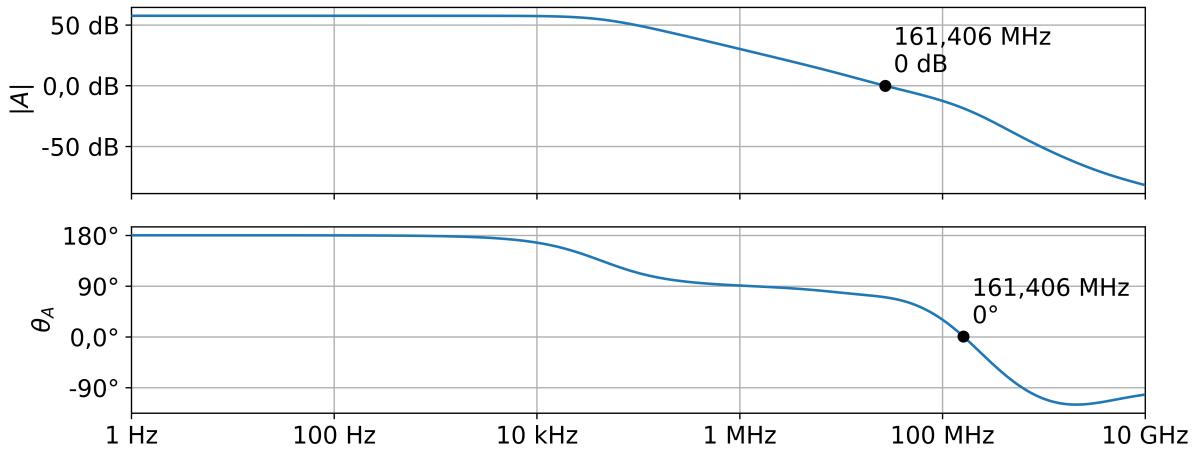


FIGURE 3.6 – Réponse en boucle ouverte. Les marqueurs indiquent les points de 0 dB et d'inversion de phase.

3.5 Réponse Fréquentielle - Boucle Fermée

Après vérification du comportement en boucle ouverte du circuit, nous fermons la boucle pour vérifier la vraie réponse fréquentielle du système. Nous obtenons les résultats représentés dans la figure 3.7, qui donnent le gain de transimpédance. Théoriquement,

nous avons $Z_0 = 4,9934 \text{ k}\Omega$, et la simulation donne $Z_0 = 5,01146 \text{ k}\Omega$, et ce sont deux valeurs très proches. Pour la fréquence de coupure, nous obtenons théoriquement la valeur de fréquence $f_c = 50,052 \text{ MHz}$, et la simulation donne $f_c = 41,1019 \text{ MHz}$, ces valeurs sont un peu différentes, mais c'est normal puisque la première approche théorique ne prend pas en considération la caractéristique passe bas de l'amplificateur de tension.

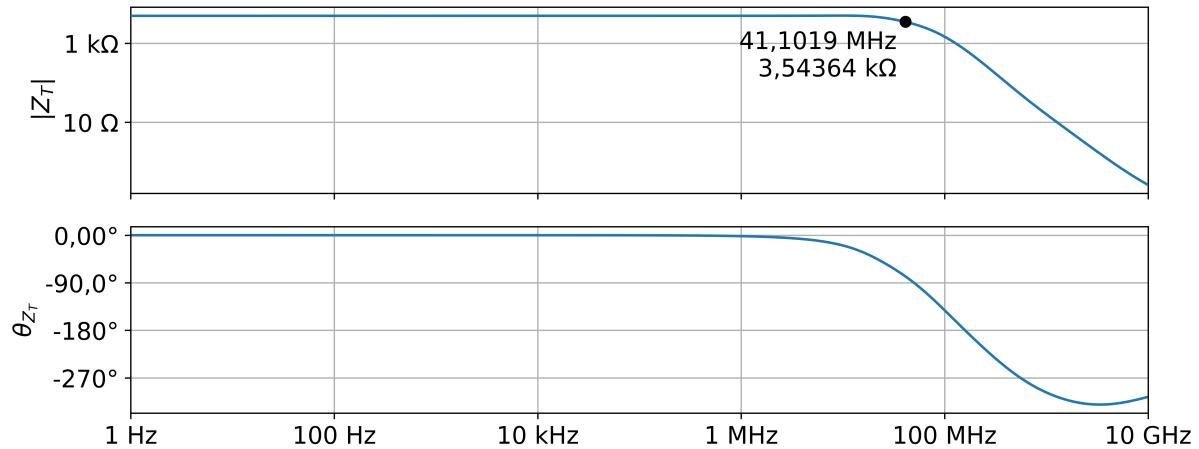


FIGURE 3.7 – Réponse en boucle fermée. Le marqueur indique la fréquence de coupure.

3.6 Densité Spectrale du Bruit

Nous lançons la simulation “noise” entre 1 Hz et 10 GHz, et nous traçons la densité spectrale du bruit en entrée. Et nous utilisons cette courbe pour tracer le bruit RMS d'entrée, en passant les données dans un calculateur et on mesurant le bruit intégré en fonction de la fréquence limite supérieure d'intégration. Nous obtenons les résultats présentés dans la figure 3.8, qui montrent que le bruit critique correspond à $1000 e^-$ est atteint à partie de la fréquence 227,214 MHz, qui est une valeur très supérieure à notre fréquence équivalente du bruit,ⁱⁱⁱ qui est au alentour de 64,6 MHz.

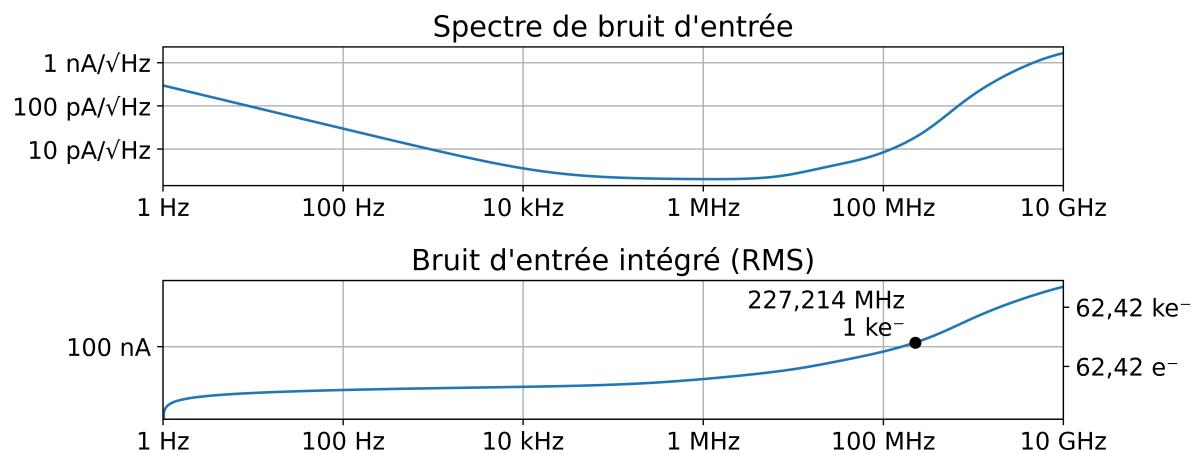


FIGURE 3.8 – Bruit ramenée en entrée. Le marqueur montre dans quelle mesure nous pouvons intégrer et toujours respecter la spécification de bruit.

3.7 Linéarité

Nous avons lancé une simulation temporelle pour plusieurs valeurs d'amplitudes d'entrée (31 valeurs de I_{in}), et nous avons tracé la courbe représentative de la valeur de crête de la tension de sortie, en fonction de celle du courant d'entrée. Nous obtenons les résultats représentés dans la figure 3.9, qui montre que le système est linéaire.

Nous avons tracé la droite de régression linéaire avec l'équation $V_{out} = aI_{in} + b$ avec $a = 584,499 \Omega$ et $b = 524,616 \text{ mV}$. Nous avons calculé le coefficient de détermination linéaire $r^2 = 0,99557$, et c'est une valeur très proche à l'unité, donc on peut dire que le système présente un degré important de linéarité. Mais pour être sûr, nous mesurons la valeur absolue de la différence entre les données et la courbe de régression. Cette valeur est exprimée en pourcentage par rapport à la dynamique en sortie. Nous remarquons que l'erreur maximale est de $\delta_{max} = 4,06\%$.

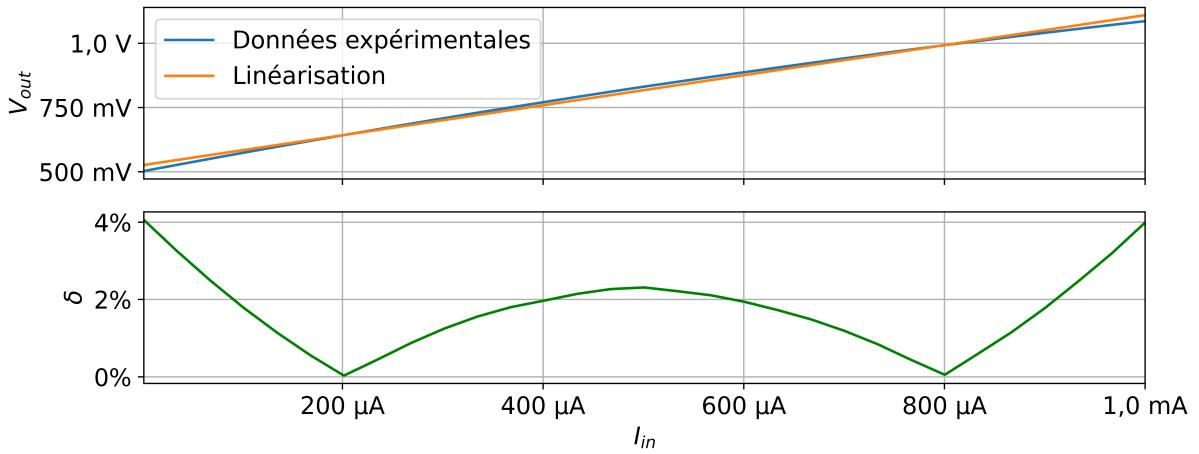


FIGURE 3.9 – Simulation de linéarité.

3.8 Consommation

Pour la consommation, nous respectons bien le cahier des charges, puisque le circuit consomme entre 1,682 03 mW pour $I_{in} = 1,9 \mu\text{A}$ et 1,7297 mW pour $I_{in} = 1 \text{ mA}$.

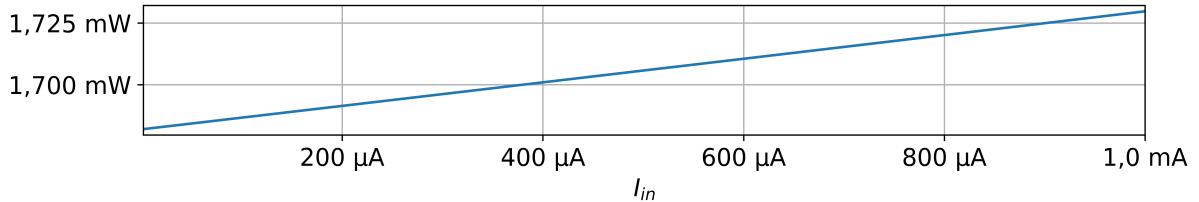


FIGURE 3.10 – Simulation de consommation.

4 Layout

Après avoir validé le fonctionnement de notre circuit, nous avons commencé à faire le layout du sous-circuit, et nous avons finis tout le routage nécessaire. Cela nous a permis de découvrir plein de fonctionnalités de cadence, et d'acquérir les compétences techniques nécessaires pour faire le routage.

Enfin, nous avons lancé le test DRC (*Design Rule Check*), et nous avons trouvé qu'il y a des petits problèmes dans notre layout, mais malheureusement, nous n'avons pas eu le temps pour corriger tous ces erreurs. Le problème est sur un objet spécifique qui est invisible et non modifiable. Il semble qu'il s'agisse d'un type de contrainte spécifique définie par le PDK (*Process Design Kit*) de AMS que nous n'avons pas pu résoudre. Nous avons lancé aussi le test LVS (*Layout Versus Schematic*), et nous n'avons pas trouvé d'erreurs, donc la correspondance entre notre layout et le circuit est bien vérifiée. La figure 4.1 montre le résultat du travail fait pour réaliser le dessin des masques.

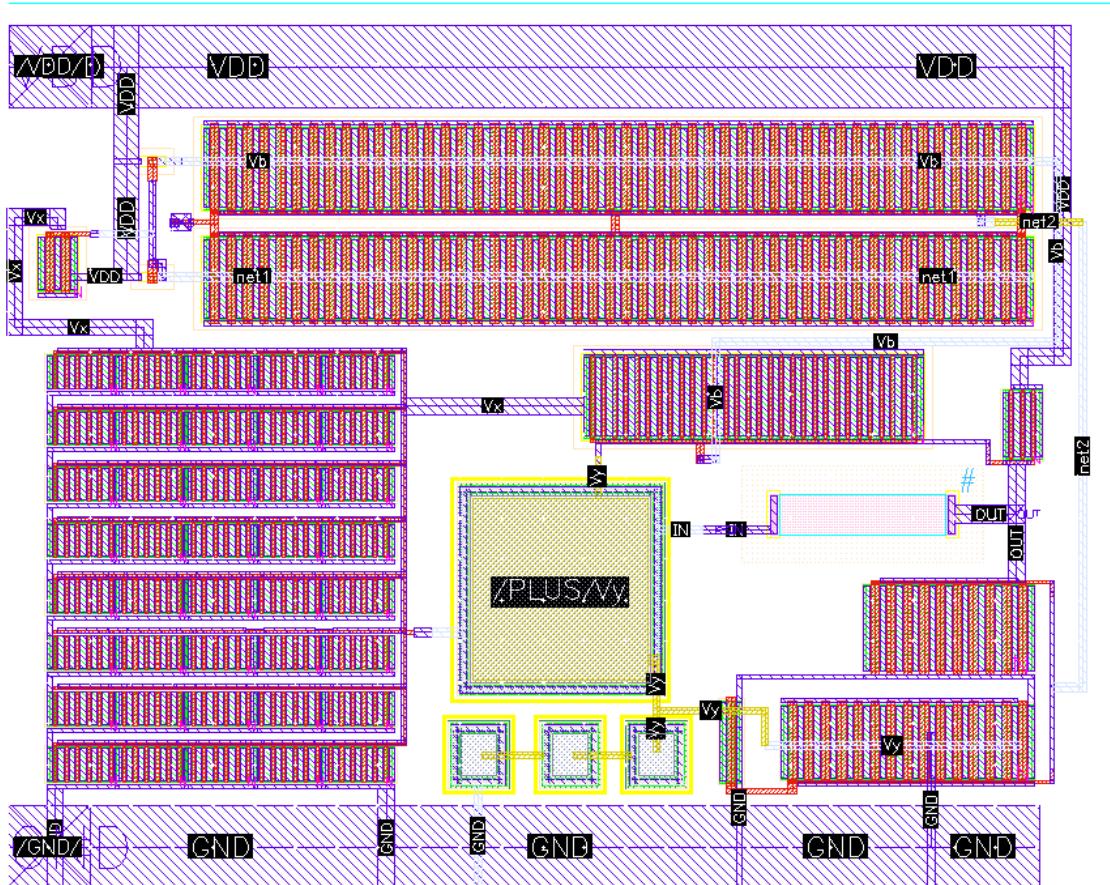


FIGURE 4.1 – Layout du circuit final.

5 Conclusion

En guise de conclusion, nous pouvons dire que nous avons réussi ce projet, vu que notre circuit conçu répond bien au cahier des charges, et les différentes simulations effectuées montrent cela.

Ce projet nous a permis d'acquérir des méthodes et des compétences nécessaires pour la conception d'un circuit en prenant en compte son cahier des charges et la durée limitée du projet, et nous a permis de se familiariser avec l'utilisation de l'outil cadence. C'était aussi l'opportunité pour nous de lier entre le cours théoriques (conception des circuits intégrés analogiques, circuits actifs hyperfréquences et optoélectroniques, etc...). En effet, nous avons exploité les relations et les connaissances déjà acquises pour faire la conception, comprendre les problèmes rencontrés, et améliorer le fonctionnement du circuit.

Enfin, nous remercions nos profs encadrements, car ils nous ont beaucoup aidé. Et grâce à leurs explications et à leurs assistances, nous avons pu profiter au maximum de ce projet.

6 Preuve de Compétence

Dans cette section chaque membre du groupe explique les compétences validées lors de l'élaboration du projet.

6.1 EL HADI, Asmae

Ce projet m'a permis d'acquérir plusieurs compétences, vu que c'est un grand projet où toutes mes connaissances théoriques et en logiciel se chevauchent pour le réussir.

D'abord, j'estime acquérir un niveau N2 pour la compétence "Concevoir ou réaliser des solutions techniques, théoriques ou expérimentales, permettant de répondre à un cahier des charges". Premièrement, la section 2, en particulier dans la partie étape de validation, qui montre comment nous avons évaluer notre circuit pour savoir s'il répond au cahier des charges ou pas, et si notre solution technique est fonctionnelle. Et à la fin, nous avons réussi à concevoir un système qui fonctionne parfaitement comme prévu.

Ensuite, j'ai appuyé sur toutes mes connaissances acquises dans les cours, les TDs, et les TPs, comme le cours de "conception des circuits intégrés analogiques", et le cours des "circuits actifs hyperfréquences et optoélectroniques". Toutes ces connaissances ont permis la conception d'une solution purement technique. En outre, nous avons réussi à rendre le projet avant le délai, et nous avons bien avancé sur le projet jusqu'au point de réaliser le layout du circuit (même s'il y a le test DRC ne passe pas totalement).

Également, ce projet était l'opportunité pour moi pour se familiariser avec l'outil Cadence, qui est un outil indispensable dans la conception des circuits intégrés analogiques, et l'outil Python pour tracer les différentes courbes et effectuer les différents calculs pour avoir une présentation et un rapport propres. Enfin, le rapport réalisé clarifie très bien les démarches de la conception et de la validation de ce circuit, et les détails présentés permettent la réutilisabilité de notre solution.

Ensuite, j'estime acquérir le niveau N2 pour la compétence "Mettre en oeuvre une démarche de recherche fondamentale ou appliquée à des fins d'innovation". En effet, ce projet m'a permis de construire un méthodologie de développement et de recherches, et la sous-section 1.2 montre que nous avons fait beaucoup de recherches complémentaires qui nous ont permis d'identifier l'état d'art et les plans d'actions pour ce projet. En plus, notre solution technique est bien pertinente car elle répond au cahier des charges et fait la fonction préamplification avec un bas bruit et une fonction de transimpédance. En plus, j'ai bien contribué dans ce projet, nous étions deux, et nous étions toujours présents, nous avons tous les deux participé à la réalisation de toute les parties du projet (recherches, conception, simulations, rapport et présentation, etc...) chose qui nous a permis de respecter le délai et les contraintes imposées. En outre, ce rapport illustre une prospective par rapport aux verrous identifiés grâce à la réalisation l'état de l'art. Et il présente aussi les résultats trouvés, et il montre que notre solution est bien fonctionnelle, et la présentation du projet que nous avons faites montre que les professeurs et nos camarades apprécient le travail réalisé.

Enfin, Victor et moi avons construit une très bonne équipe, nous étions cohérent et en accord sur tous les points, car nous avons réussi à surmonter vite les moments de désaccord. Nous avons profité de communiquer en français et en anglais vu que nous sommes des étudiants internationaux. Donc nous avons réussi à créer un environnement international et interculturel, et coopérer dans un binôme en mode projet.

6.2 SABIÁ PEREIRA CARPES, Victor

Tout au long de ce projet, j'ai pu développer mes compétences d'ingénieur, en utilisant des outils théoriques en lien avec les logiciels de conception utilisés.

Les principales compétences développées sont les suivantes :

- **Concevoir ou réaliser des solutions techniques, théoriques ou expérimentales, permettant de répondre à un cahier des charges :** Au cours de ce projet, j'ai pu exploiter mes expériences précédentes de mes études au Brésil et ici à Phelma. Nous avons pu analyser correctement les résultats de la simulation et les utiliser pour modifier le circuit jusqu'à ce que nous ayons une solution fonctionnelle qui respecte le cahier de charges. Nous avons terminé le projet à temps et, même si nous n'avons pas pu faire de simulations post-layout, nous avons réussi à finir un layout électriquement équivalent à notre schéma. Pour vérifier chaque aspect de notre circuit, nous avons utilisé le type de simulations pertinentes et les bonnes méthodes mathématiques et théoriques.
- **Coopérer dans une équipe ou en mode projet :** Presque toutes les sections de travail ont été réalisées en binôme. Nous avons pu bien répartir le travail. Nous nous sommes organisés pour réaliser le dimensionnement de tous les transistors et nous avons fait les analyses ensemble. La partie que nous avons faite de manière plus indépendante était la préparation de la présentation. Pendant que j'écrivais des scripts *python* pour tracer les résultats de la simulation, Asmae s'occupait de produire elle-même les diapositives. En fin de compte, nous avons pu travailler en synergie les uns avec les autres.
- **Travailler et communiquer en environnement international et interculturel :** Asmae et moi sommes des étudiants internationaux venant de différents coins du monde. En travaillant ensemble, nous avons eu l'opportunité de communiquer en anglais et en français. De plus, dans les moments de repos entre les séances de travail, nous avons eu plusieurs échanges culturels, parlant des similitudes et des différences de nos cultures (cultures brésilienne et marocaine) et de nos autres collègues (culture française).

En résumé, Asmae et moi avons pu utiliser nos connaissances théoriques des outils de conception pour mener à bien la conception et la validation d'un préamplificateur bas bruit. Nous avons pu coopérer efficacement et partager certaines de nos différentes cultures et langues les uns avec les autres.

Notes de fin de document

- i. Il est possible de montrer que, pour une impulsion triangulaire de courant avec des temps de montée et de descente égaux et une durée T_{pulse} , la charge totale fournie est donnée par $Q_{in} = \frac{1}{2}I_{in}T_{pulse}$. Cette relation va être utilisée pour convertir entre le courant et la charge à l'entrée.
- ii. Nous avons choisi cette valeur de sorte que la résolution du système exprimée en bits soit la plus élevée possible tout en restant résistante au bruit. Avec ces spécifications, nous obtenons une résolution de 9 bits.
- iii. Supposons que nous ayons un système avec une fonction de transfert (N.1).

$$H(f) = \frac{H_0}{1 + j\frac{f}{f_c}} \quad (\text{N.1})$$

Nous pouvons définir un système équivalent de bruit blanc plus facile à utiliser pour les calculs de fonction de transfert (N.2).

$$H_{eq}(f) = \begin{cases} H_0 & \text{si } |f| \leq f_{eq} \\ 0 & \text{si } |f| > f_{eq} \end{cases} \quad (\text{N.2})$$

Afin d'obtenir le paramètre f_{eq} du filtre équivalent, nous devons nous assurer que le bruit intégré pour les deux filtres est le même. Cette condition est exprimée mathématiquement en (N.3).

$$\int_{-\infty}^{\infty} e_{ni}^2 |H(f)|^2 df = \int_{-\infty}^{\infty} e_{ni}^2 |H_{eq}(f)|^2 df \quad (\text{N.3})$$

En résolvant (N.3) nous obtenons la relation $f_{eq} = \frac{\pi}{2}f_c$.

Références

- [1] B. Razavi, “A 622 Mb/s 4.5 pA/ $\sqrt{\text{Hz}}$ CMOS transimpedance amplifier [for optical receiver front-end],” dans *2000 IEEE International Solid-State Circuits Conference. Digest of Technical Papers (Cat. No.00CH37056)*, 2000, pp. 162–163.
- [2] B. Razavi, “The Transimpedance Amplifier [A Circuit for All Seasons],” *IEEE Solid-State Circuits Magazine*, vol. 11, no. 1, pp. 10–97, 2019.
- [3] B. Razavi, “The Design of a Transimpedance Amplifier [The Analog Mind],” *IEEE Solid-State Circuits Magazine*, vol. 15, no. 1, pp. 7–11, 2023.
- [4] W. Sansen et Z. Chang, “Limits of low noise performance of detector readout front ends in CMOS technology,” *IEEE Transactions on Circuits and Systems*, vol. 37, no. 11, pp. 1375–1382, 1990.