



Síntese e Análise de uma Unidade Lógica Aritmética (ULA)

Laboratório 4 (Circuitos Digitais I)

Abril, 2019

Turma 1COMP

Adriano Soares Rodrigues, Matheus Vidal de Menezes e Pedro Alves de Souza Neto

Prof.º Osamu Saotome

Instituto Tecnológico de Aeronáutica (ITA)

São José dos Campos, São Paulo, Brasil.

{sadrianorod, matheusvidaldemenezes, alvesouza.pedro97@gmail.com}@gmail.com

I. Introdução

Com o progresso tecnológico dos transístores, criou-se a famosa família de circuitos integrados TTL, Transistor-Transistor Logic, responsáveis pelo desenvolvimento de portas lógicas, que, na verdade, são circuitos transistorizados, tecnologia essencial para o surgimento dos computadores pessoais (Personal Computer - PC) de hoje.

II. Objetivo

O objetivo da quarta prática laboratorial de EEA-21 Circuitos Digitais mostra-se de grande importância. Isso, porque introduz novos circuitos e, como nas práticas anteriores, trata da familiarização das portas lógicas estudadas teoricamente e do aprendizado quanto a utilização destas em simulações, via o *software* *Quartus® 13.01*, de circuitos integrados de uma Unidade Lógica Aritmética (ULA).

III. Tarefas

Problema 5.1)

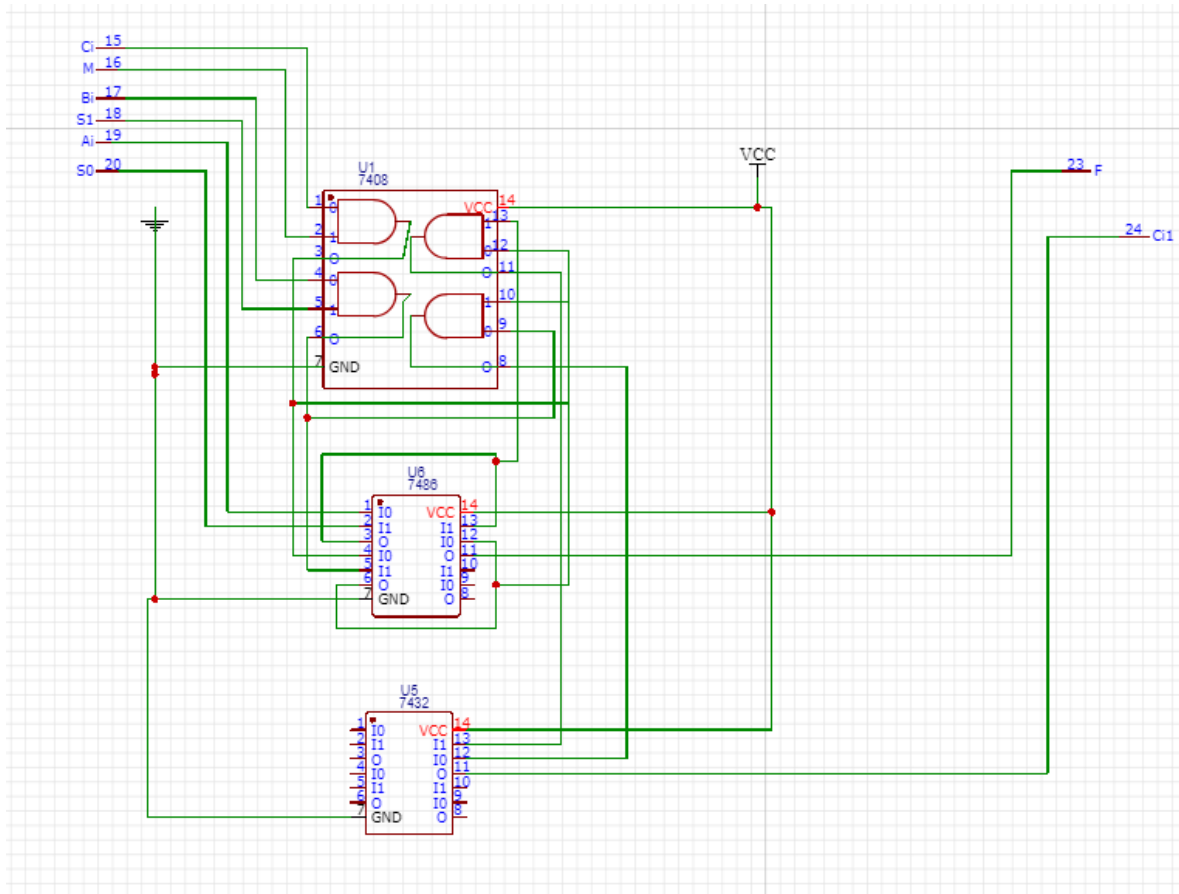


Figura 1. Esquema do circuito projetado para a célula básica da ULA para o problema 5.1.

Foi verificada a validade da tabela, pelo circuito feito. Obtivemos a seguinte tabela verdade:

Tabela 1. Tabela verdade para a ULA de 1 bit do problema 5.1.

| M | C_i | S_1 | S_0 | A_i | B_i | F_i | C_{i1} |
|-----|-------|-------|-------|-------|-------|-------|----------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

O resultado foi mostrado para o professor Osamu durante a pratica de laboratório e aprovada por ele.

Problema 5.2)

Para que o circuito funcionasse como pedido, *i.e.*, com uma única chave para comutar entre a operação de soma e de subtração, foi implementada uma inversão na entrada $\overline{C_n}$ para que as chaves seletoras S_3, S_2, S_1 e S_0 funcionassem, conforme a Tabela 2:

Tabela 2. Tabela verdade para fazer o chaveamento.

| $\overline{C_n}$ | S_3 | S_2 | S_1 | S_0 | Operação |
|------------------|------------------|------------------|------------------|------------------|-----------|
| 0 | $\overline{C_n}$ | C_n | C_n | $\overline{C_n}$ | Soma |
| 1 | C_n | $\overline{C_n}$ | $\overline{C_n}$ | C_n | Subtração |

Note que para soma, temos $(S_3, S_2, S_1, S_0) = (1, 0, 0, 1)$, e para subtração, $(S_3, S_2, S_1, S_0) = (0, 1, 1, 0)$, o que está de acordo com a tabela verdade da ULA 74181 escolhida.

Assim, o circuito implementado está representado na Figura 2.

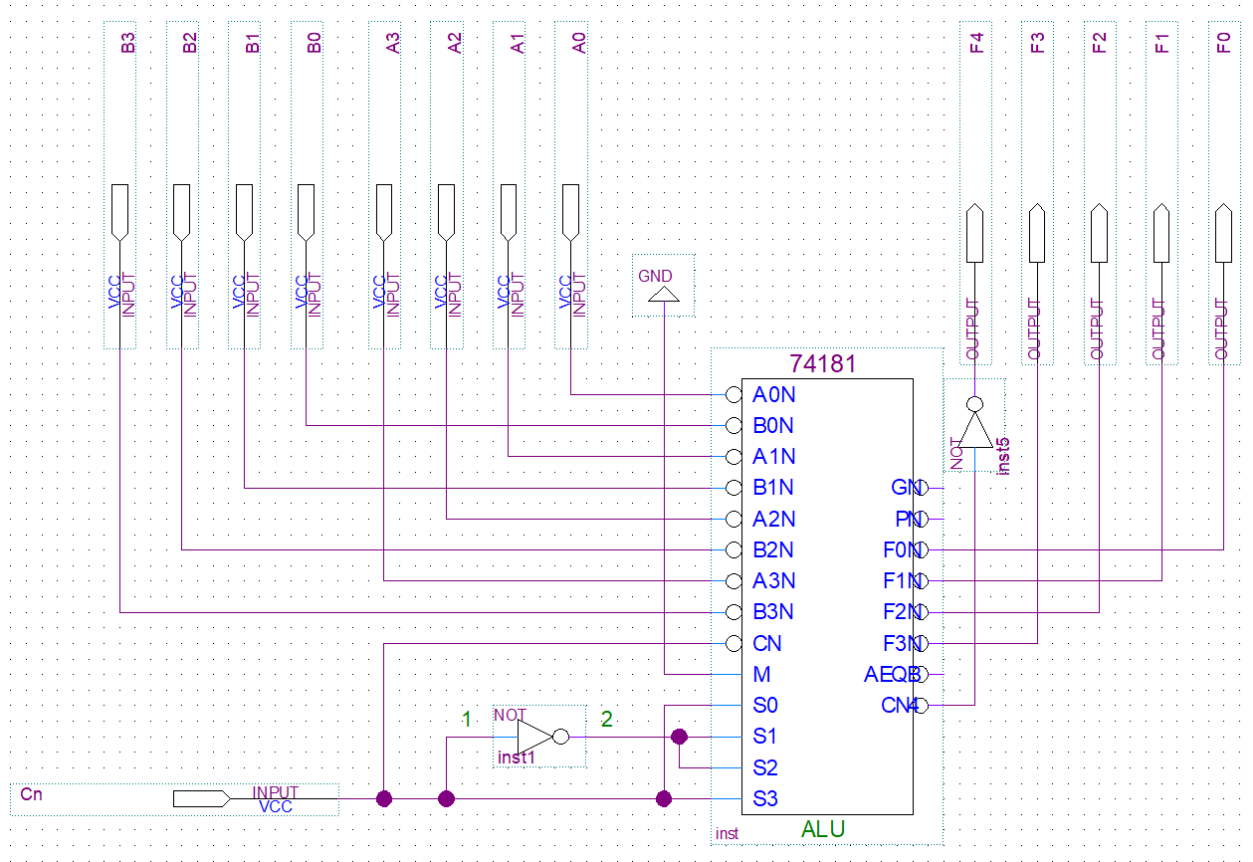


Figura 2. Esquema do circuito projetado, utilizando a ULA 74181 para o problema 5.2.

Para as somas/subtrações pedidas, obtivemos como simulação:

- $(0)_d + (0)_d$

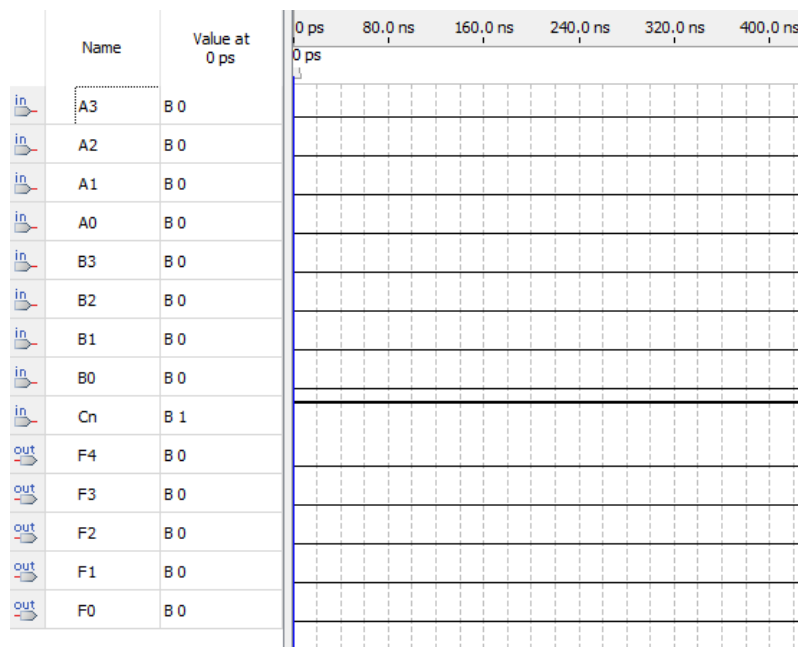


Figura 3. Resultado da simulação de $(0)_d + (0)_d$ com a ULA 74181.

- $(3)_d + (5)_d$

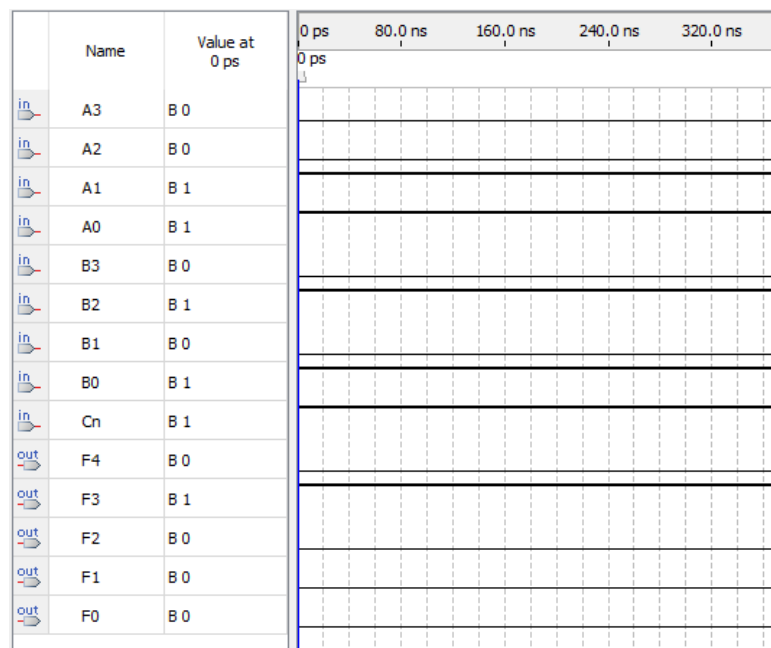


Figura 4. Resultado da simulação de $(3)_d + (5)_d$ com a ULA 74181.

- $(8)_d - (5)_d$

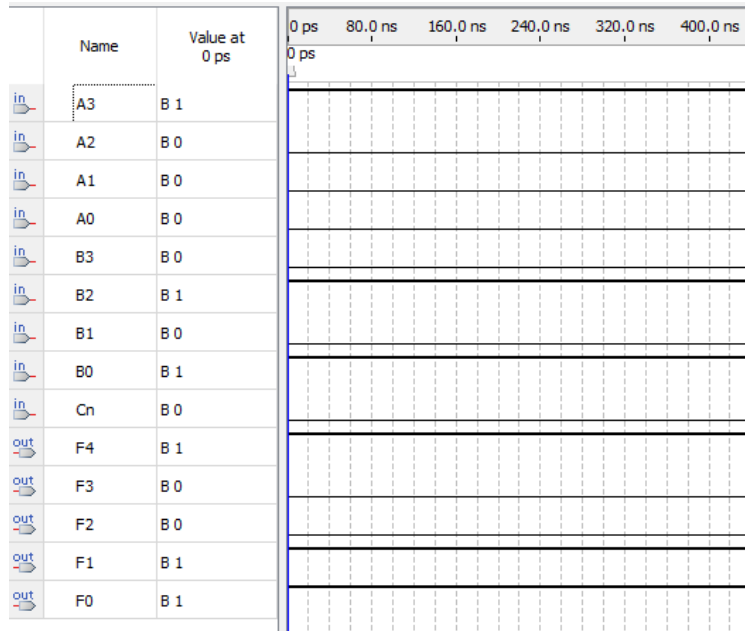


Figura 5. Resultado da simulação de $(8)_d - (5)_d$ com a ULA 74181.

- $(8)_d + (8)_d$

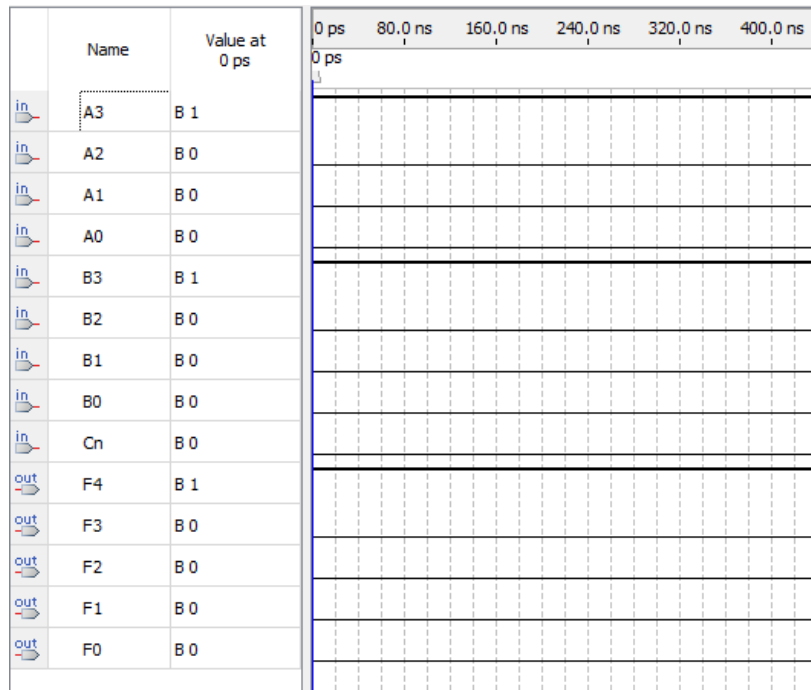


Figura 6. Resultado da simulação de $(8)_d + (8)_d$ com a ULA 74181.

Todos os resultados obtidos em simulação corroboram para o esperado teoricamente.

Todos os resultados obtidos em prática experimental em laboratório também corroboraram para o esperado teoricamente. Tais resultados foram mostrados para o Profº. Osamu.

Problema 6.1)

a) Seguem as tabelas verdades para cada operação:

❖ Operações Lógicas, $M = 1$:

- $F = \bar{A}$

Tabela 3. Tabela verdade para a operação $F = \bar{A}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C _{in} | F = \bar{A} | C _{out} |
|---|---|-----------------|---------------|------------------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 |

- $F = \overline{A \cdot B}$

Tabela 4. Tabela verdade para a operação $F = \overline{A \cdot B}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C _{in} | F = $\overline{A \cdot B}$ | C _{out} |
|---|---|-----------------|----------------------------|------------------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 |

- $F = \bar{A} + B$

Tabela 5. Tabela verdade para a operação $F = \bar{A} + B$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C _{in} | $F = \bar{A} + B$ | C _{out} |
|---|---|-----------------|-------------------|------------------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

- $F = A \oplus B$

Tabela 6. Tabela verdade para a operação $F = A \oplus B$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C _{in} | $F = A \oplus B$ | C _{out} |
|---|---|-----------------|------------------|------------------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 |

❖ Operações Aritméticas, $M = 0$:

➤ $S_2 = 0$:

- $F = \bar{A} \text{ mais } C_{in}$

Tabela 7. Tabela verdade para a operação $\bar{A} \text{ mais } C_{in}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C _{in} | $F = \bar{A} \text{ mais } C_{in}$ | C _{out} |
|---|---|-----------------|------------------------------------|------------------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

- $F = A \text{ mais } B \text{ mais } C_{in}$

Tabela 8. Tabela verdade para a operação $F = A \text{ mais } B \text{ mais } C_{in}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C_{in} | $F = A \text{ mais } B \text{ mais } C_{in}$ | C_{out} |
|---|---|----------|--|-----------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

- $F = \bar{A} \text{ mais } B \text{ mais } C_{in}$

Tabela 9. Tabela verdade para a operação $F = \bar{A} \text{ mais } B \text{ mais } C_{in}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C_{in} | $F = \bar{A} \text{ mais } B \text{ mais } C_{in}$ | C_{out} |
|---|---|----------|--|-----------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |

- $F = A \text{ mais } 1 \text{ mais } C_{in}$

Tabela 10. Tabela verdade para a operação $F = A \text{ mais } 1 \text{ mais } C_{in}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C_{in} | $F = A \text{ mais } 1 \text{ mais } C_{in}$ | C_{out} |
|---|---|----------|--|-----------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

➤ $S_2 = 1$:

- $F = A \text{ menos } B \text{ menos } C_{in}$

Tabela 11. Tabela verdade para a operação $F = A \text{ menos } B \text{ menos } C_{in}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C_{in} | $F = A \text{ menos } B \text{ menos } C_{in}$ | C_{out} |
|---|---|----------|--|-----------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

- $F = B \text{ menos } A \text{ menos } C_{in}$

Tabela 12. Tabela verdade para a operação $F = B \text{ menos } A \text{ menos } C_{in}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C_{in} | $F = B \text{ menos } A \text{ menos } C_{in}$ | C_{out} |
|---|---|----------|--|-----------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

- $F = A \text{ menos } 1 \text{ menos } C_{in}$

Tabela 13. Tabela verdade para a operação $F = A \text{ menos } 1 \text{ menos } C_{in}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C_{in} | $F = A \text{ menos } 1 \text{ menos } C_{in}$ | C_{out} |
|---|---|----------|--|-----------|
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

- $F = A \text{ mais } (A + B) \text{ mais } 1 \text{ menos } C_{in}$

Tabela 14. Tabela verdade para a operação $F = A \text{ mais } (A + B) \text{ mais } 1 \text{ menos } C_{in}$ da ULA de 1 bit desejada no problema 6.1.

| A | B | C_{in} | $F = A \text{ mais } (A + B) \text{ mais } 1 \text{ menos } C_{in}$ | C_{out} |
|---|---|----------|---|-----------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |

- b) Para a implementação da ULA de 1 bit fornecida, foram, antes implementadas as funções de soma e subtração de 1 bit: somador (Figura 7) e subtrator (Figura 8).

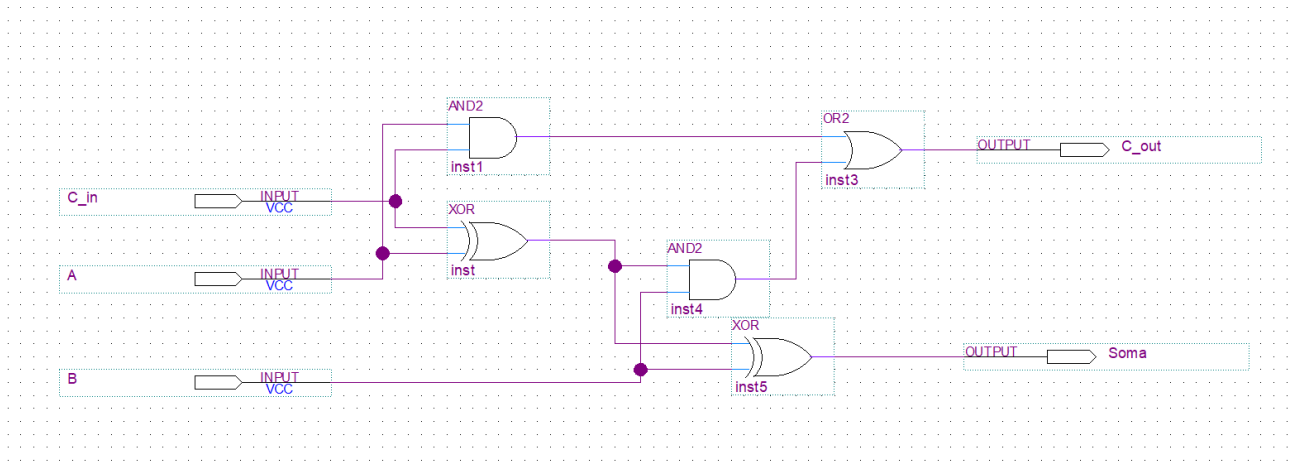


Figura 7. Somador completo de 1 bit implementado.

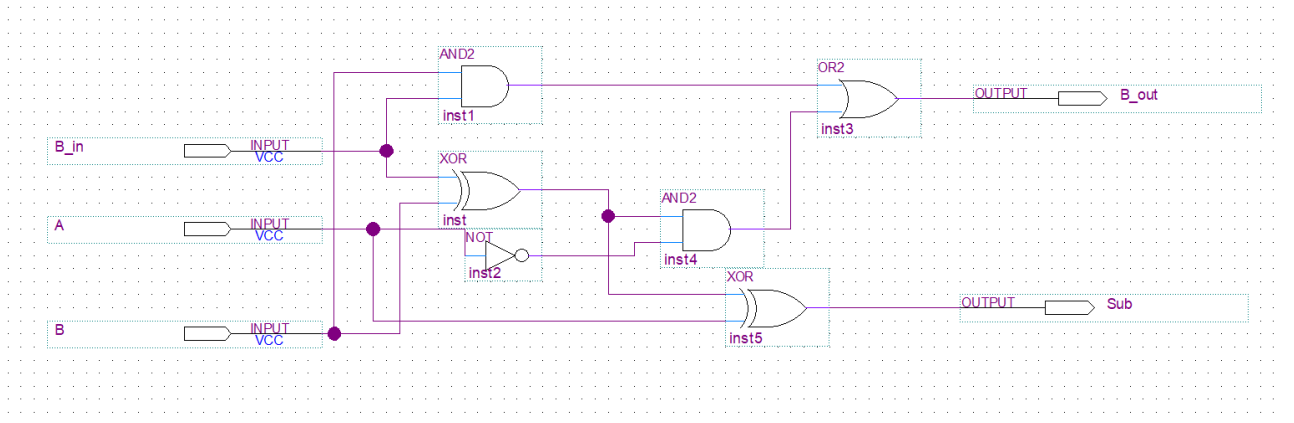


Figura 8. Subtrator completo de 1 bit implementado.

Dado o tamanho do circuito, dividimos em três pedaços em um (Figura 9), conforme abaixo. Para melhor visualização, favor dar **zoom** em pelo menos 200%.

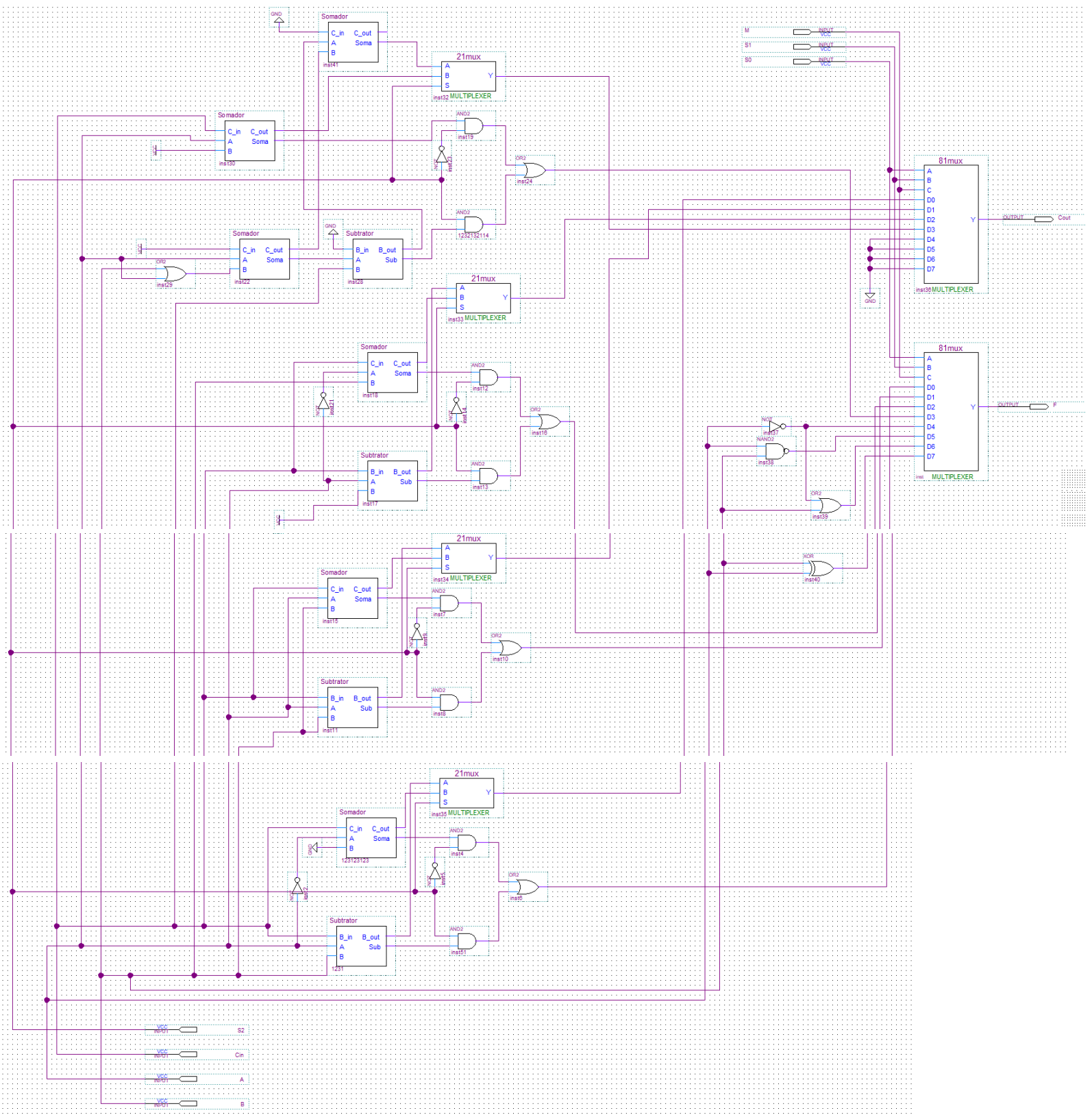


Figura 9. Esquema do circuito projetado para a célula básica da ULA, utilizando MUX 8x1, do problema 6.1.

Problema 6.2)

- ❖ Operações Lógicas, $M = 1$:
 - $F = \bar{A}$

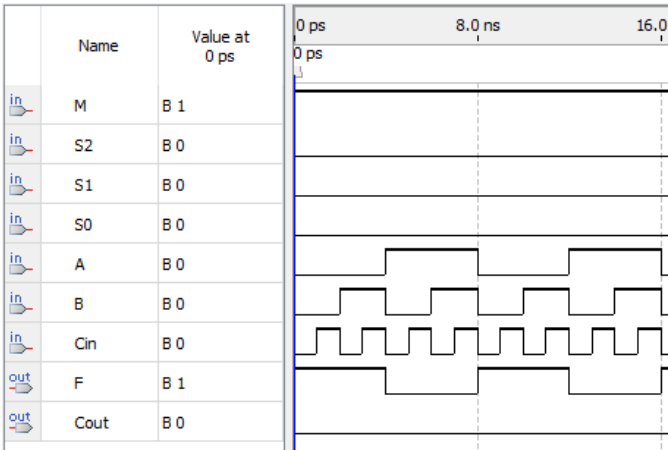


Figura 10. Resultado da simulação para $(M, S_2, S_1, S_0) = (1,X,0,0)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 3.

- $F = \overline{A \cdot B}$

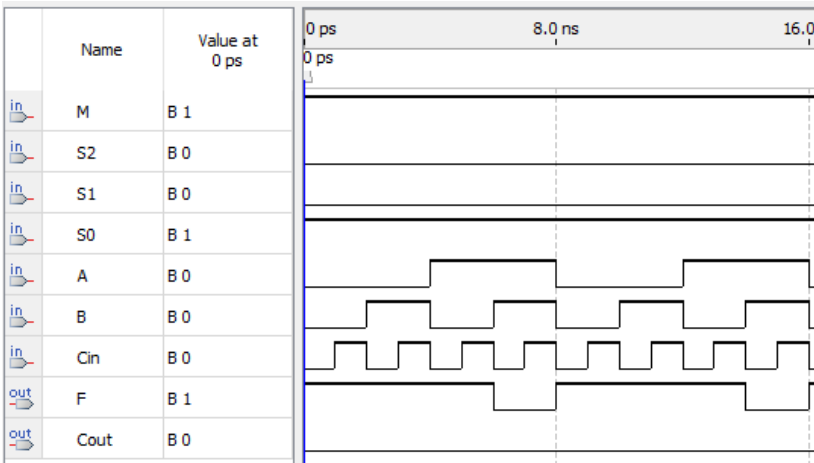


Figura 11. Resultado da simulação para $(M, S_2, S_1, S_0) = (1,X,0,1)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 4.

- $F = \bar{A} + B$

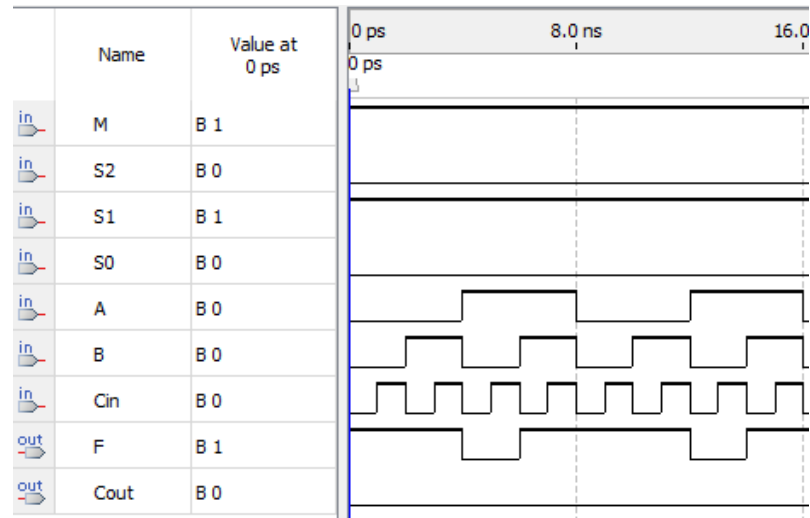


Figura 12. Resultado da simulação para $(M, S_2, S_1, S_0) = (1, X, 1, 0)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 5.

- $F = A \oplus B$

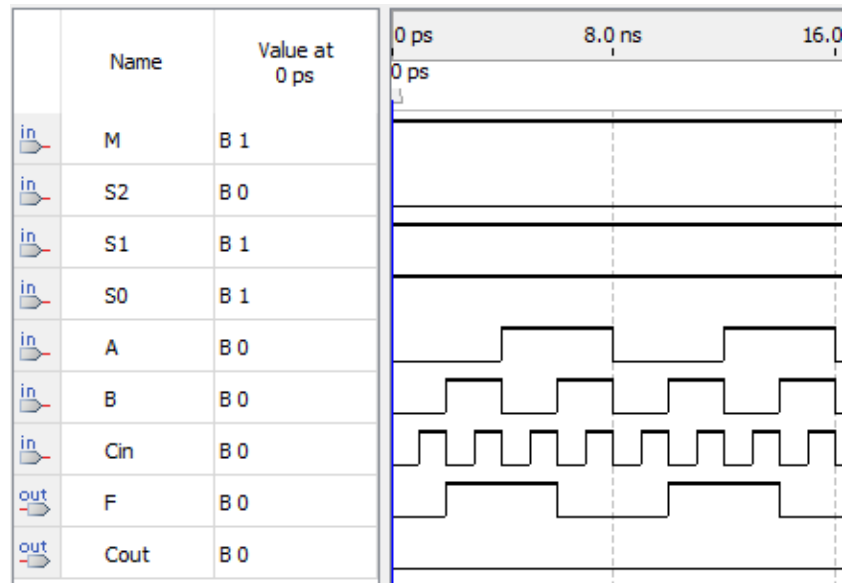


Figura 13. Resultado da simulação para $(M, S_2, S_1, S_0) = (1, X, 1, 1)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 6.

- ❖ Operações Aritméticas, $M = 0$:
 - $S_2 = 0$:
 - $F = \bar{A}$ mais C_{in}

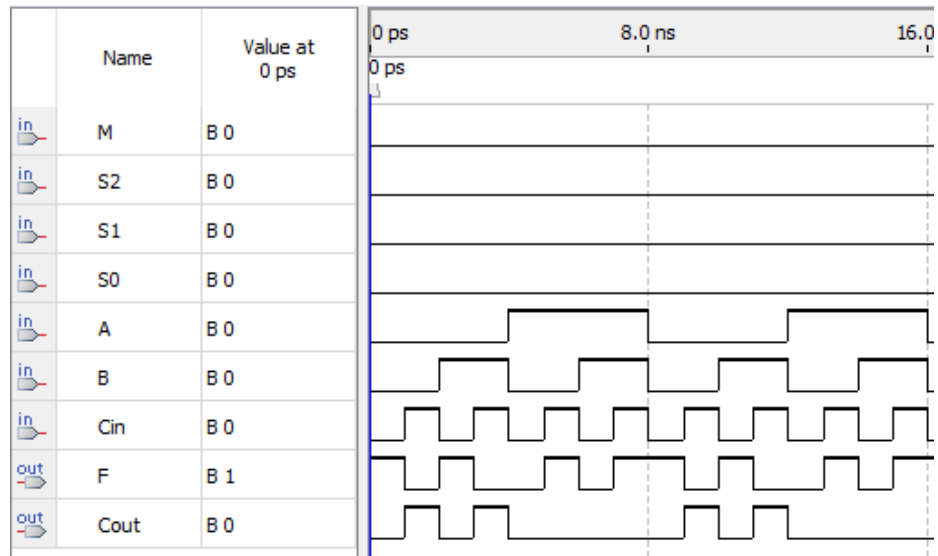


Figura 14. Resultado da simulação para $(M, S_2, S_1, S_0) = (0,0,0,0)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 7.

- $F = A$ mais B mais C_{in}

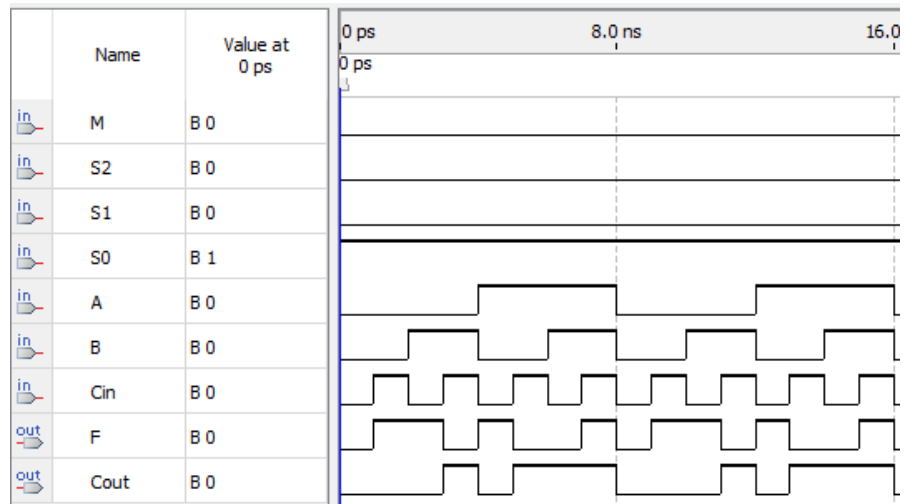


Figura 15. Resultado da simulação para $(M, S_2, S_1, S_0) = (0,0,0,1)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 8.

- $F = \bar{A} \text{ mais } B \text{ mais } C_{in}$

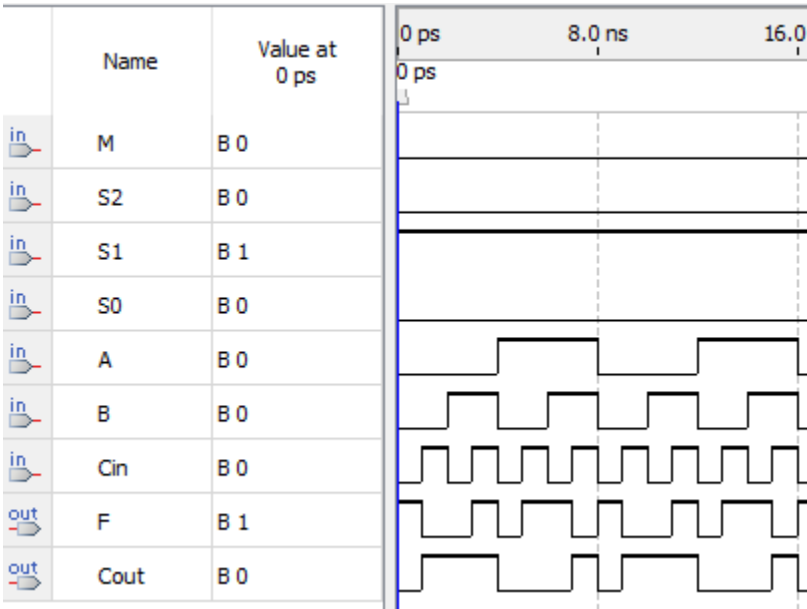


Figura 16. Resultado da simulação para $(M, S_2, S_1, S_0) = (0,0,1,0)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 9.

- $F = A \text{ mais } 1 \text{ mais } C_{in}$

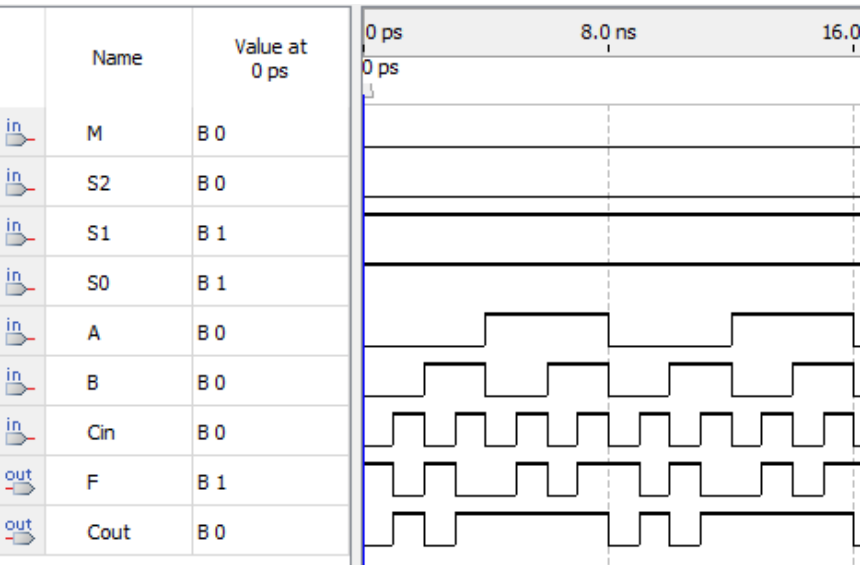


Figura 17. Resultado da simulação para $(M, S_2, S_1, S_0) = (0,0,1,1)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 10.

- $S_2 = 1$:
 - $F = A \text{ menos } B \text{ menos } C_{in}$

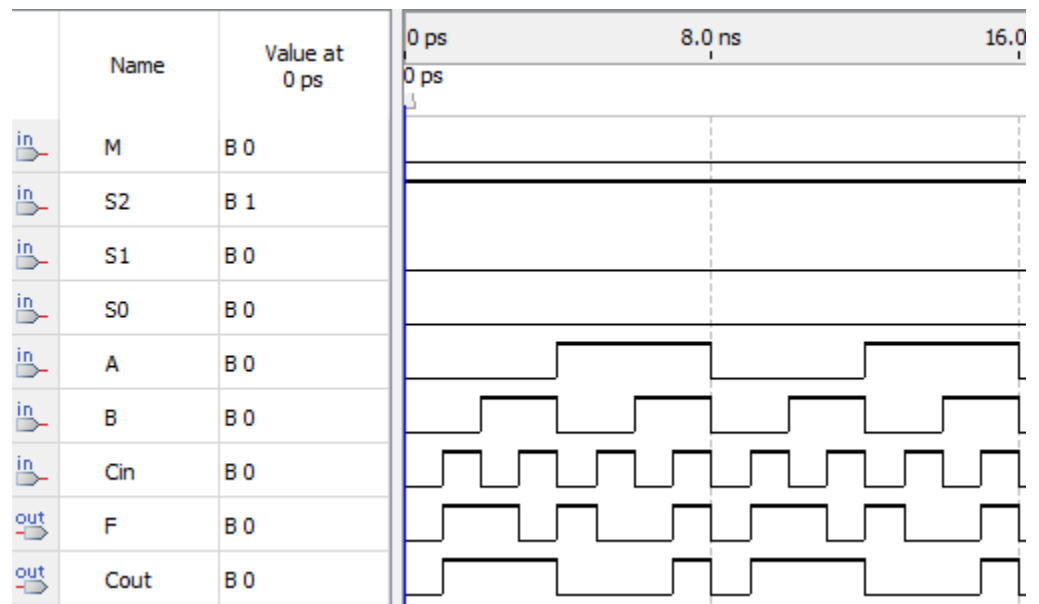


Figura 18. Resultado da simulação para $(M, S_2, S_1, S_0) = (0,1,0,0)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 11.

- $F = B \text{ menos } A \text{ menos } C_{in}$

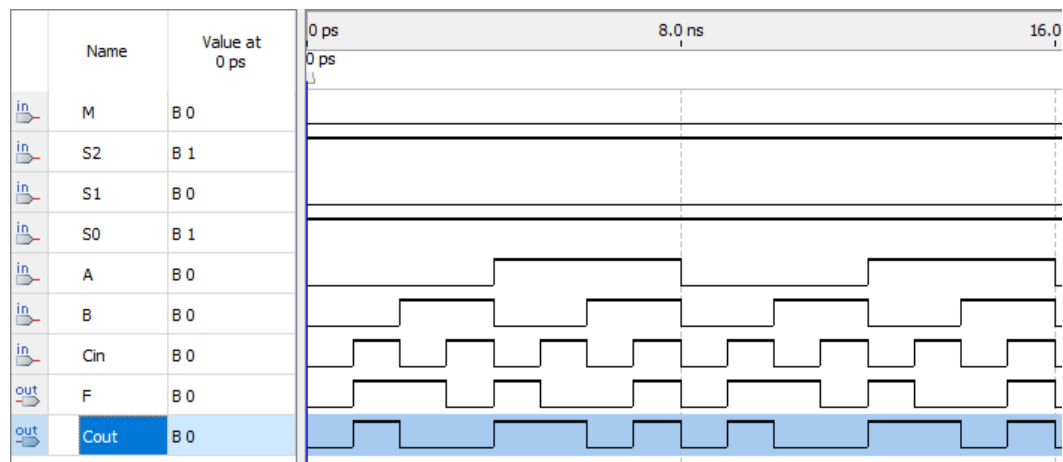


Figura 19. Resultado da simulação para $(M, S_2, S_1, S_0) = (0,1,0,1)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 12.

- $F = A \text{ menos } 1 \text{ menos } C_{in}$

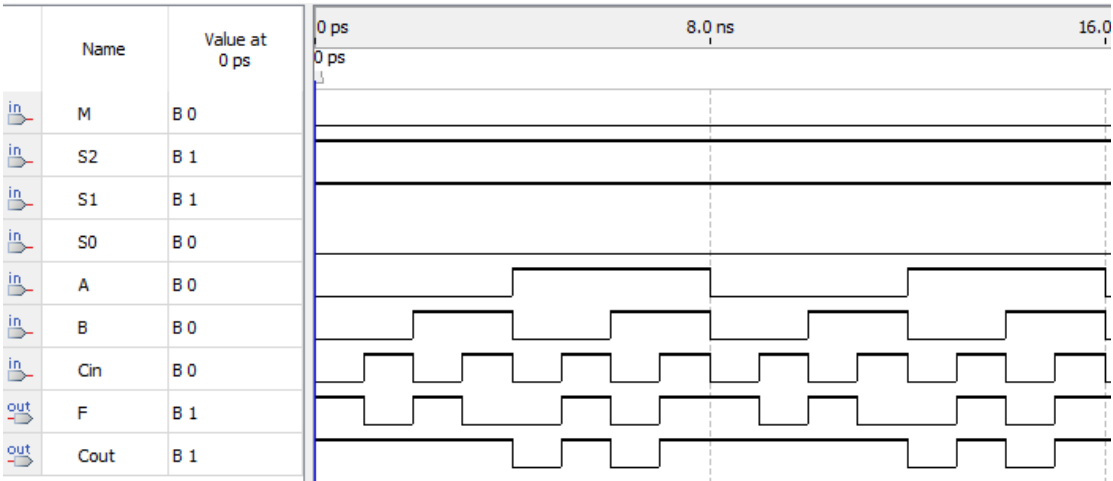


Figura 20. Resultado da simulação para $(M, S_2, S_1, S_0) = (0,1,1,0)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 13.

- $F = A \text{ mais } (A + B) \text{ mais } 1 \text{ menos } C_{in}$

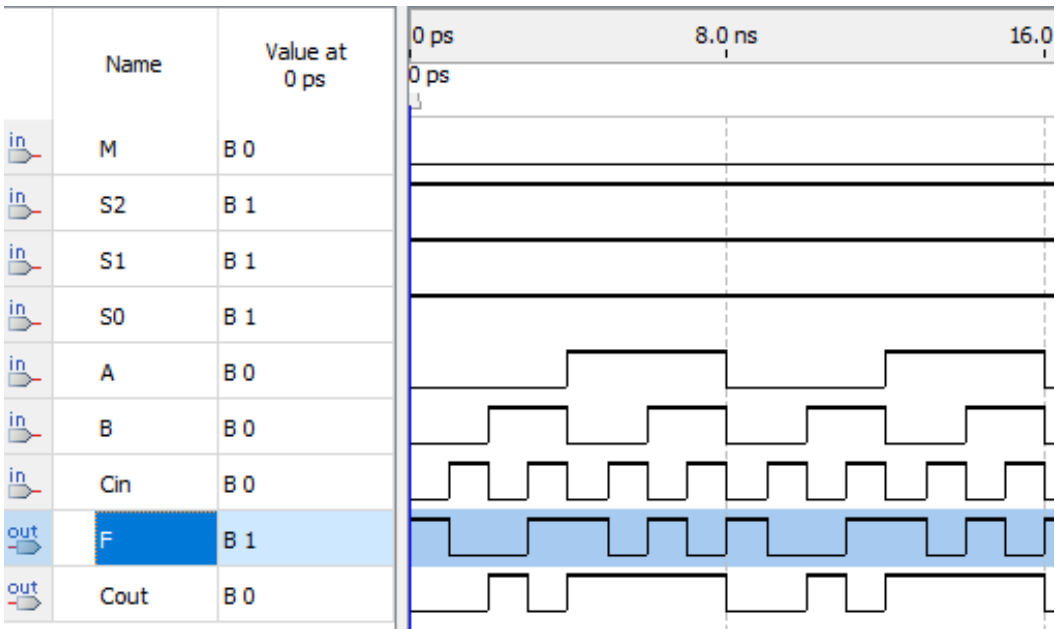


Figura 21. Resultado da simulação para $(M, S_2, S_1, S_0) = (0,1,1,1)$.

Note que o resultado está de acordo com o esperado, conforme a Tabela 14.

IV. Conclusão

As atividades laboratoriais desenvolvidas bem como o aprendizado na utilização do software *Quartus® 13.01* foram de grande importância para desenvolver os conhecimentos teóricos e práticos a respeito dos circuitos digitais, principalmente sobre o funcionamento e o projeto de Unidades Lógica e Aritmética (ULA).

Do experimento realizado, foi possível, embora toda simplicidade em sua metodologia, conseguir obter resultados coerentes com a teoria de circuitos digitais. Além disso, tanto o ***software***, quanto as técnicas aplicadas foram de grande importância para o aprendizado da frente de EEA-21.