

**Instituto Tecnológico de Aeronáutica - ITA**

Divisão de Engenharia Eletrônica

Departamento de Eletrônica Aplicada

**Laboratório de EEA-21**

**7ª Experiência**

**Síntese de Circuitos Sequenciais Síncronos**

1. **1. Objetivos**

* 1. a. Familiarização com a implementação de circuitos digitais em *protoboard*;
  2. b. Familiarização com circuitos sequenciais síncronos; e
  3. c. Familiarização com a implementação de circuitos em dispositivo lógico programável (FPGA Altera Cyclone IV).

1. **2. Instruções gerais**

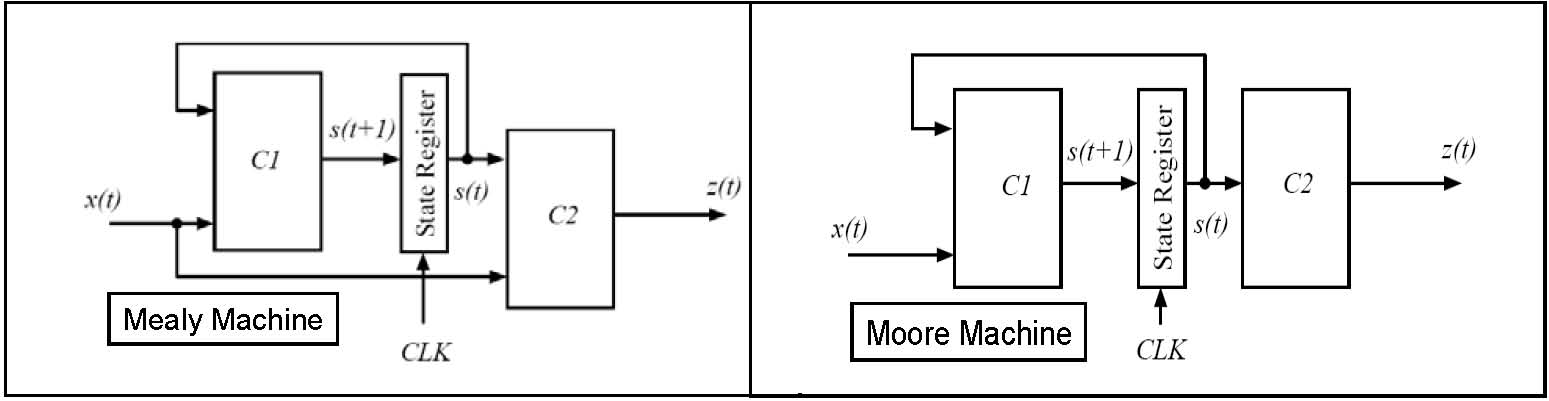
Para cada um dos tópicos abaixo, observe o que se pede em negrito. Quando a solicitação é da forma:

* 1. • **“Projete”**, espera-se que os alunos projetem os circuitos seguindo algum tipo de especificação **dada**. Assim, os cálculos combinacionais, procedimentos de minimização ou outros mecanismos utilizados para o projeto e o diagrama esquemático final do circuito devem ser mostrados (constar do relatório).
  2. • “**Monte**”, espera-se que o circuito dado ou projetado seja montado em *protoboard* de maneira organizada, com as entradas e saídas identificadas. Os **componentes** serão fornecidos pelo almoxarifado, devendo os mesmos ser retornados após a avaliação dos circuitos pelo instrutor.
  3. • “**Simule**”, espera-se que seja utilizado um software de captura esquemática para a obtenção dos resultados. Assim, o diagrama esquemático (no caso de captura esquemática) deve ser apresentado, bem como o diagrama de temporização contendo as entradas e as saídas.
  4. • “**Analise**”, espera-se que sejam obtidas as expressões lógicas, tabelas verdade, a partir de um diagrama esquemático, diagrama de temporização ou outra informação sobre o circuito lógico. Dessa forma, os procedimentos de análise devem ser mostrados no relatório.
  5. • “**Programe”**, espera-se que, a partir da descrição do circuito em forma de diagrama esquemático ou VHDL no software de design utilizado, seja obtido um arquivo para configuração do dispositivo PLD, e esse arquivo seja transferido para o PLD através da interface de comunicação entre computador e a placa de desenvolvimento.

1. ***Um breve comentário sobre os resultados, dificuldades ou outras observações são esperados para todas as tarefas.***

**3. Informações úteis**

**3.1** **Arquiteturas Mealy e Moore**.



**3.2 Síntese de máquinas síncronas**

Passos: 1. Fazer o diagrama de transição de estados (Mealy ou Moore);

2. Realizar a minimização de estados;

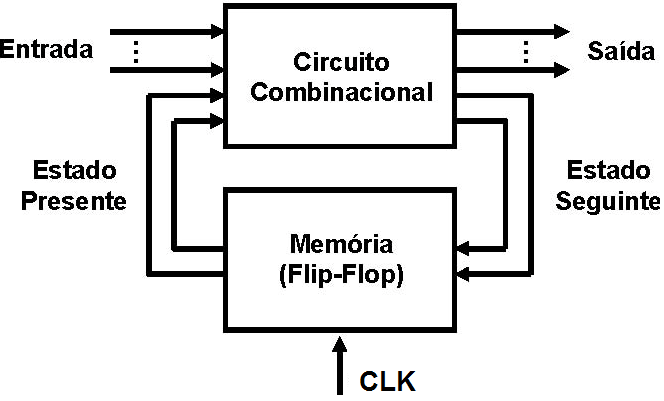
3. Realizar a codificação de estados;

4. Escolher o elemento de memória (Flip-Flop);

5. Obter as equações de excitação e de saída; e

6. Obter o diagrama lógico.

Arquitetura de máquinas sequenciais:



**3.3 Material necessário para as montagens:**

1 CI 7404, 6 NOTs; 2 CIs 7408, 4 ANDs; 1 CI 7432, 4 ORs; 2 CIs 7476, 2FF JK.

**3.4 Implementação de circuitos em PLD (FPGA Altera Cyclone IV):**

Neste caso, sugere-se que os alunos previamente tomem contato com o Tutorial “**Placa de Desenvolvimento com FPGA Altera Cyclone IV”**, que será utilizado durante a prática em questão. Este será enviado pelo professor, juntamente com o presente roteiro.

**4. Tarefas de Montagem e Programação de PLD**

**Especificação do problema:**

* 1. O problema proposto neste laboratório é projetar um circuito de temporização com as seguintes características:

O circuito é inicializado aplicando um nível alto na entrada *“INÍCIO.*

Após *“inicializado”* o circuito deve permanecer durante um segundo no “estado **A**” e sua saída deve ser zero (nível lógico L).

Finalizado este intervalo de tempo de 1s, o circuito verifica o estado da entrada *“TEMP”*. Se o valor da entrada *“TEMP”* é baixo, mantém-se o presente estado. Se o valor da entrada *“TEMP”* é alto, a máquina passa para o “estado **B**”, com saída configurada para nível baixo (nível lógico L).

No “estado **B**” a máquina deve permanecer durante três segundos. Após este período verifica-se o estado da variável *“TEMP”*. Se *“TEMP”* está em nível baixo, a máquina volta para o “estado **A**”. Já na condição em que a variável *“TEMP”* estiver em nível alto, a máquina passa para o “estado **C**” com a saída em um (nível lógico H). Variações da variável *“TEMP”* em um período inferior a 3 segundos não devem ter efeito no estado do circuito.

No “estado **C**” a máquina deve permanecer durante sete segundos. Após este período verifica-se o estado da variável *“TEMP”*. Se *“TEMP”* está em nível baixo, a máquina volta para o “estado **A**”. Já na condição em que a variável *“TEMP”* está em nível alto, a máquina passa para o “estado **B**” com a saída em zero (nível lógico L). Variações da variável *“TEMP”* em um período inferior a 7 segundos não devem ter efeito no estado do circuito.

O comportamento do circuito temporizador é descrito no seguinte diagrama de estados:

A/0

B/0

C/1

1 s

INÍCIO



3 s











7 s

**4.1 Tarefa 4.1: Primeira solução e montagem: Um estado por segundo (11 estados)**

Uma forma de resolver este problema é considerar um estado para cada segundo, e não apenas os três estados propostos no diagrama acima. Dessa forma, o primeiro passo é a elaboração da tabela de transição de estados. Na tabela mostrada a seguir já está sendo feita também a codificação dos estados.

|  |  |  |  |
| --- | --- | --- | --- |
|  | Próximo Estado (Q3 Q2 Q1 Q0) n+1 | |  |
| TEMP  Estado Atual (Q3 Q2 Q1 Q0) n | 0 | 1 | Z |
|  |  |  | 0 |
|  |  |  | 0 |
|  |  |  | 0 |
|  |  |  | 0 |
|  |  |  | 1 |
|  |  |  | 1 |
|  |  |  | 1 |
|  |  |  | 1 |
|  |  |  | 1 |
|  |  |  | 1 |
|  |  |  | 1 |

Não é possível reduzir o número de estados por meio de processo de minimização. Desta tabela de transição de estados extraem-se os seguintes mapas, para cada uma das variáveis de estado Q3, Q2, Q1 e Q0:

Escolhe-se o Flip-Flop JK para este projeto. Os mapas de Karnaugh para a obtenção das equações de excitação dos flip-flops são mostradas a seguir, e são obtidas a partir das tabelas para Q3, Q2, Q1 e Q0 e e da seguinte tabela de excitação do FFJK:

|  |  |  |  |
| --- | --- | --- | --- |
| Qn | Qn+1 | J | K |
| 0 | 0 | 0 | x |
| 0 | 1 | 1 | x |
| 1 | 0 | x | 1 |
| 1 | 1 | x | 0 |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J3 | | | | | | | | |  | K3 | | | | | | | | |
| **TEMP Q3 Q2** | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |  | **TEMP Q3 Q2** | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| **Q1 Q0** |  | **Q1 Q0** |
| 00 | 0 | 0 | x | x | 0 | 0 | x | x |  | 00 | x | x | 0 | x | x | x | 0 | x |
| 01 | 0 | 0 | x | x | 0 | 0 | x | x |  | 01 | x | x | 0 | x | x | x | 0 | x |
| 11 | 0 | 0 | x | x | 0 | 0 | x | x |  | 11 | x | x | 1 | x | x | x | 1 | x |
| 10 | 0 | 1 | x | x | 0 | 1 | x | x |  | 10 | x | x | x | x | x | x | x | x |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J2 | | | | | | | | |  | K2 | | | | | | | | |
| **TEMP Q3 Q2** | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |  | **TEMP Q3 Q2** | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| **Q1 Q0** |  | **Q1 Q0** |
| 00 | 0 | x | x | x | 0 | x | x | x |  | 00 | x | 0 | 0 | x | x | 0 | 0 | x |
| 01 | 0 | x | x | x | 0 | x | x | x |  | 01 | x | 0 | 0 | x | x | 0 | 0 | x |
| 11 | 0 | x | x | x | 0 | x | x | x |  | 11 | x | 0 | 1 | x | x | 0 | 1 | x |
| 10 | 0 | x | x | x | 1 | x | x | x |  | 10 | x | 0 | x | x | x | 0 | x | x |

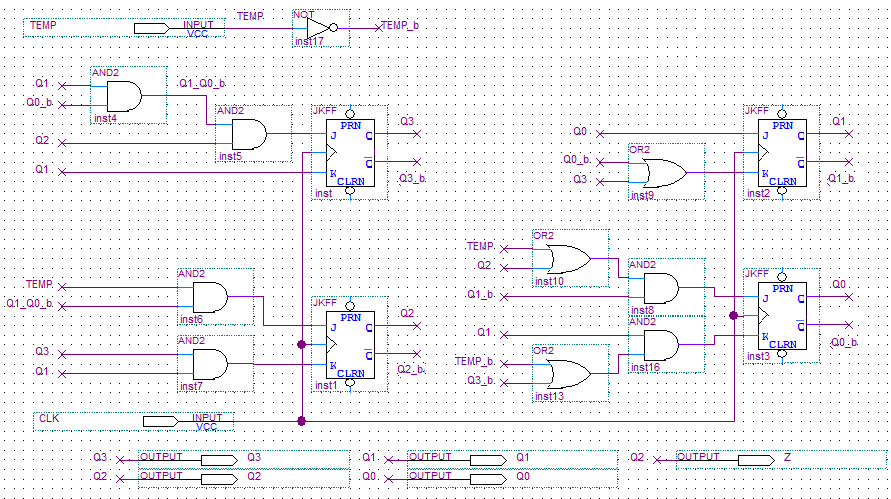
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J1 | | | | | | | | |  | K1 | | | | | | | | |
| **TEMP Q3 Q2** | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |  | **TEMP Q3 Q2** | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| **Q1 Q0** |  | **Q1 Q0** |
| 00 | 0 | 0 | 0 | x | 0 | 0 | 0 | x |  | 00 | x | x | x | x | x | x | x | x |
| 01 | 1 | 1 | 1 | x | 1 | 1 | 1 | x |  | 01 | x | x | x | x | x | x | x | x |
| 11 | x | x | x | x | x | x | x | x |  | 11 | 0 | 0 | 1 | x | 0 | 0 | 1 | x |
| 10 | x | x | x | x | x | x | x | x |  | 10 | 1 | 1 | x | x | 1 | 1 | x | x |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J0 | | | | | | | | |  | K0 | | | | | | | | |
| **TEMP Q3 Q2** | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |  | **TEMP Q3 Q2** | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| **Q1 Q0** |  | **Q1 Q0** |
| 00 | 0 | 1 | 1 | x | 1 | 1 | 1 | x |  | 00 | x | x | x | x | x | x | x | x |
| 01 | x | x | x | x | x | x | x | x |  | 01 | 0 | 0 | 0 | x | 0 | 0 | 0 | x |
| 11 | x | x | x | x | x | x | x | x |  | 11 | 1 | 1 | 1 | x | 1 | 1 | 0 | x |
| 10 | 0 | 0 | x | x | 0 | 0 | x | x |  | 10 | x | x | x | x | x | x | x | x |

Das equações obtidas acima, desenha-se o diagrama esquemático do circuito.



**Montagem**

**Monte** este circuito em protoboard, e verifique o funcionamento de acordo com a descrição do comportamento dado pelo enunciado do problema. Leve em consideração que o tempo em cada estado será determinado pelo período do sinal CLK. Se o período de CLK for 1 segundo, então o circuito deve obedecer à temporização do enunciado do problema. Observe que o circuito não está sendo inicializado.

**Introduza a entrada INÍCIO** no circuito apresentado, que, enquanto em nível baixo (L), mantém o circuito em estado de *reset*; quando INÍCIO é levado a nível alto (H), o circuito é inicializado e passa a operar conforme descrito no enunciado. **Faça o esquema elétrico detalhado, indicando todos os números dos pinos dos circuitos integrados, antes de iniciar a montagem**.

**4.2 Tarefa 4.2: Segunda solução e simulação: Decomposição em três blocos**

Uma segunda forma de resolver o problema é fazer a seguinte decomposição do circuito:

INÍCIO

CLEAR

MEF

Contador Síncrono Programável (módulo 8)

Circ.

COMB

S3

S7

CLC

TEMP

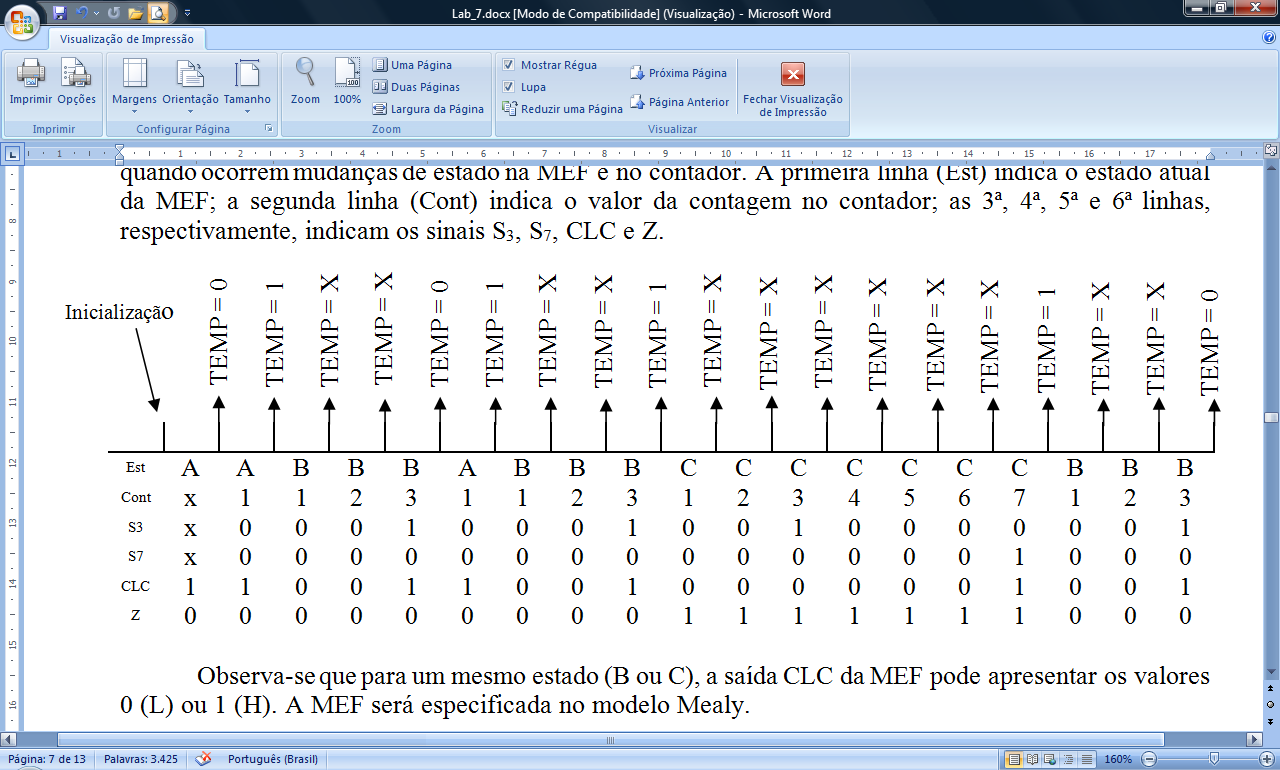
CLK

Z

A máquina de estados finitos (MEF) apresenta os três estados A, B e C descritos no diagrama de temporização. O contador síncrono programável é utilizado para realizar a contagem do tempo que decorreu em cada estado.

O valor da contagem é utilizado para determinar os sinais S3 e S7, que, respectivamente, são colocados em nível alto (H) apenas quando a contagem atinge o os valores 3 e 7. Portanto, se a MEF está no estado B, ela trocará de estado apenas se S3 estiver em nível alto; analogamente, se a MEF está no estado C, ela troca de estado apenas se S7 estiver em nível alto.

O sinal de saída da MEF, CLC, é utilizado para reiniciar a contagem do contador sempre que há uma troca de estado da MEF para o estado B ou para o estado C. O reinício da contagem é feito com o valor 1 (Q2 = 0, Q1= 0 e Q0 = 1). Quando no estado B, a saída CLC deve ser zero (L) quando S3 é zero (L), e deve ser um (H) quando S3 é um (H). Quando no estado C, a saída CLC deve ser zero (L) quando S7 é zero (L), e deve ser um (H) quando S7 é um (H). A figura a seguir ilustra uma sequência de eventos neste circuito, com os valores dos sinais envolvidos. As setas verticais indicam eventos no sinal de Clock, quando ocorrem mudanças de estado na MEF e no contador. A primeira linha (Est) indica o estado atual da MEF; a segunda linha (Cont) indica o valor da contagem no contador; as 3ª, 4ª, 5ª e 6ª linhas, respectivamente, indicam os sinais S3, S7, CLC e Z.



Observa-se que para um mesmo estado (B ou C), a saída CLC da MEF pode apresentar os valores 0 (L) ou 1 (H). A MEF será especificada no modelo Mealy.

**Projeto do contador**

O contador de módulo 8 possui 8 estados, um para cada valor de contagem. Codificando cada estado como o valor da contagem que ele representa, e considerando que quando CLC = 1, o próximo estado é Q2Q1Q0 = 001, obtém-se a seguinte tabela:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Próximo Estado (Q2 Q1 Q0) n+1 | | | |
| Q2 Q1  Q0 CLC | 00 | 01 | 11 | 10 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

Escolhendo o Flip-Flop D como elemento de memória, chega-se aos seguintes mapas de Karnaugh para as equações de excitação de cada um dos Flip-Flops:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | D2 | | | |
| Q2 Q1  Q0 CLC | 00 | 01 | 11 | 10 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | D1 | | | |
| Q2 Q1  Q0 CLC | 00 | 01 | 11 | 10 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | D0 | | | |
| Q2 Q1  Q0 CLC | 00 | 01 | 11 | 10 |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |



**Projeto da MEF**

A tabela que descreve a transição entre os estados, considerando as entradas TEMP, S3 e S7, bem como as saídas CLC e Z da MEF é dada a seguir. Nesta tabela os estados A, B e C já estão codificados da seguinte maneira: A (E1 = 0, E0 = 0); B (E1 = 0, E0 = 1); C (E1 = 1, E0 = 1). Na construção da tabela leva-se em conta ainda que S3 e S7 não serão 1 simultaneamente. Ainda, nas transições dos estados B e C para o estado A, não há necessidade de reiniciar a contagem, uma vez que no estado A, a informação de contagem não é utilizada. Então, para a combinação que leva a estas mudanças de estado, CLC é don’t care.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | (E1 E0) n+1 **/** CLC Z | | | | | | | |
| TEMP S3 S7  E1 E0 | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| (A) 00 | 00 /10 | 00 /10 | xx / xx | 00 / 10 | 01/ 10 | 01/ 10 | xx / xx | 01/ 10 |
| (B) 01 | 01 / 00 | 01 / 00 | xx / xx | 00 / x0 | 01 / 00 | 01 / 00 | xx / xx | 11/10 |
| (C) 11 | 11 / 01 | 00 / x1 | xx / xx | 11 / 01 | 11 / 01 | 01 / 11 | xx / xx | 11 / 01 |
| 10 | xx / xx | xx / xx | xx / xx | xx / xx | xx / xx | xx / xx | xx / xx | xx / xx |

Escolhendo o Flip-Flop D como elemento de memória, chega-se aos seguintes mapas de Karnaugh para as equações de excitação de cada um dos Flip-Flops e para as equações de saída:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | D1 | | | | | | | |
| TEMP S3 S7  E1 E0 | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | 0 | 0 | x | 0 | 0 | 0 | x | 0 |
| 01 | 0 | 0 | x | 0 | 0 | 0 | x | 1 |
| 11 | 1 | 0 | x | 1 | 1 | 0 | x | 1 |
| 10 | x | x | x | x | x | x | x | x |



|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | D0 | | | | | | | |
| TEMP S3 S7  E1 E0 | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | 0 | 0 | x | 0 | 1 | 1 | x | 1 |
| 01 | 1 | 1 | x | 0 | 1 | 1 | x | 1 |
| 11 | 1 | 0 | x | 1 | 1 | 1 | x | 1 |
| 10 | x | x | x | x | x | x | x | x |



|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | CLC | | | | | | | |
| TEMP S3 S7  E1 E0 | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | 1 | 1 | x | 1 | 1 | 1 | x | 1 |
| 01 | 0 | 0 | x | x | 0 | 0 | x | 1 |
| 11 | 0 | x | x | 0 | 0 | 1 | x | 0 |
| 10 | x | x | x | x | x | x | x | x |



|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Z | | | | | | | |
| TEMP S3 S7  E1 E0 | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | 0 | 0 | x | 0 | 0 | 0 | x | 0 |
| 01 | 0 | 0 | x | 0 | 0 | 0 | x | 0 |
| 11 | 1 | 1 | x | 1 | 1 | 1 | x | 1 |
| 10 | x | x | x | x | x | x | x | x |



**Projeto do Circuito Combinacional**

O circuito combinacional tem como entrada as variáveis de estado do contador, e produz em sua saída os sinais S3 e S7. É simples obter:





Obtenha o diagrama lógico do circuito, através das equações projetadas, e **simule** utilizando o software Quartus II.

Após certificar-se do correto funcionamento do circuito, faça algumas alterações no projeto de forma a possibilitar a gravação do dispositivo programável presente na placa de desenvolvimento para a FPGA Cyclone IV da Altera, disponível no laboratório. Para tanto, utilize o procedimento descrito no tutorial “**Placa de Desenvolvimento com FPGA Altera Cyclone IV”.**

Empregue:

* A chave S1 para “INÍCIO”;
* A chave S2 para “TEMP”;
* As lâmpadas “LED1” e “LED2” para representar, respectivamente, os estados “E1” e “E0”;
* O dígito mais à direita do display de 7 segmentos “DIG1” para mostrar o valor da contagem (bits Q2 Q1 Q0 do contador);
* A lâmpada “LED4” para representar a saída “Z”.

Teste o funcionamento do circuito e comente os resultados obtidos.