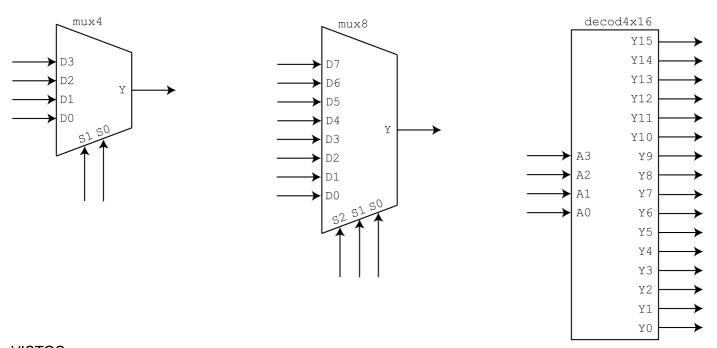
Experimento 4. Implementação de circuitos combinacionais com multiplexadores

OBJETIVOS:

- Aprender como utilizar multiplexadores e decodificadores para implementar circuitos lógicos combinacionais.
- Estudar técnicas de projeto modular em VHDL, desenvolvendo grandes sistemas construídos utilizando outros sistemas menores, interligados entre si.

PRÉ-RELATÓRIO:

- Apresente o desenho esquemático dos circuitos dos vistos 1 e 2. Em seus esquemáticos, utilize os blocos lógicos apresentados abaixo. <u>Atenção para a ordem de significância</u>: o subscrito "0" indica o bit menos significativo.
- Apresente o código VHDL da entidade e da arquitetura dos vistos 1 e 2.
- Apresente os arquivos UCF para os vistos 1 e 2.
- Lembre-se: seu pré-relatório deve ser entregue como um único arquivo PDF. Não anexe arquivos .vhdl nem arquivos .ucf!



VISTOS:

1. Escrever em VHDL e implementar em FPGA uma entidade com 3 bits de entrada (A, B e C) e 2 bits de saída (X e Y), que implemente as funções Booleanas abaixo. Para isso, sua arquitetura deve usar somente dois multiplexadores de 4 entradas (entidade desenvolvida no visto 2 do experimento 2, utilizada aqui como "component") e uma porta inversora. Associe cada um dos bits de entrada a diferentes chaves (SW0 a SW7) e os de saída a diferentes LEDs (LD0 a LD7).

$$X = \bar{A}BC + A\bar{B}\bar{C} + AB$$

$$Y = \bar{A}\bar{B} + \bar{A}B\bar{C} + ABC$$

2. Escrever em VHDL e implementar em FPGA uma entidade com 7 bits de entrada (A, B, C, D, E, F e G) e 1 bit de saída (S), que implemente a função Booleana abaixo. Para isso, sua arquitetura deve usar somente um decodificador de 4 para 16 (entidade desenvolvida no visto 2 do experimento 3, utilizada aqui como "component"), um multiplexador de 8 entradas (entidade desenvolvida no visto 1 do experimento 3, também utilizada aqui como "component") e três portas OU. Associe cada um dos bits de entrada a diferentes chaves (SW0 a SW7) e a saída a um dos LEDs (LD0 a LD7). Dica: use as variáveis E, F e G como entradas de seleção do multiplexador.

 $S = FG + ABCD\bar{E}\bar{F}G + \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}G + A\bar{B}CEF\bar{G} + \bar{A}BCD\bar{E}F\bar{G} + ABCDE\bar{F}\bar{G} + A\bar{B}\bar{C}DE\bar{F}\bar{G}$