

## CHƯƠNG 5. HỆ THỐNG NHỚ

5.1. Đối với bộ nhớ ROM, phát biểu nào sau đây là sai:

- a. Có tất cả 5 loại ROM
- b. Là loại bộ nhớ khả biến
- c. Là nơi chứa các chương trình hệ thống (BIOS)
- d. Là nơi chứa các vi chương trình

5.2. Đối với bộ nhớ ROM, phát biểu nào sau đây là đúng:

- a. Có thể dùng điện để xoá PROM
- b. PROM là loại ROM có thể xoá và ghi lại nhiều lần
- c. EPROM là loại ROM có thể xoá và ghi lại nhiều lần
- d. Có thể dùng điện để xoá EPROM

5.3. Đối với bộ nhớ RAM, phát biểu nào sau đây là sai:

- a. Là loại bộ nhớ không khả biến
- b. Là nơi lưu giữ thông tin tạm thời
- c. Có hai loại RAM
- d. Là bộ nhớ đọc/ghi tùy ý

5.4. Đối với bộ nhớ RAM, phát biểu nào sau đây là đúng:

- a. Là loại bộ nhớ không khả biến
- b. RAM là viết tắt của: Read Access Memory
- c. SRAM được chế tạo từ các tụ điện
- d. Là nơi lưu giữ thông tin mà máy tính đang xử lý

5.5. Đối với bộ nhớ ROM, phát biểu nào sau đây là đúng:

- a. Được chế tạo từ mạch lật
- b. Được chế tạo từ transistor
- c. Được chế tạo từ diode
- d. Cả b và c

5.6. Đối với bộ nhớ RAM, phát biểu nào sau đây là sai:

- a. DRAM được chế tạo từ mạch lật
- b. DRAM được chế tạo từ tụ điện
- c. SRAM được chế tạo từ mạch lật
- d. SRAM không cần phải làm tươi

5.7. Cho chip nhớ SRAM có dung lượng 64K x 4 bit, phát biểu nào sau đây là đúng:

- a. Các đường địa chỉ là:  $A_0 \rightarrow A_{15}$
- b. Các đường địa chỉ là:  $D_0 \rightarrow D_{15}$
- c. Các đường dữ liệu là:  $A_0 \rightarrow A_3$
- d. Các đường dữ liệu là:  $D_1 \rightarrow D_8$

5.8. Cho chip nhớ SRAM có dung lượng 16K x 8 bit, phát biểu nào sau đây là sai:

- a. Có 14 đường địa chỉ
- b. Có 8 đường dữ liệu
- c. Các đường địa chỉ là:  $A_0 \rightarrow A_{13}$
- d. Các đường địa chỉ là:  $A_0 \rightarrow A_{14}$

5.9. Cho chip nhớ SRAM có các tín hiệu:  $A_0 \rightarrow A_{13}$ ,  $D_0 \rightarrow D_{15}$ ,  $\overline{RD}$ ,  $\overline{WE}$ . Phát biểu nào sau đây là sai:

- a. Dung lượng của chip là: 16K x 16 bit
- b.  $\overline{WE}$  là tín hiệu điều khiển ghi dữ liệu
- c.  $\overline{RD}$  là tín hiệu điều khiển ghi dữ liệu
- d.  $\overline{RD}$  là tín hiệu điều khiển đọc dữ liệu

5.10. Cho chip nhớ DRAM có các tín hiệu:  $A_0 \rightarrow A_7$ ,  $D_0 \rightarrow D_7$ ,  $\overline{RD}$ ,  $\overline{WE}$ . Phát biểu nào sau đây là đúng:

- a. Dung lượng của chip là: 64K x 8 bit
- b. Dung lượng của chip là: 8K x 8 bit
- c.  $\overline{RD}$  là tín hiệu điều khiển ghi dữ liệu
- d.  $\overline{WE}$  là tín hiệu điều khiển đọc dữ liệu

5.11. Xét về chức năng, hệ thống nhớ máy tính có thể có ở:

- a. Bên trong bộ xử lý, RAM, đĩa từ
- b. Các thanh ghi, bộ nhớ trong, CD-ROM
- c. Các thanh ghi, ROM, băng từ
- d. Các thanh ghi, bộ nhớ trong, bộ nhớ ngoài

5.12. Đối với hệ thống nhớ máy tính, có thể có các đơn vị truyền như sau:

- a. Theo từ nhớ
- b. Theo khối nhớ
- c. Cả a và b đều đúng
- d. Cả a và b đều sai

5.13. Xét về các phương pháp truy nhập trong hệ thống nhớ, phát biểu nào sau đây là sai:

- a. Truy nhập tuần tự đối với bộ nhớ cache
- b. Truy nhập liên kết đối với bộ nhớ cache
- c. Truy nhập ngẫu nhiên đối với bộ nhớ trong
- d. Truy nhập trực tiếp đối với đĩa từ

5.14. Đối với hệ thống nhớ, có các kiểu vật lý như sau:

- a. Bộ nhớ từ, RAM, bộ nhớ cache
- b. Bộ nhớ bán dẫn, bộ nhớ từ, bộ nhớ cache
- c. Bộ nhớ bán dẫn, bộ nhớ từ, bộ nhớ quang
- d. Bộ nhớ quang, bộ nhớ cache, bộ nhớ từ

5.15. Đối với hệ thống nhớ máy tính, phát biểu nào sau đây không phải là đặc trưng vật lý:

- a. Bộ nhớ khả biến
- b. Bộ nhớ không khả biến
- c. Bộ nhớ xoá được
- d. Bộ nhớ chỉ đọc

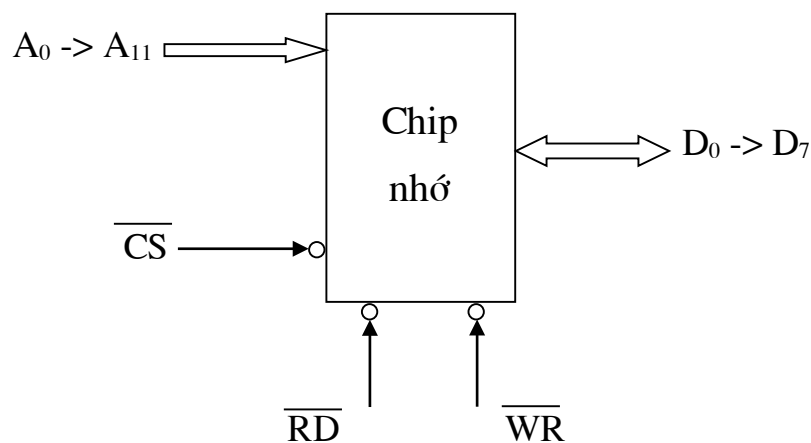
5.16. Xét sơ đồ phân cấp hệ thống nhớ, phát biểu nào sau đây là sai:

- a. Mức thanh ghi là mức trao đổi nhanh nhất
- b. Mức thanh ghi là mức trao đổi chậm nhất
- c. Mức cache được chia thành hai mức
- d. Mức cache là mức gần thanh ghi nhất

5.17. Xét sơ đồ phân cấp hệ thống nhớ, phát biểu nào sau đây là đúng:

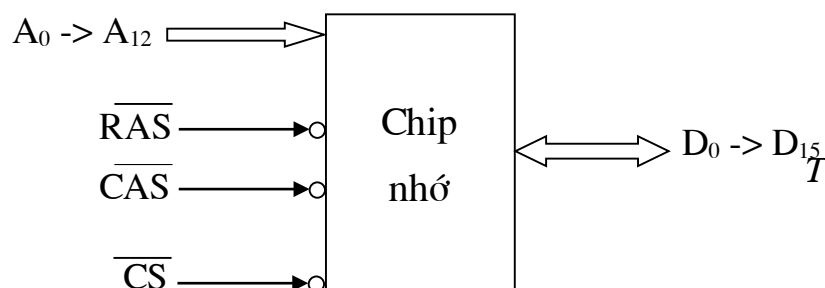
- a. Từ bộ nhớ cache đến bộ nhớ ngoài, tốc độ nhanh dần
- b. Từ thanh ghi đến bộ xử lý, tốc độ tăng dần
- c. Từ bộ nhớ ngoài đến thanh ghi, dung lượng giảm dần
- d. Từ bộ nhớ trong đến bộ nhớ cache, tần suất truy nhập giảm dần

5.18. Cho chip nhớ như hình vẽ, đây là ký hiệu của:



- a. SRAM 4K x 8 bit
- b. DRAM 4 K x 8 bit
- c. SRAM 2K x 8 bit
- d. DRAM 2 K x 8 bit

5.19. Cho chip nhớ như hình vẽ, đây là ký hiệu của:



- a. SRAM 8K x 16 bit
  - b. DRAM 8K x 16 bit
  - c. SRAM 64M x 16 bit
  - d. DRAM 64M x 16 bit
- 5.20. Đối với bộ nhớ chính (BNC) máy tính, phát biểu nào sau đây là sai:
- a. Chứa các chương trình và dữ liệu dưới dạng thư viện
  - b. Về nguyên tắc, người lập trình có thể can thiệp vào toàn bộ BNC
  - c. Việc quản lý logic BNC tùy thuộc vào từng hệ điều hành
  - d. Được đánh địa chỉ trực tiếp bởi bộ xử lý
- 5.21. Đối với bộ nhớ chính (BNC) máy tính, phát biểu nào sau đây là đúng:
- a. Việc đánh địa chỉ cho BNC tùy thuộc vào từng hệ điều hành
  - b. BNC do bộ xử lý đánh địa chỉ trực tiếp
  - c. Có những loại máy tính không có BNC
  - d. Các ngăn nhớ không tổ chức theo byte
- 5.22. Đối với bộ nhớ cache, phát biểu nào sau đây là đúng:
- a. Cache có thể được đặt trên cùng chip với CPU
  - b. Bộ nhớ chính có tốc độ nhanh hơn cache
  - c. Bộ nhớ cache được đặt giữa bộ nhớ chính và bộ nhớ ngoài
  - d. Cache không được đặt trên cùng chip với CPU
- 5.23. Đối với bộ nhớ cache, phát biểu nào sau đây là đúng:
- a. Bộ nhớ ngoài nhận cả khối dữ liệu từ cache
  - b. Truyền dữ liệu giữa CPU và cache theo đơn vị khối nhớ
  - c. Truyền dữ liệu giữa CPU và cache theo đơn vị từ nhớ
  - d. Khi cần, CPU nhận dữ liệu trực tiếp từ bộ nhớ chính
- 5.24. Khi CPU truy nhập cache, có hai khả năng sau:
- a. Trượt cache, trúng cache
  - b. Sai cache, đúng cache
  - c. Trên cache, dưới cache
  - d. Trong cache, ngoài cache

- 5.25. Cache hoạt động nhờ vào nguyên lý:
- Nguyên lý hoạt động của máy tính
  - Nguyên lý điều khiển ghi dữ liệu
  - Nguyên lý điều khiển đọc dữ liệu
  - Nguyên lý định vị tham số bộ nhớ
- 5.26. Trong sự trao đổi giữa cache và bộ nhớ chính, phát biểu nào sau đây là sai:
- Bộ nhớ chính chia thành các block nhớ
  - Cache chia thành các line nhớ
  - Bộ nhớ chính chia thành các line nhớ
  - Kích thước line bằng kích thước block
- 5.27. Xét bộ nhớ cache, mỗi line được gắn thêm Tag là để:
- Xác định block nào của bộ nhớ chính đang ở trong line
  - Xác định cache có dung lượng bao nhiêu
  - Xác định line có dung lượng bao nhiêu
  - Xác định cache có bao nhiêu line
- 5.28. Xét bộ nhớ cache, có các kỹ thuật ánh xạ địa chỉ sau đây:
- Trực tiếp, liên kết hoàn toàn, liên kết tập hợp
  - Liên kết hoàn toàn, liên kết phụ thuộc, gián tiếp
  - Liên kết tập hợp, liên kết phân tử, gián tiếp
  - Trực tiếp, liên kết phân tử, liên kết gián đoạn
- 5.29. Trong kỹ thuật ánh xạ liên kết hoàn toàn, các trường địa chỉ là:
- Tag + Word + Line
  - Tag + Word
  - Tag + Line + Word
  - Tag + Line
- 5.30. Trong kỹ thuật ánh xạ trực tiếp, các trường địa chỉ là:
- Tag + Word + Line
  - Tag + Word
  - Tag + Line + Word
  - Tag + Line
- 5.31. Trong kỹ thuật ánh xạ liên kết tập hợp, các trường địa chỉ là:
- Tag + Word + Set
  - Tag + Word
  - Tag + Set + Word
  - Tag + Set

5.32. Cho máy tính có dung lượng bộ nhớ chính: 128MB, cache: 64KB, line: 8 byte, độ dài ngăn nhớ: 1 byte. Trong trường hợp kỹ thuật ánh xạ trực tiếp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

- a.  $12 + 10 + 5$
- b.  $13 + 10 + 4$
- c.  $14 + 11 + 2$
- d.  $14 + 10 + 3$

5.33. Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 128KB, line: 16 byte, độ dài ngăn nhớ: 2 byte. Trong trường hợp kỹ thuật ánh xạ trực tiếp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

- a.  $11 + 13 + 3$
- b.  $11 + 14 + 2$
- c.  $12 + 13 + 4$
- d.  $12 + 12 + 3$

5.34. Cho máy tính có dung lượng bộ nhớ chính: 512MB, cache: 128KB, line: 64 byte, độ dài ngăn nhớ: 4 byte. Trong trường hợp kỹ thuật ánh xạ trực tiếp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

- a.  $11 + 11 + 5$
- b.  $12 + 11 + 4$
- c.  $12 + 12 + 3$
- d.  $11 + 12 + 4$

5.35. Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 64KB, line: 16 byte, độ dài ngăn nhớ: 4 byte. Trong trường hợp kỹ thuật ánh xạ liên kết hoàn toàn, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

- a.  $13 + 11 + 2$
- b.  $12 + 12 + 2$
- c.  $24 + 4$
- d.  $24 + 2$

5.36. Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 128KB, line: 32 byte, độ dài ngăn nhớ: 4 byte. Trong trường hợp kỹ thuật ánh xạ liên kết hoàn toàn, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

- a.  $13 + 11 + 2$
- b.  $14 + 10 + 2$
- c.  $23 + 3$
- d.  $24 + 2$

5.37. Cho máy tính có dung lượng bộ nhớ chính: 128MB, cache: 64KB, line: 16 byte, độ dài ngăn nhớ: 1 byte, set: 4 line. Trong trường hợp kỹ thuật ánh xạ liên kết tập hợp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

- a.  $13 + 10 + 4$
- b.  $13 + 9 + 5$
- c.  $14 + 9 + 4$
- d.  $14 + 10 + 4$

5.38. Cho máy tính có dung lượng bộ nhớ chính: 512MB, cache: 128KB, line: 32 byte, độ dài ngăn nhớ: 2 byte, set: 4 line. Trong trường hợp kỹ thuật ánh xạ liên kết tập hợp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

- a.  $12 + 12 + 4$
- b.  $13 + 11 + 4$
- c.  $14 + 10 + 4$
- d.  $13 + 9 + 6$

5.39. Cho máy tính có dung lượng bộ nhớ chính: 256MB, cache: 128KB, line: 128 byte, độ dài ngăn nhớ: 4 byte, set: 8 line. Trong trường hợp kỹ thuật ánh xạ liên kết tập hợp, dạng địa chỉ do bộ xử lý phát ra để truy nhập cache là:

- a.  $13 + 8 + 5$
- b.  $13 + 7 + 6$
- c.  $14 + 7 + 5$
- d.  $14 + 8 + 6$

5.40. Xét kỹ thuật ánh xạ trực tiếp khi truy nhập cache, thứ tự tìm block trong cache được thực hiện dựa theo các trường trong địa chỉ do CPU phát ra như sau:

- a. Line  $\rightarrow$  Tag  $\rightarrow$  Word
- b. Line  $\rightarrow$  Word  $\rightarrow$  Tag
- c. Tag  $\rightarrow$  Line  $\rightarrow$  Word
- d. Tag  $\rightarrow$  Word  $\rightarrow$  Line

5.41. Đối với bộ nhớ cache, xét kỹ thuật ánh xạ liên kết tập hợp, thứ tự tìm block trong cache được thực hiện dựa theo các giá trị trong địa chỉ do CPU phát ra như sau:

- a. Word  $\rightarrow$  Set  $\rightarrow$  Tag
- b. Set  $\rightarrow$  Word  $\rightarrow$  Tag
- c. Set  $\rightarrow$  Tag  $\rightarrow$  Word
- d. Word  $\rightarrow$  Tag  $\rightarrow$  Set

5.42. Xét các thuật toán thay thế dữ liệu trong cache, phát biểu nào sau đây là đúng:

- a. Không có thuật toán
- b. Ánh xạ trực tiếp không có thuật toán thay thế
- c. Hai ánh xạ liên kết (hoàn toàn và tập hợp) có 4 thuật toán
- d. Cả b và c đều đúng

5.43. Đối với bộ nhớ cache, các thuật toán thay thế dữ liệu là:

- a. Ngẫu nhiên, FIFO, LRU, LFU
- b. Ngẫu nhiên, LIFO, LRU, LFU
- c. Ngẫu nhiên, FIFO, LFU, LTU
- d. Ngẫu nhiên, LIFO, LTU, LVU

5.44. Đối với các phương pháp ghi dữ liệu vào cache, phát biểu nào sau đây là sai:

- a. Write through: ghi đồng thời vào cả cache và bộ nhớ chính
- b. Write back: chỉ ghi vào cache, khi block tương ứng bị thay thế thì mới ghi vào bộ nhớ chính
- c. Cả a và b đều sai
- d. Cả a và b đều đúng

5.45. Đối với các phương pháp ghi dữ liệu vào cache, phát biểu nào sau đây là đúng:

- a. Write back: ghi đồng thời vào cả cache và bộ nhớ chính
- b. Write through: chỉ ghi vào cache, khi block tương ứng bị thay thế thì mới ghi vào bộ nhớ chính
- c. Cả a và b đều không đúng
- d. Cả a và b đều đúng

5.46. Đối với các thuật toán (TT) thay thế dữ liệu trong cache, phát biểu nào sau đây là đúng:

- a. FIFO là TT thay đi block mới nhất trong các block hiện nay

- b. LRU là TT thay đi block có tần suất truy nhập ít nhất
- c. LFU là TT thay đi block truy nhập gần đây ít nhất
- d. Tất cả đều sai

5.47. Đối với các thuật toán (TT) thay thế dữ liệu trong cache, phát biểu nào sau đây là sai:

- a. FIFO là TT thay đi block cũ nhất trong các block hiện nay
- b. FIFO là TT thay đi block có tần suất truy nhập ít nhất
- c. LRU là TT thay đi block truy nhập gần đây ít nhất
- d. Random là TT thay đi block ngẫu nhiên

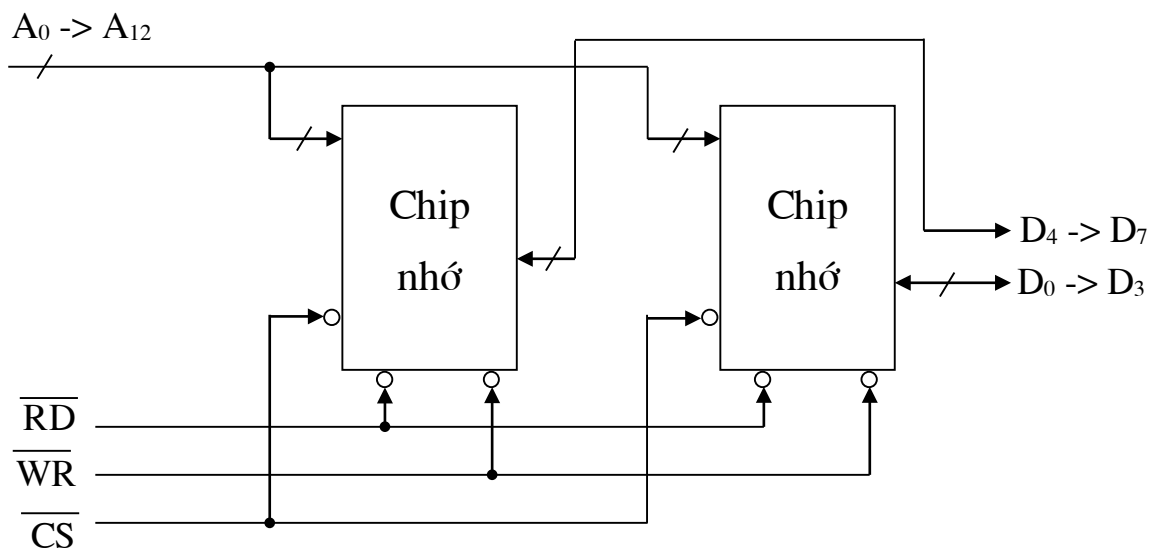
5.48. Đối với các thuật toán (TT) thay thế dữ liệu trong cache, phát biểu nào sau đây là đúng:

- a. LIFO là TT thay đi block cũ nhất trong các block hiện nay
- b. LTU là TT thay đi block có tần suất truy nhập ít nhất
- c. LVU là TT thay đi block truy nhập gần đây ít nhất
- d. Tất cả đều sai

5.49. Đối với các thuật toán (TT) thay thế dữ liệu trong cache, phát biểu nào sau đây là sai:

- a. TT Random cho tỉ lệ cache hit thấp nhất
- b. TT LRU cho tỉ lệ cache hit cao nhất
- c. TT FIFO cho tỉ lệ cache hit cao nhất
- d. TT LFU cho tỉ lệ cache hit tương đối cao

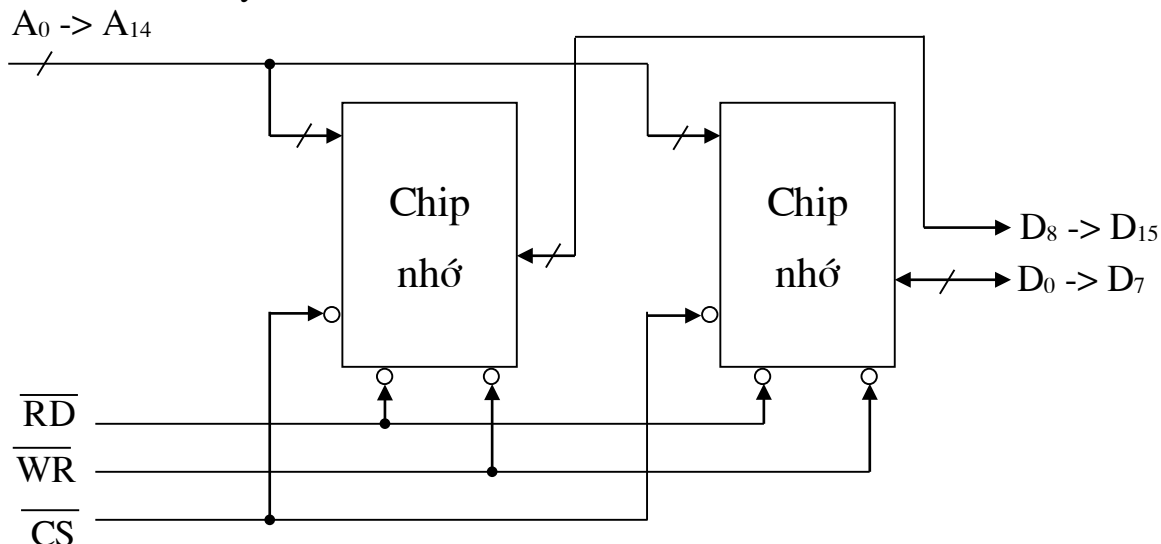
5.50. Hình vẽ dưới đây là sơ đồ kết nối của 2 IC SRAM:



- a. 4K x 4 bit để có modul nhớ 8K x 4 bit
- b. 8K x 4 bit để có modul nhớ 16K x 4 bit
- c. 8K x 4 bit để có modul nhớ 8K x 8 bit
- d. 4K x 4 bit để có modul nhớ 4K x 8 bit

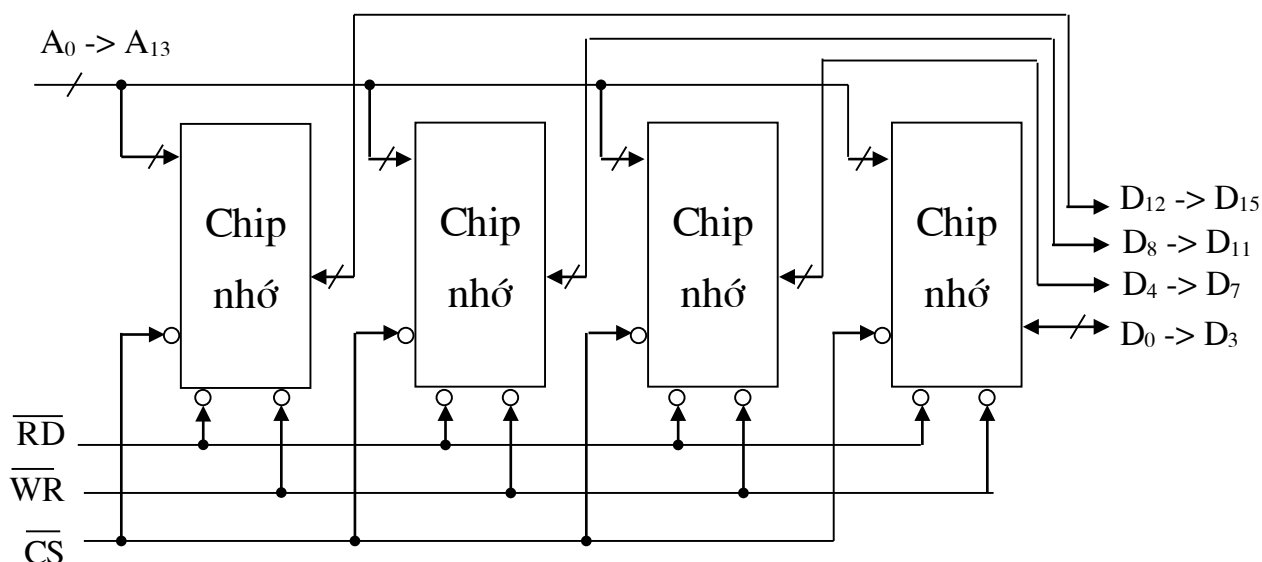


5.51. Hình vẽ dưới đây là sơ đồ kết nối của 2 IC SRAM:



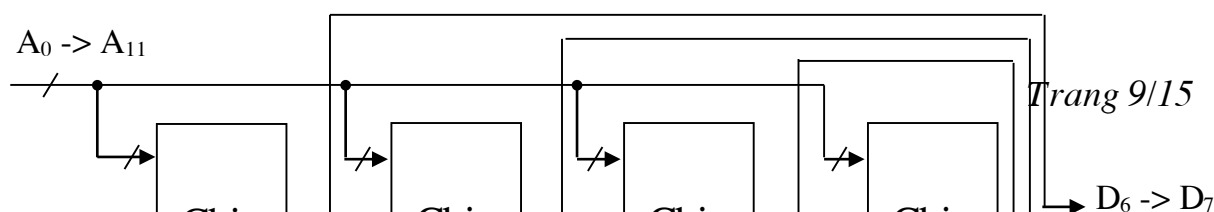
- a. 32K x 8 bit để có modul nhớ 32K x 16 bit
- b. 16K x 8 bit để có modul nhớ 32K x 8 bit
- c. 32K x 4 bit để có modul nhớ 32K x 8 bit
- d. 16K x 16 bit để có modul nhớ 32K x 16 bit

5.52. Hình vẽ dưới đây là sơ đồ kết nối của 4 IC SRAM:



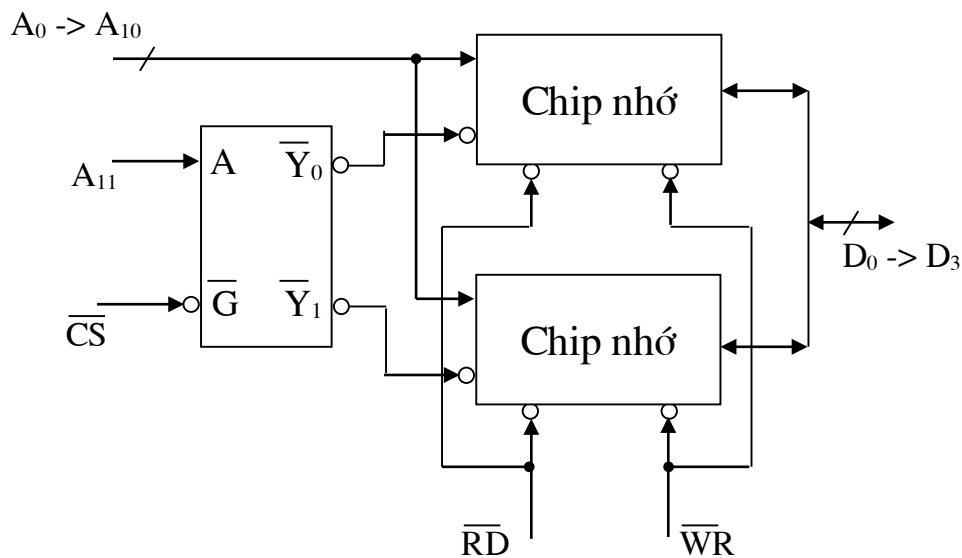
- a. 32K x 8 bit để có modul nhớ 32K x 16 bit
- b. 16K x 4 bit để có modul nhớ 32K x 8 bit
- c. 16K x 4 bit để có modul nhớ 16K x 16 bit
- d. 32K x 4 bit để có modul nhớ 32K x 16 bit

5.53. Hình vẽ dưới đây là sơ đồ kết nối của 4 IC SRAM:



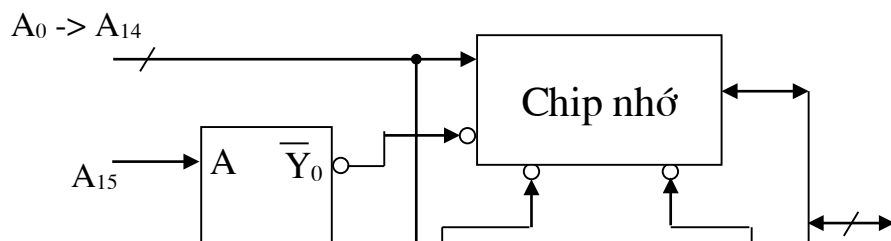
- a. 4K x 4 bit để có modul nhớ 4K x 8 bit
- b. 4K x 2 bit để có modul nhớ 4K x 8 bit
- c. 8K x 4 bit để có modul nhớ 8K x 8 bit
- d. 8K x 2 bit để có modul nhớ 16K x 2 bit

5.54. Hình vẽ dưới là sơ đồ kết nối của 2 IC SRAM:



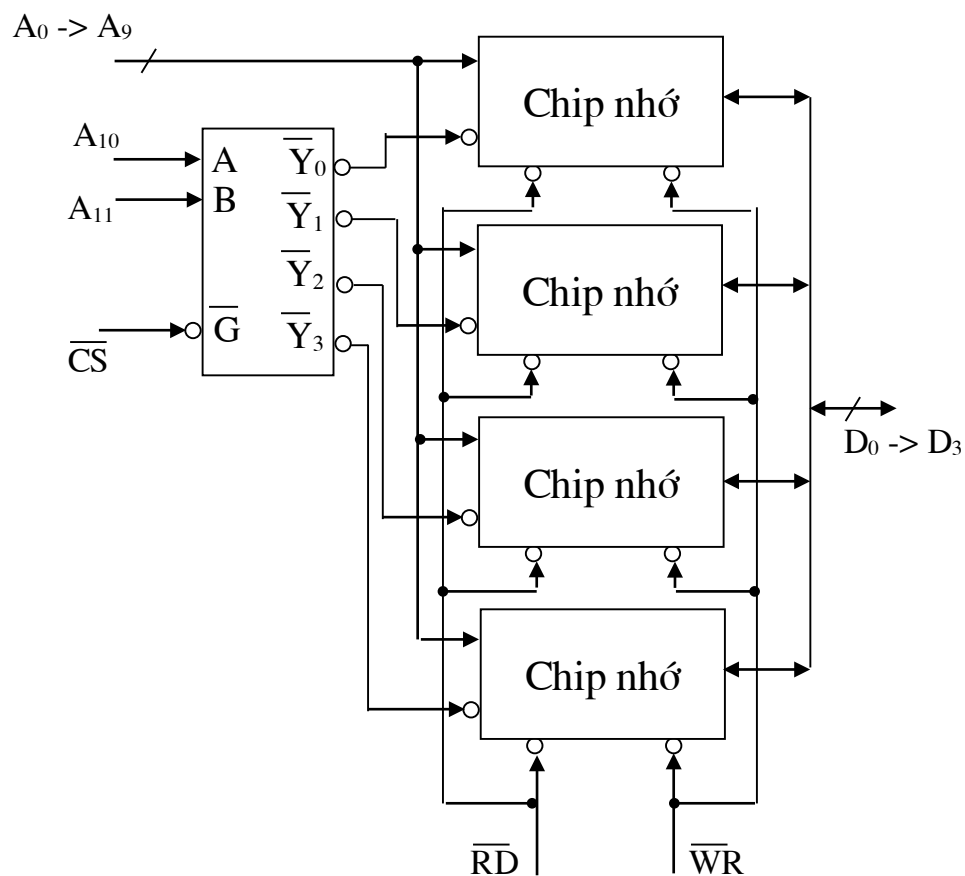
- a. 2K x 4 bit để có modul nhớ 4K x 4 bit
- b. 2K x 4 bit để có modul nhớ 4K x 8 bit
- c. 2K x 4 bit để có modul nhớ 2K x 8 bit
- d. 4K x 4 bit để có modul nhớ 8K x 4 bit

5.55. Hình vẽ dưới là sơ đồ kết nối của 2 IC SRAM:



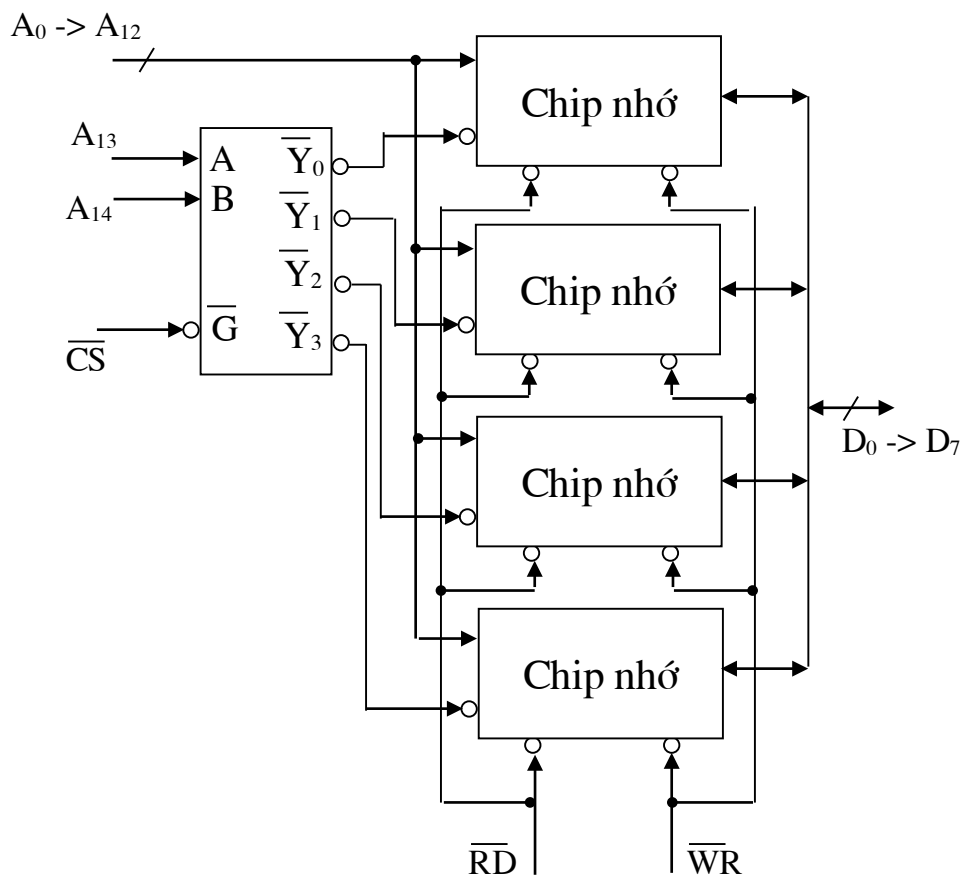
- a. 32K x 8 bit để có modul nhớ 32K x 16 bit
- b. 16K x 8 bit để có modul nhớ 32K x 8 bit
- c. 32K x 8 bit để có modul nhớ 64K x 16 bit
- d. 32K x 8 bit để có modul nhớ 64K x 8 bit

5.56. Hình vẽ dưới là sơ đồ kết nối của 4 IC SRAM:



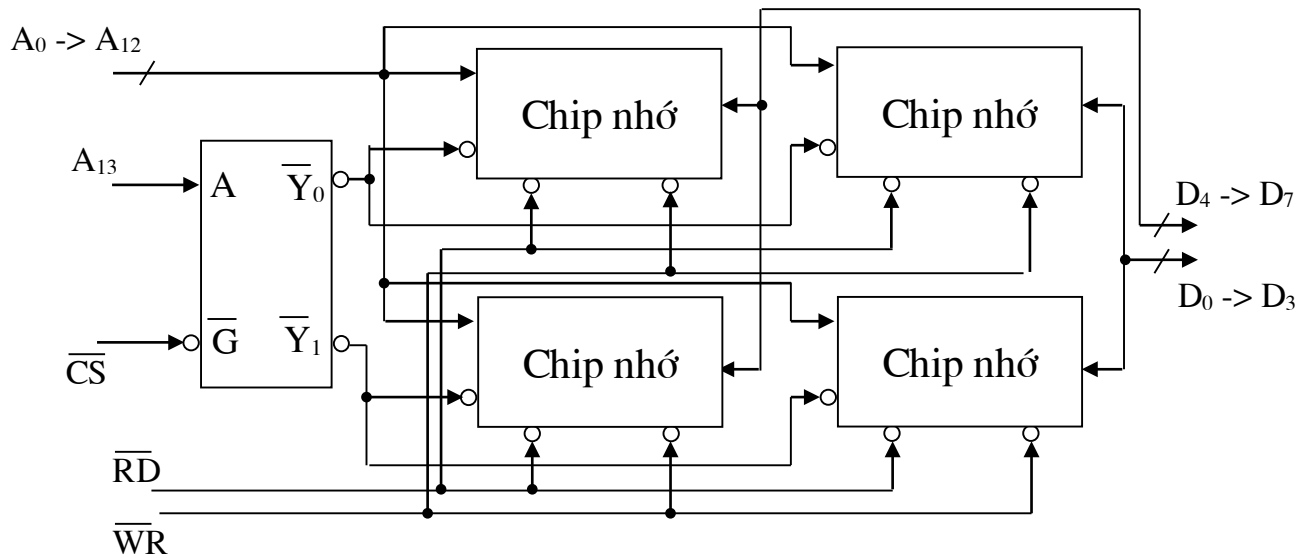
- a. 2K x 8 bit để có modul nhớ 8K x 8 bit
- b. 2K x 4 bit để có modul nhớ 8K x 8 bit
- c. 1K x 4 bit để có modul nhớ 4K x 4 bit
- d. 1K x 4 bit để có modul nhớ 4K x 8 bit

5.57. Hình vẽ dưới là sơ đồ kết nối của 4 IC SRAM:



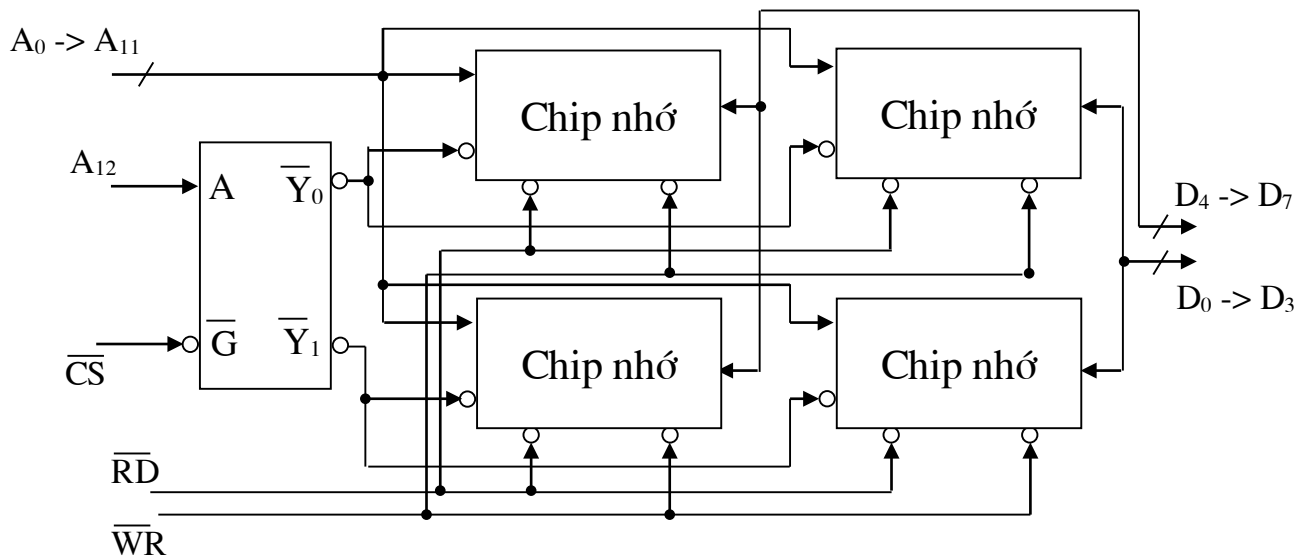
- a. 4K x 8 bit để có modul nhớ 16K x 8 bit
- b. 8K x 8 bit để có modul nhớ 32K x 8 bit
- c. 8K x 8 bit để có modul nhớ 16K x 8 bit
- d. 8K x 16 bit để có modul nhớ 16K x 16 bit

5.58. Hình vẽ dưới đây là sơ đồ kết nối 4 IC SRAM:



- 8K x 4 bit để có modul nhớ 16K x 8 bit
- 8K x 4 bit để có modul nhớ 16K x 4 bit
- 8K x 8 bit để có modul nhớ 16K x 8 bit
- 8K x 8 bit để có modul nhớ 16K x 16 bit

5.59. Hình vẽ dưới đây là sơ đồ kết nối 4 IC SRAM:



- 4K x 4 bit để có modul nhớ 16K x 8 bit
- 8K x 8 bit để có modul nhớ 8K x 16 bit
- 8K x 8 bit để có modul nhớ 16K x 8 bit
- 4K x 4 bit để có modul nhớ 8K x 8 bit

5.60. Với chip nhớ SRAM có n đường địa chỉ, m đường dữ liệu thì dung lượng của chip là:

- $2^m \times n$  bit

- b.  $2^n \times m$  bit
- c.  $2^m \times n$  byte
- d.  $2^n \times m$  byte

5.61. Với chip nhớ SRAM có  $n$  đường địa chỉ,  $m$  đường dữ liệu thì dung lượng của chip là:

- a.  $2^m \times n$  bit
- b.  $2^{2n} \times m$  bit
- c.  $2^{2m} \times n$  bit
- d.  $2^n \times m$  bit

5.62. Với chip nhớ DRAM có  $n$  đường địa chỉ,  $m$  đường dữ liệu thì dung lượng của chip là:

- a.  $2^{2m} \times n$  bit
- b.  $2^{2n} \times m$  bit
- c.  $2^{2m} \times n$  byte
- d.  $2^{2n} \times m$  byte

5.63. Với chip nhớ DRAM có  $n$  đường địa chỉ,  $m$  đường dữ liệu thì dung lượng của chip là:

- a.  $2^m \times n$  bit
- b.  $2^{2n} \times m$  bit
- c.  $2^{2m} \times n$  bit
- d.  $2^n \times m$  bit

5.64. Đối với bộ nhớ cache, xét nguyên lý định vị về thời gian, phát biểu nào sau đây là đúng:

- a. Thông tin vừa truy nhập thì xác suất bé là sau đó nó sẽ được truy nhập lại
- b. Thông tin vừa truy nhập thì xác suất lớn là sau đó nó sẽ được truy nhập lại
- c. Thông tin vừa truy nhập thì sau đó chắc chắn nó sẽ không được truy nhập lại
- d. Thông tin vừa truy nhập thì chắc chắn là sau đó nó được truy nhập lại

5.65. Đối với bộ nhớ cache, xét nguyên lý định vị về không gian, phát biểu nào sau đây là đúng:

- a. Mục thông tin vừa truy nhập thì xác suất lớn là sau đó các mục lân cận được truy nhập
- b. Mục thông tin vừa truy nhập thì xác suất bé là sau đó các mục lân cận được truy nhập
- c. Mục thông tin vừa truy nhập thì chắc chắn là sau đó các mục lân cận được truy nhập
- d. Thông tin vừa truy nhập thì chắc chắn là sau đó các mục lân cận không được truy nhập

5.66. Khi truy nhập cache, xét ánh xạ trực tiếp, phát biểu nào sau đây là đúng:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ

- b. Mỗi block có thể ánh xạ vào một line bất kỳ trong một tập line xác định
- c. Mỗi block chỉ được ánh xạ vào một line duy nhất
- d. Mỗi block chỉ được ánh xạ vào một trong bốn line xác định

5.67. Khi truy nhập cache, xét ánh xạ trực tiếp, phát biểu nào sau đây là sai:

- a. Mỗi block không thể ánh xạ vào một line bất kỳ
- b. Mỗi block không thể ánh xạ vào một line bất kỳ trong tám line xác định
- c. Mỗi block chỉ được ánh xạ vào một line duy nhất
- d. Mỗi block chỉ được ánh xạ vào một trong hai line xác định

5.68. Khi truy nhập cache, xét ánh xạ liên kết hoàn toàn, phát biểu nào sau đây là đúng:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ
- b. Mỗi block có thể ánh xạ vào một line bất kỳ trong bốn line xác định
- c. Mỗi block chỉ được ánh xạ vào một line duy nhất
- d. Mỗi block chỉ được ánh xạ vào một trong mười sáu line xác định

5.69. Khi truy nhập cache, xét ánh xạ liên kết hoàn toàn, phát biểu nào sau đây là sai:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ
- b. Mỗi block có thể ánh xạ vào một line bất kỳ trong tám line xác định
- c. Mỗi block không chỉ được ánh xạ vào một line duy nhất
- d. Mỗi block không chỉ được ánh xạ vào một trong bốn line xác định

5.70. Khi truy nhập cache, xét ánh xạ liên kết tập hợp, phát biểu nào sau đây là đúng:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ
- b. Mỗi block có thể ánh xạ vào một line bất kỳ trong một tập line xác định
- c. Mỗi block có thể ánh xạ vào một line duy nhất trong một tập line xác định
- d. Mỗi block chỉ được ánh xạ vào một line duy nhất

5.71. Khi truy nhập cache, xét ánh xạ liên kết tập hợp, phát biểu nào sau đây là sai:

- a. Mỗi block có thể ánh xạ vào một line bất kỳ trong một tập line xác định
- b. Mỗi block không chỉ được ánh xạ vào một line duy nhất
- c. Mỗi block chỉ ánh xạ vào một line duy nhất trong một tập line xác định
- d. Mỗi block chỉ được ánh xạ duy nhất vào một tập line xác định