

C2000 ADC 如何避免采样串扰和 提高精度

Strong Zhang

ABSTRACT

C2000 具有多通道 SAR ADC 用于采样实时控制系统的电流电压，通过合理的选择外围电路来提高 ADC 精度和避免串扰一直是一个设计挑战。本文通过深入的分析 SAR ADC 结合 C2000 内部 ADC 采样保持时间控制，得出了外围 ADC 驱动电路设计的指南，设计了带运放和不带运放两种条件下的阻容选择，满足实时控制的精度和成本的要求。

Contents

1. 逐次逼近型 SAR ADC 基本原理.....	2
2. ADC 串扰产生的原因.....	3
3. ADC 采样保持时间的计算.....	4
4. ADC 外围电路参数设计及实验.....	6
4.1 设计基于运放的 RC 滤波电路:	6
4.2 对于无运放的电路，设计容量足够大的 C_s 电容	8
5. 总结:	9
6. 参考资料:	9

Figures

图 1. SAR ADC 的框图.....	2
图 2. C_s 电容充电过程电压的变化.....	2
图 3. SAR ADC 转换编码原理.....	3
图 4. ADC 采样受到上一个通道的电压的影响	3
图 5. ADC 内部电路模型.....	4
图 6. F280049 ADC 内部电路参数.....	5
图 7. 采样保持时间 T 与 C_s 的容值变化关系	6
图 8. ADC 采样外围电路和 MCU 内部 ADC 电路	6
图 9. ADC 采样值与采样保持时间系数 AQCP 的关系	7
图 10. 常见的电阻分压电路及其等效电路	8

1. 逐次逼近型 SAR ADC 基本原理

SAR 型 ADC 工作过程分为采样保持和转换编码两个阶段，如图 1 的 SAR ADC 的框图，对于一个 ADC 通道，内部有两个切换开关 S1 和 S2，首先 S1 会先闭合，S2 断开，这时外部电路对 ADC 模块的内部 RC 电路进行充电或放电，直到电容上 C_H 上的电压与外部输入电压信号一致。

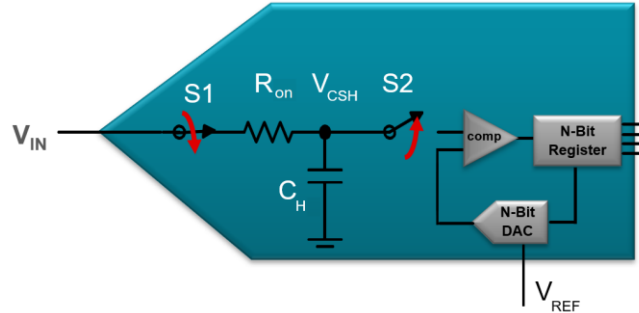


图 1. SAR ADC 的框图

这个充放电过程需要足够长的时间，以确保内部电容电压与外部输入信号电压的误差足够小，通常可以把误差设计在 $1/2\text{LSB}$ 之内，软件可以设置这个采样保持的时间，这个过程结束后就进入转换编码阶段，即 S2 闭合，S1 断开。

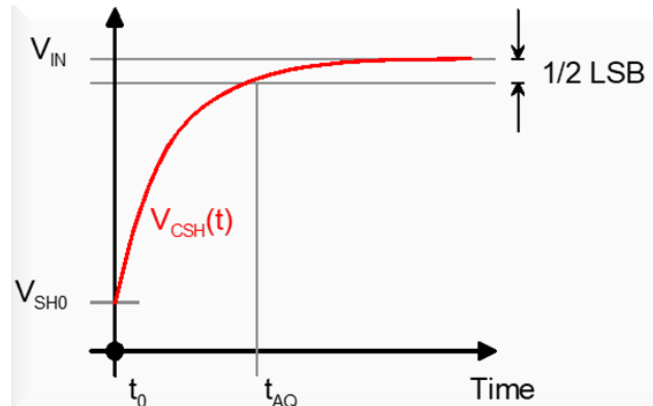


图 2. C_s 电容充电过程电压的变化

转换编码是将采样保持阶段的模拟电压信号转换为数字编码的过程，将模拟输入的电压信号依次与 MCU 内部不同的参考电压信号比较，即依次与 $V_{\text{ref}}/2$ 、 $V_{\text{ref}}/2 \pm V_{\text{ref}}/4$ 、 $V_{\text{ref}}/2 \pm V_{\text{ref}}/4 \pm V_{\text{ref}}/8 \dots$ 电压进行比较，当输入信号电压大于参考电压，比较器输出 1，反之输出 0，根据这种方式不断比较输出，这样 SAR ADC 就能将模拟信号转换为数字信号，如图 3 所示。

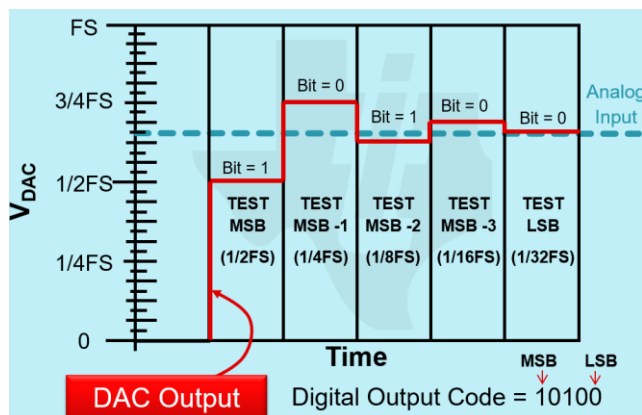


图 3. SAR ADC 转换编码原理

2. ADC 串扰产生的原因

对于 MCU 的 ADC 模块，当采样多路 ADC 通道时，是通过内部切换开关进行切换，依次顺序采样这些不同的 ADC 通道，而这些通道共用了 ADC 内部的采样保持电路，因此如果采样保持时间不够长，将导致该次 ADC 通道的采样值受到上一个其他 ADC 通道输入电压的影响而采样不准。

这个误差是不能通过 over-sampling 过采样求平均的方法完全消除，只能通过合理设计 ADC 输入电路，设置合适的采样保持时间。

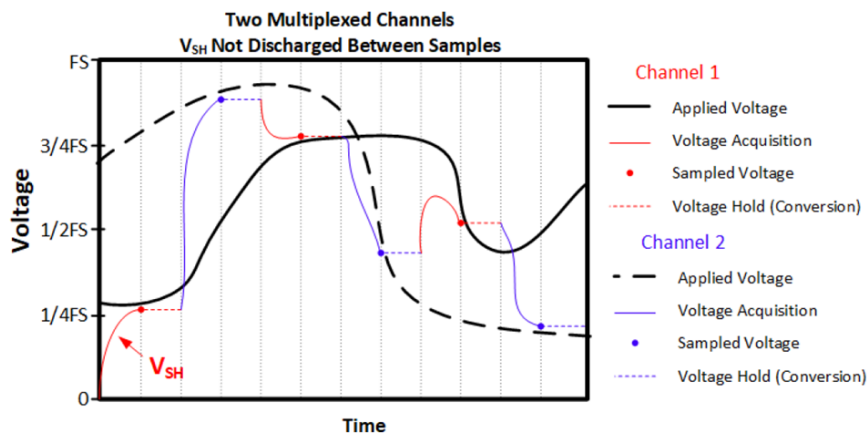


图 4. ADC 采样受到上一个通道的电压的影响

3. ADC 采样保持时间的计算

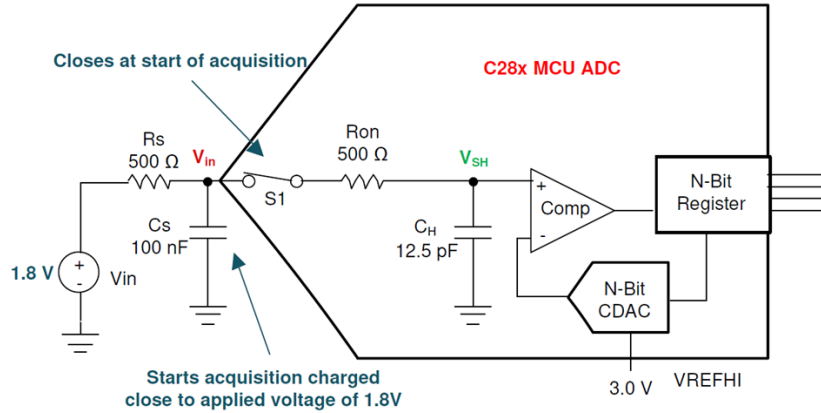


图 5. ADC 内部电路模型

图 5 是 ADC 内部的简单模型，其中： R_s 、 C_s 是外部的 RC 滤波电路， R_{on} 、 C_H 是 ADC 内部的 RC 滤波电路，N 为 ADC 的位数， C_p 是寄生输入电容，一般跟外部滤波电容 C_s 相比较小，计算时候也可以忽略。整个电路的 RC 滤波时间常数为：

$$\tau = (R_{on} + R_s) * C_H + R_s * (C_s + C_p)$$

调节误差为 1/2LSB 所需要的时间常数个数为：

$$K = \ln(2^{N+1}) - \ln\left(\frac{C_s + C_p}{C_H}\right)$$

计算所需要的采样保持时间为：

$$T = K * \tau$$

也就是说要达到 1/2LSB 的采样精度，则至少需要 $K * \tau$ 的时间。

由上面公式可知，对于所需要的采样保持时间 T 影响较大的参数是滤波电容 C_s 、 R_s ，其他 R_{on} 、 C_p 、 C_H 都是固定参数， R_s 和 T 的关系基本上是线性关系，而 C_s 和采样保持时间 T 的关系并非线性变化的。

例如对于 F280049 的 ADC，采样内部参考电压时，从芯片手册可以得到 $C_H = 7.5\text{pF}$ ， $R_{on} = 860\Omega$ ， $C_p = 13.7\text{pF}$ ，N=12。

5.9.1.2.1 ADC Input Model

The ADC input characteristics are given by Table 5-44 and Figure 5-34.

Table 5-44. Input Model Parameters

	DESCRIPTION	REFERENCE MODE	VALUE
C_p	Parasitic input capacitance	All	See Table 5-45
R_{on}	Sampling switch resistance	External Reference, 2.5-V Internal Reference	500 Ω
		3.3-V Internal Reference	860 Ω
C_h	Sampling capacitor	External Reference, 2.5-V Internal Reference	12.5 pF
		3.3-V Internal Reference	7.5 pF
R_s	Nominal source impedance	All	50 Ω

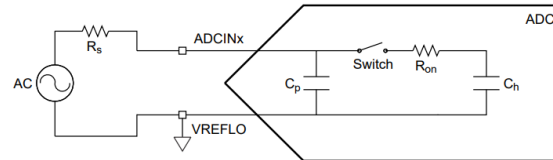


Figure 5-34. Input Model

图 6. F280049 ADC 内部电路参数

根据不同的 R_s 、 C_s 参数，可以计算出来的需要的采样保持时间 T。

下面是不同 R_s 、 C_s 参数下的计算结果：

参数	例子 1	例子 2	例子 3	例子 4	例子 5	例子 6
C_s	820pf	10nf	100nf	10nf	1nf	100nf
R_s	100ohm	100ohm	100ohm	10Kohm	10Kohm	10Kohm
C_h	7.5pf	7.5pf	7.5pf	7.5pf	7.5pf	7.5pf
C_p	13.7pf	13.7pf	13.7pf	13.7pf	13.7pf	13.7pf
R_{on}	860ohm	860ohm	860ohm	860ohm	860ohm	860ohm
Settling error	0.5LSB	0.5LSB	0.5LSB	0.5LSB	0.5LSB	0.5LSB
t	87.9ns	1.0us	10.0us	100.2us	10.2us	1.0ms
k	4.3	1.8	-4.9	1.8	4.1	-0.49
Settling time T	377.8ns	1.82us	-4.9us	181.8us	41.9us	-487.3us
ACQPS	38	182	7	18179	4192	7

其中 ACQPS 是采样保持时间对应的 MCU 系统时钟 SYSCLK 的个数减 1，关系式如下：

$ACQPS = T / \text{SYSCLK} - 1$ 。

ACQPS 是软件可以配置的，对于 F280049，配置范围为 7~512。

从上面计算可以看出，当 R_s 固定时， C_s 从 1nf 左右变到 100nf，采样保持时间是先变大，后变小甚至为负数，时间为负数意味着用最小的采样保持时间就可以满足精度要求，即设置 ACQPS 为 7 就可以。

例子 4 和 5 所计算的采样保持时间远远超过了 512 个系统时钟，意味着可以设置的 ADC 采样保持时间是远远不够的，这样会牺牲一定的采样精度。

图 7 更为直观的显示采样保持时间与 C_s 大小变化的关系，即当 R_s 固定为 100 欧时， C_s 从 1pf 变化到 100nF，所需要的实现 0.5LSB 之内误差的采样保持时间的变化。

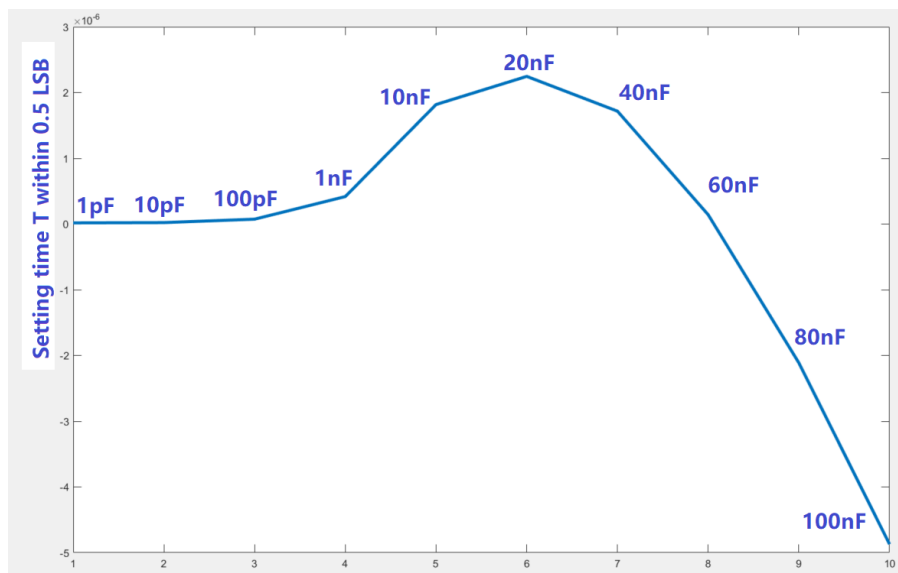


图 7. 采样保持时间 T 与 C_s 的容值变化关系

一开始随着电容 C_s 增大，所需要的采样保持时间 T 是跟着增大的，但增大到较大值时，比如几十 nF 级别，采样保持时间 T 又迅速下降，因此滤波电容 C_s 的容值设计，通常要么设计比较大，要么设计小一些，这样即采样保持时间较短也能保持足够的采样精度，避免串扰的影响。

4. ADC 外围电路参数设计及实验

外部采样电路分为带运放的电路和不带运放的电路，对于外部的带运放的电容，不能设计很大的电容，因为降低截止频率和对运放工作的稳定性产生不利影响，而对于不带运放的电阻分压电路，由于 ADC 外部阻抗比较大，往往需要选择较大的滤波电容，大到采样仅靠该电容的电荷量就可以在采样保持阶段有足够的采样精度，而无需外部电路的电荷量的及时补充。

4.1 设计基于运放的 RC 滤波电路：

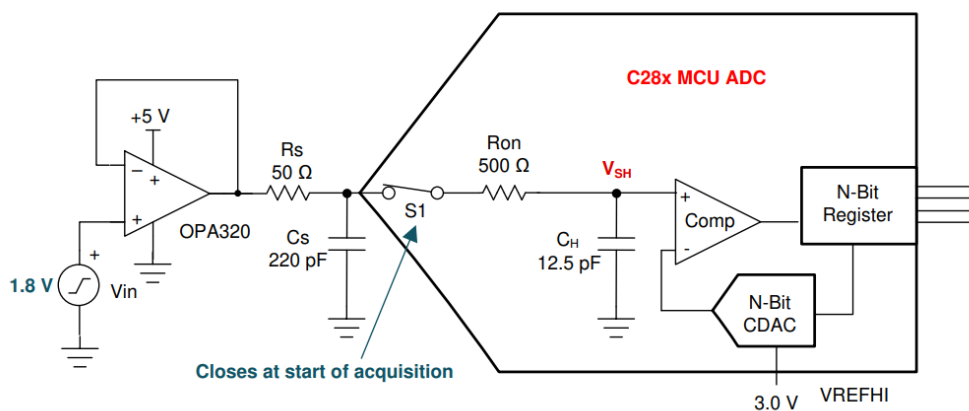


图 8. ADC 采样外围电路和 MCU 内部 ADC 电路

通常可以设计 C_s 通常为 C_H 的几十倍到几百倍，比如设计为 100 倍，这样在采样充放电过程中，滤波电容 C_s 上的电压最多有 1%的变化，同时需要靠运放电路能够及时充放电调节，在采样保持时间之内，把电压误差调整到 1/2LSB 之内。

同样采用内部电压参考时，从 F280049 芯片手册可以得到 $C_H=7.5\text{pF}$ ， $R_{on}=860\ \Omega$ ， $C_p=13.7\text{pF}$ ， $N=12$ ，

则 $C_s=100*C_H=750\text{pF}$ 。

计算调节误差为 1/2LSB 所需要的时间常数的数量为：

$$K = \ln(2^{N+1}) - \ln\left(\frac{C_s + C_p}{C_H}\right) = 4.39$$

根据手册要求，理论上 ADC 最小的采样保持时间为 75ns，可以软件设置为 ACQPS 为 9，即采样保持时间为 $T=100\text{ns}$ 。

则 RC 滤波的时间常数为：

$$\tau = T/K = 6.0\ \text{ns}$$

根据之前公式可以反推外部滤波电阻 R_s 的值：

$$R_s = \tau - R_{ON} * \frac{C_H}{C_s + C_p + C_H} = 20\ \Omega$$

实验验证：

根据上面计算选择 $R_s=20\ \Omega$ ， $C_s=750\text{pF}$ ，运放跟随器的输入电压为 2V，软件配置当 AQCP 从 9 开始变化到 110 时，记录 ADC A1 通道的采样值，绘制关系曲线如图 9 所示：

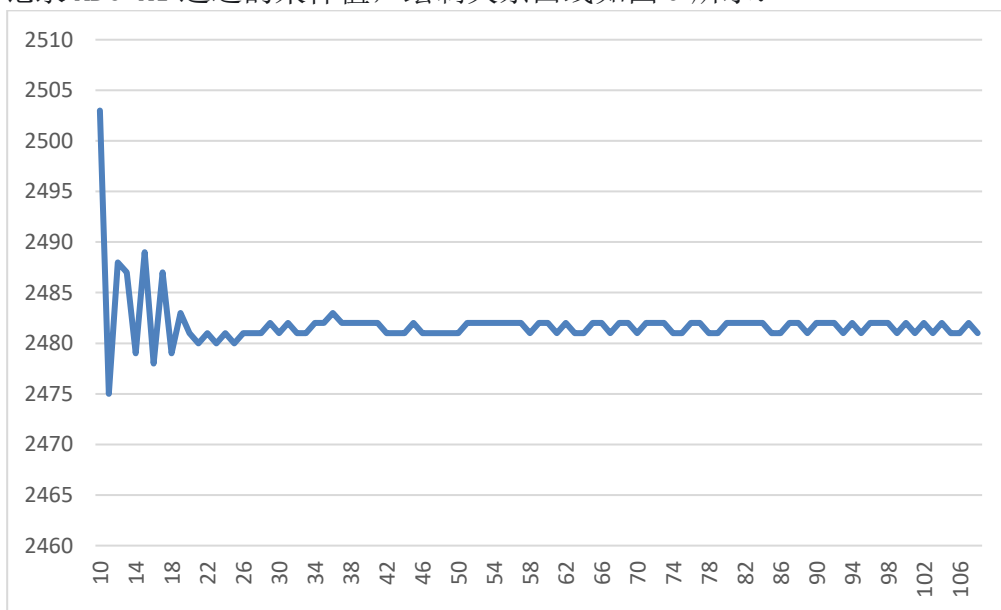


图 9. ADC 采样值与采样保持时间系数 AQCP 的关系

从图 9 可知，虽然按照理论设计 AQCP 为 9 的时候，理论上可以精度达到 1/2LSB 的误差，但由于电路中的寄生电感的存在，ADC 内部电容 C_H 上电的电压会存在震荡，因此按照理论设计配置 AQCP 为 9 的时，也可能存在采样不准的情况，可以根据实际情况配置 AQCP 为 20 或者更大的值，即采样保持时间在 200ns 以上，这样可以获得较高的采样精度。

4.2 对于无运放的电路，设计容量足够大的 C_s 电容

为了节省成本，有些输入信号变化没那么大的场合，特别是对一些直流电压的采样，往往省去了运放电路， C_s 电容需要设计足够大，才能确保采样有足够高的精度。

为了实现 0.5LSB 的调节误差，可以按照下面公式计算 C_s 电容大小：

$$C_s = 2^{N+1} * C_H$$

即对于 12 位的 ADC， C_s 是 C_H 的 2^{13} 倍，即如果 C_H 为 7.5pF，则 C_s 至少要大于 61nF。

此时电容 C_s 是足够大的，它本身的电荷量就足够给 C_H 充放电，引起的电压波动也就是在 0.5LSB 误差范围之内，无需外部实时补充电荷，不管外部滤波 R_s 电阻多大，采样保持时间多长，都能满足单次采样精度的要求。

不过对于多次过采样或者采样频率特别高， R_s 的阻值过大，也会影响采样精度，因此，需要结合采样频率等综合考虑。

理论上，采样保持时间可以选择规格书要求的最小采样保持时间，但由于电路中存在一些寄生电感，也可能存在 ADC 内部电容电压震荡的情况，需要预留适当裕量增加采样保持时间。

实验验证：

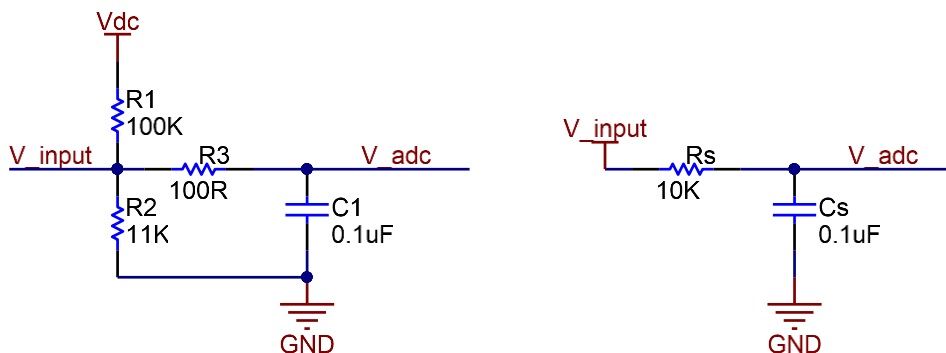


图 10. 常见的电阻分压电路及其等效电路

常用的电阻分压电路如图 10 左半图所示，根据戴维宁定理可算出其等效电阻为：

$$R_s = (R1+R2) / R1 * R2 + R3 = 10K\Omega$$

等效电路的 R_s 基本上由电阻分压电路确定了，阻值不能太小，否则会有较大的功耗和发热， C_s 是可以调节的参数，下面实验选择不同的 C_s 值，配置相同的 AQCP 值为 59（约 600ns 的采样保持时间），得到以下采样值。

ADC 采样通道	输入电压	R_s	C_s	采样频率	实际采样值 LSB	理论的采样值 LSB
A1	2.0V	10K	100nF	10khz	2480	2482
A1	2.0V	10K	10nF	10khz	2479	2482
A1	2.0V	10K	1nF	10khz	2462	2482
A1	2.0V	10K	10pF	10khz	2417	2482

可以看到，电容较大的时候，有较为准确的采样值，而电容较小的时候，则误差很大，跟理论符合。

因此选择合适的电容 C_s ，对采样的精度影响很大，实际的 C_s 还需要结合截止频率，采样频率等综合考虑。

如果采样频率过高，也会影响采样精度，下面是相同的 RC 参数，不同的采样频率下得到的采样值。

ADC 采样通道	输入电压	R_s	C_s	采样频率	实际采样值 LSB	理论的采样值 LSB
A1	2.0V	10K	10nF	10khz	2479	2482
A1	2.0V	10K	10nF	100khz	2459	2482
A1	2.0V	10K	10nF	200khz	2434	2482

从上图看到，采样频率越高，采样精度越差，因此对于要求截止频率和采样频率要求较高的场合，需要考虑用运放电路提高精度。

5. 总结:

ADC 采样保持时间不够会导致 ADC 通道间串扰的产生，影响采样精度，由于闭环实时控制的要求，ADC 采样时间不是越大越好，因此需要合理的设计外围 ADC 采样电路，针对带运放的电路和不带运放的电路两种情况，选择不同的滤波参数，保证采样精度的要求。

6. 参考资料:

1. [Methods for Mitigating ADC Memory Cross-Talk \(Rev. A\)](#)
2. [Charge-Sharing Driving Circuits for ADCs](#)

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司