

UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA

**AVALIAÇÃO DE LABORATÓRIO
ELETRÔNICA DIGITAL
1º SEMESTRE DE 2021**

Prof. Carlos Augusto Bissochi Junior

Aluno: Vilson Camilo Borges de Moraes Neves

Projetar o circuito da figura 1 utilizando linguagem de descrição de hardware (VHDL). O estudante terá 60 minutos para executar a tarefa.

PROCEDIMENTOS PARA A EXECUÇÃO DO PROJETO:

- 1) Criar uma pasta na área de trabalho. O nome da pasta deve ser o número de matrícula.
- 2) A entidade principal deve ser denominada de **CIRCUITO**
- 3) A FPGA pertence a família **CYCLONEII**
- 4) A FPGA utilizada é a **EP2C35F672C6**

VARIÁVEIS DA ENTIDADE PRINCIPAL:

- **E3, E2, E1, E0:** são elementos de uma variável que deve ser declarada como vetor
- **S3, S2, S1, S0:** são elementos de uma variável que deve ser declarada como vetor

DADOS PARA SIMULAÇÃO:

TEMPO DE SIMULAÇÃO = 160ms

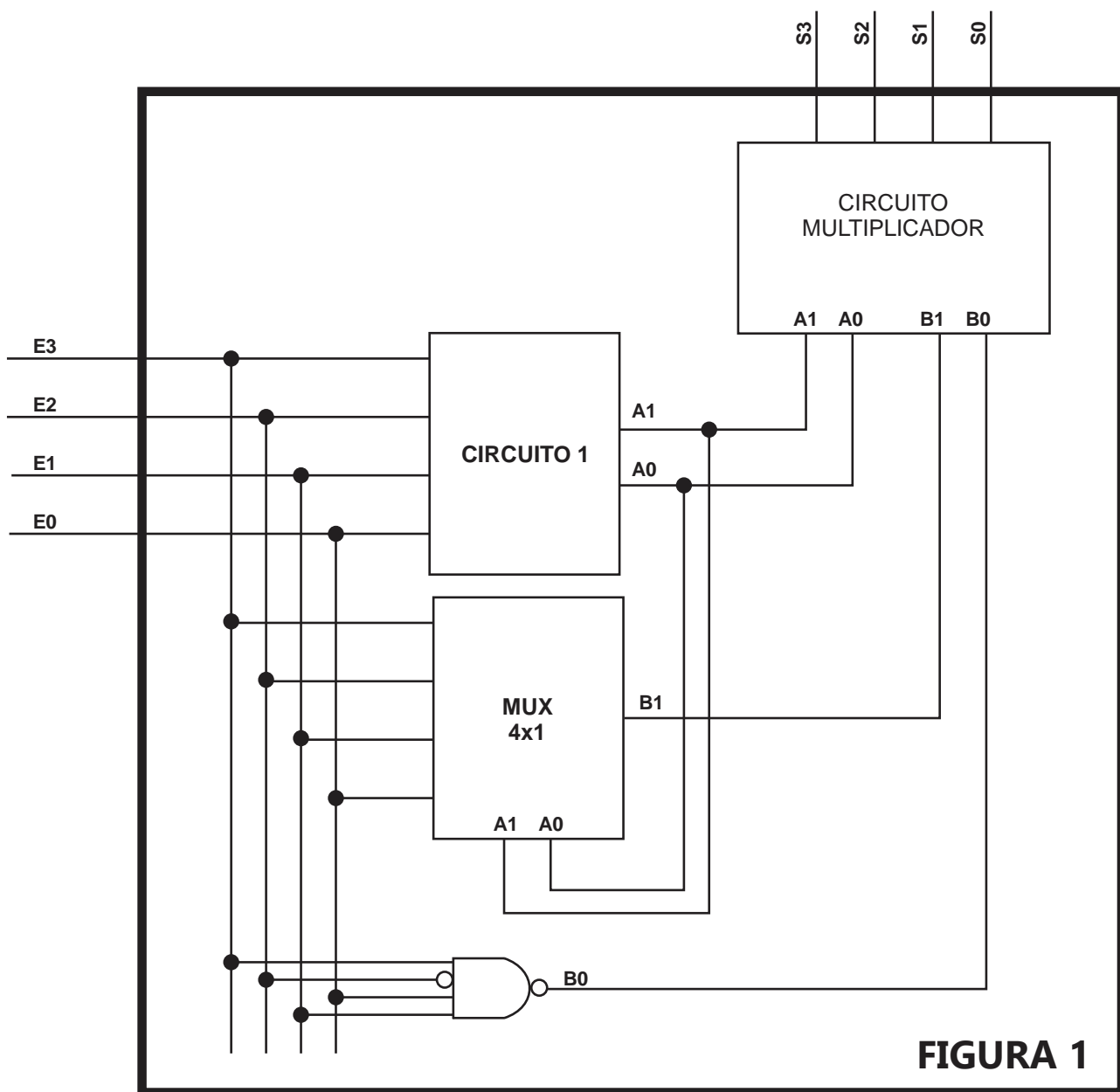
E3 = onda quadrada com período de 80ms, offset de 0 e duty cycle de 70%

E2 = onda quadrada com período de 80ms, offset de 0 e duty cycle de 30%

E1 = onda quadrada com período de 40ms, offset de 0 e duty cycle de 50%

E0 = onda quadrada com período de 20ms, offset de 0 e duty cycle de 50%

BOA PROVA



**TABELA DA VERDADE
DO CIRCUITO 1**

E3	E2	E1	E0	A1	A0
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	1
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	1	1
1	0	0	0	1	1
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	1
1	1	1	0	1	1
1	1	1	1	0	1

**TABELA DA VERDADE
DO MUX 4x1**

A1	A0	B1
0	0	E0
0	1	E1
1	0	E2
1	1	E3

**TABELA DA VERDADE
DO CIRCUITO MULTIPLICADOR**

A1	A0	B1	B0	S3	S2	S1	S0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

S é um algarismo de 4 BITS

A e B são algarismos de 2 BITS

$S = A \times B$