

UNIVERSIDADE FEDERAL DE UBERLÂNDIA  
FACULDADE DE ENGENHARIA ELÉTRICA

**AVALIAÇÃO DE LABORATÓRIO  
ELETRÔNICA DIGITAL  
1º SEMESTRE DE 2021**

**Prof. Carlos Augusto Bissochi Junior**

**Aluno:** \_\_\_\_\_

**Projetar o circuito da figura 1 utilizando linguagem de descrição de hardware (VHDL). O estudante terá 70 minutos para executar a tarefa.**

**PROCEDIMENTOS PARA A EXECUÇÃO DO PROJETO:**

- 1) Criar uma pasta na área de trabalho.
- 2) A entidade principal deve ser denominada de **CIRCUITO**
- 3) A FPGA pertence a família **CYCLONEII**
- 4) A FPGA utilizada é a **EP2C35F672C6**

**VARIÁVEIS DA ENTIDADE PRINCIPAL:**

**- CLOCK, INICIA, MAIOR, IGUAL, MENOR: devem ser declaradas como BIT**

**DADOS PARA SIMULAÇÃO:**

**TEMPO DE SIMULAÇÃO = 160ms**

**INICIA = onda quadrada com período de 160ms, offset de 0 e duty cycle de 95%**

**CLOCK = onda quadrada com período de 3ms, offset de 0 e duty cycle de 50%**

**BOA PROVA**

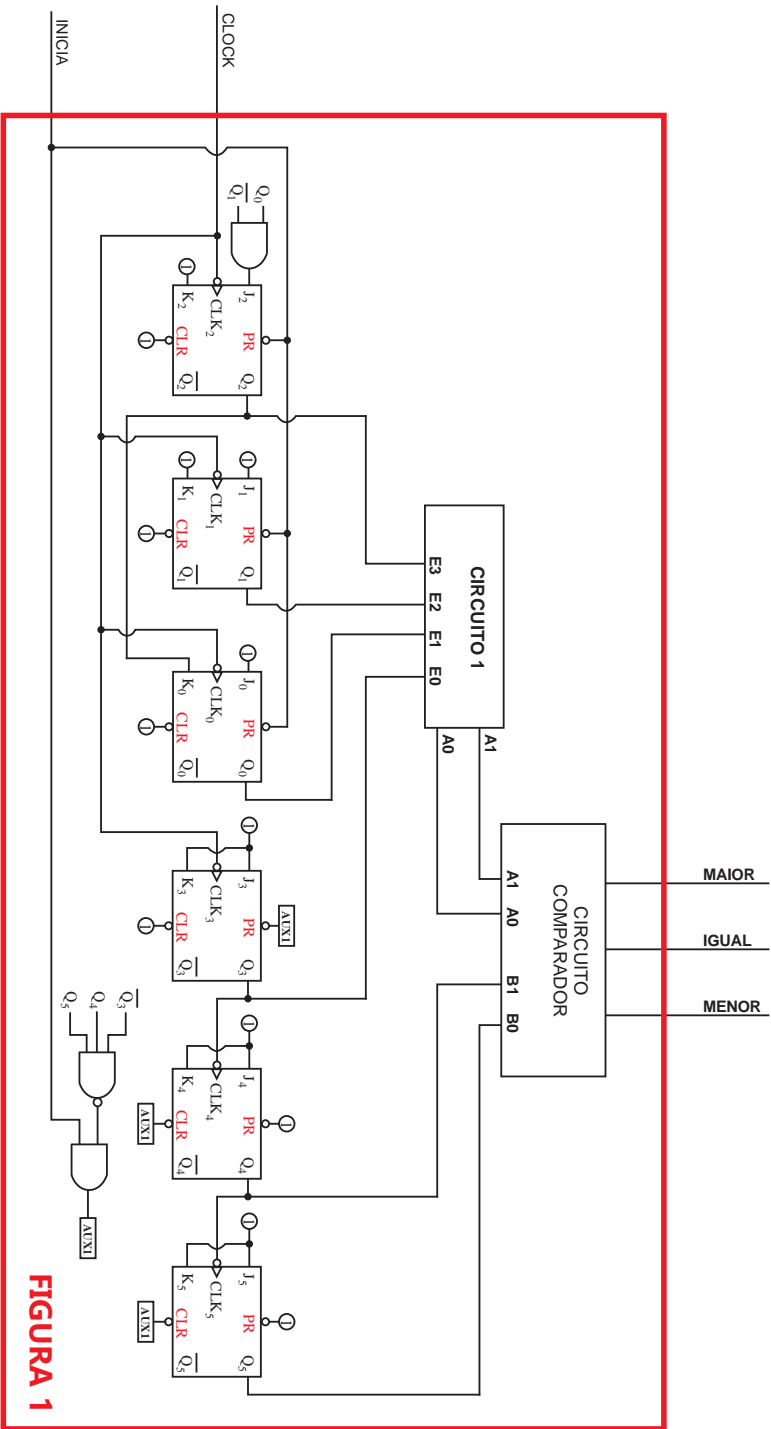


TABELA DA VERDADE DO CIRCUITO 1

E3	E2	E1	E0	A1	A0
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	1
0	1	1	1	0	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	1	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	1
1	1	1	1	0	0

TABELA DA VERDADE DO CIRCUITO COMPARADOR

A1	A0	B1	B0	MAIOR	IGUAL	MENOR
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	1	0	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	1	0	0
1	0	1	1	1	0	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	1	0	0

TABELA DA VERDADE DO FLIP FLOP JK MESTRE ESCRVO

PR	CLR	CLK	J	K	Q
0	0	X	X	X	---
0	1	X	X	X	1
1	0	X	X	X	0
1	1	↓	0	0	Q <sub>A</sub>
1	1	↓	0	1	0
1	1	↓	1	0	1
1	1	↓	1	1	Q <sub>A</sub>

MAIOR = 1 QUANDO A > B  
IGUAL = 1 QUANDO A = B  
MENOR = 1 QUANDO A < B  
A e B são números de 2 BITS