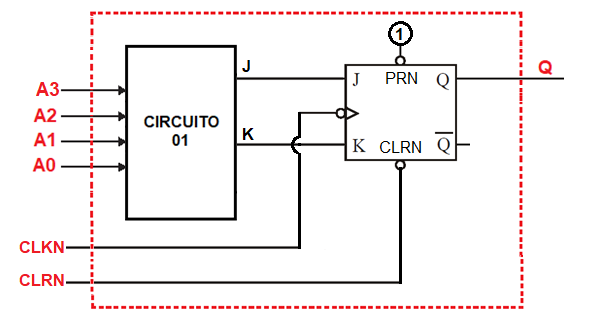
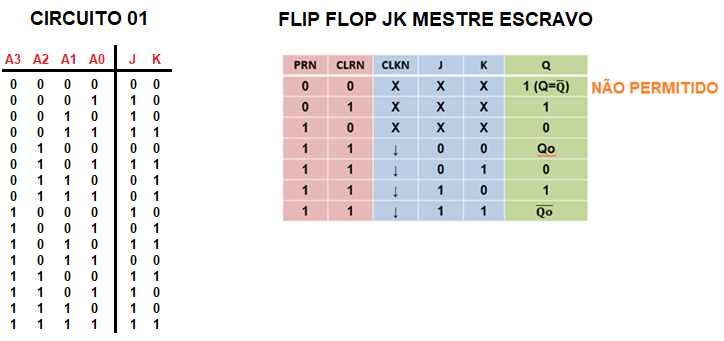
|  |  |
| --- | --- |
|  | **UNIVERSIDADE FEDERAL DE UBERLÂNDIA**  **FACULDADE DE ENGENHARIA ELÉTRICA**  **Experimental de Eletrônica Digital/**  **Prof. Carlos Augusto Bissochi Junior** |

**TRABALHO 07**

Utilizando o software Quartus e VHDL, o estudante deverá projetar o circuito da figura a seguir, constituído pelo CIRCUITO 01 (circuito da lógica combinacional) e pelo Flip-Flop JK Mestre-Escravo, com a função de PRESET e CLEAR. Observa-se que apenas a função de CLEAR está sendo utilizada, sendo que a função de PRESET está conectada em nível lógico alto, resultando, desta forma, que ela não está em operação. O projeto deve respeitar a tabela da verdade dos dispositivos.



**TABELA DA VERDADE**



**PROCEDIMENTOS PARA A EXECUÇÃO DO PROJETO:**

1. Criar uma pasta na área de trabalho.
2. O nome do projeto e da entidade principal devem ser: **CIRCUITO**
3. A FPGA pertence à família **CYCLONEII**
4. A FPGA utilizada é a **EP2C35F672C6**

**QUANTO AS VARIÁVEIS DA ENTIDADE PRINCIPAL:**

**- A3, A2, A1, A0: são elementos de uma variável que deve ser declarada como INTEGER**

**- CLRN, CLKN, Q: devem ser declaradas como BIT**

**DADOS PARA SIMULAÇÃO:**

**TEMPO DE SIMULAÇÃO =** 160ms

**A3 =** onda quadrada com período de 160ms, offset de 0 e duty cycle de 70%

**A2 =** onda quadrada com período de 80ms, offset de 0 e duty cycle de 30%

**A1 =** onda quadrada com período de 40ms, offset de 0 e duty cycle de 60%

**A0 =** onda quadrada com período de 20ms, offset de 0 e duty cycle de 40%

**CLRN =** onda quadrada com período de 1|ycle de 90%

**CLKN =** onda quadrada com período de 7ms, offset de 0,5ms e duty cycle de 50%

**COMO ENTREGAR O PROJETO:**

O estudante deve copiar todas as linhas do seu projeto e colar em um arquivo de texto (.txt). O arquivo de texto deve ser salvo com o número de matrícula do estudante e enviado para o e-mail: [bissochi.jr@gmail.com](mailto:bissochi.jr@gmail.com) até o dia 17/05 às 12 horas. No e-mail, indicar a turma ao qual pertence.