Relatório do Laboratório 07

Alunos: Vinicius Henrique Ribeiro (23200351) e Lucas Furlanetto Pascoali

(23204339)

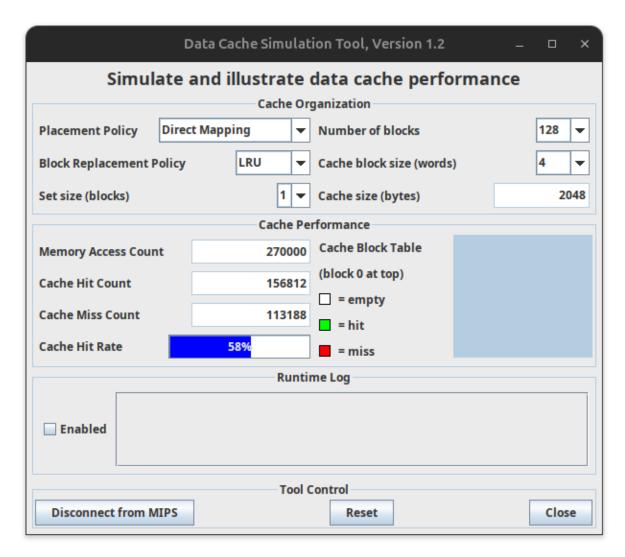
Professor: Marcelo Daniel Berejuck

Disciplina: Organização de Computadores I

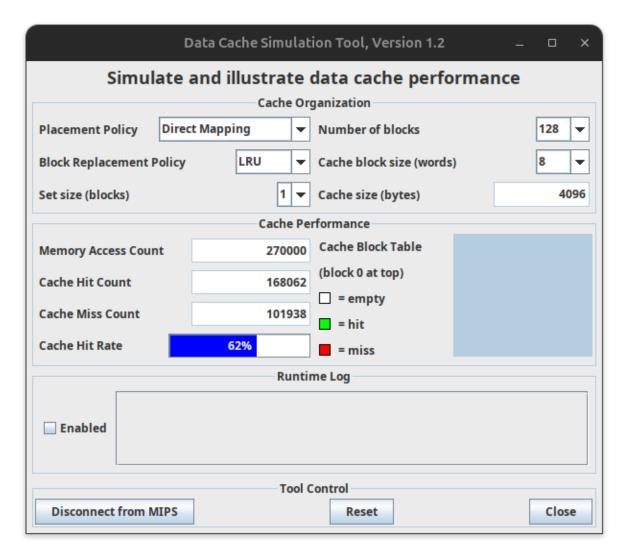
Questão 3

A questão pedia para testarmos os dois algoritmos implementados nas questões 1 e 2. O primeiro somava uma matriz A com uma B transposta da maneira tradicional. O segundo usava uma implementação de divisão da matriz principal em matrizes menores de tamanho *block_size*. Em todos os testes foram usados matrizes quadradas de tamanho 300 (300x300).

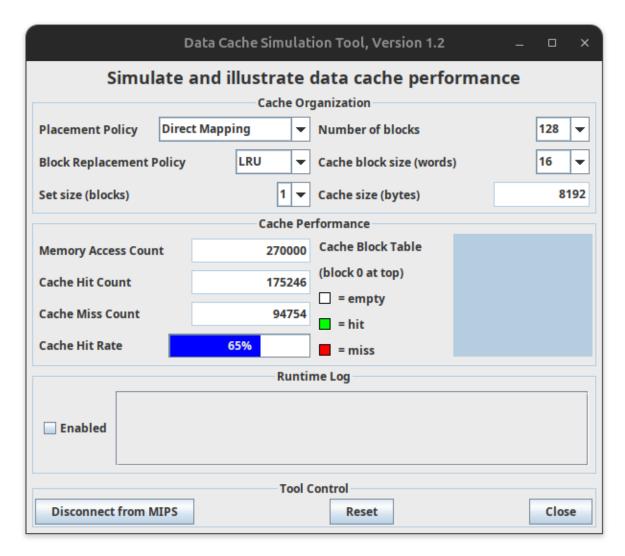
No segundo algoritmo, nós definimos o *block_size* (subdivisão da matriz principal) com um tamanho de 30 (30x30).



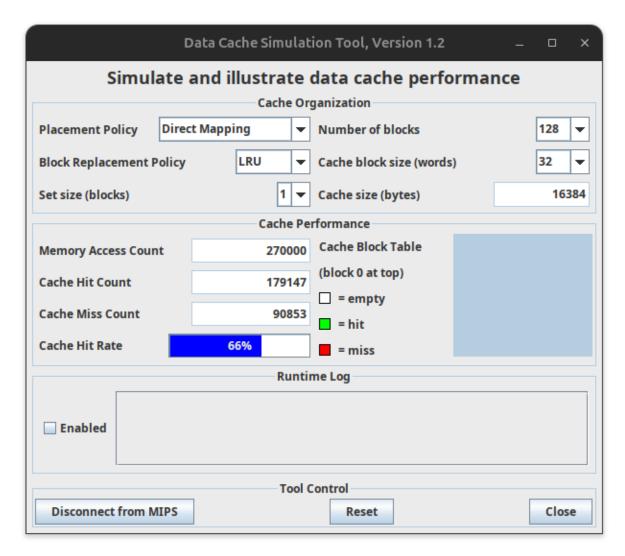
A imagem acima testa o primeiro algoritmo, utilizando uma cache com blocos do tamanho de 4 *words*. Sua taxa de hit ficou em 58%.



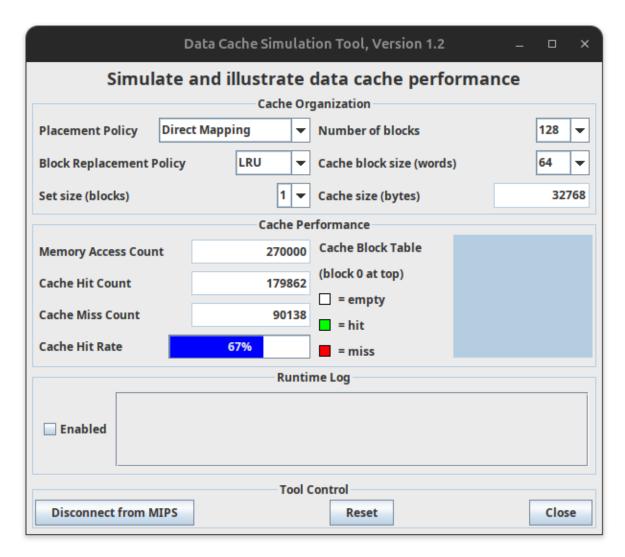
A imagem acima testa o primeiro algoritmo, utilizando uma cache com blocos do tamanho de 8 *words*. Sua taxa de hit ficou em 62%.



A imagem acima testa o primeiro algoritmo, utilizando uma cache com blocos do tamanho de 16 *words*. Sua taxa de hit ficou em 65%.



A imagem acima testa o primeiro algoritmo, utilizando uma cache com blocos do tamanho de 32 *words*. Sua taxa de hit ficou em 66%.



A imagem acima testa o primeiro algoritmo, utilizando uma cache com blocos do tamanho de 64 *words*. Sua taxa de hit ficou em 67%.

Data Cache Simulation Tool, Version 1.2 — 🗆 🗙						×	
Simulate and illustrate data cache performance							
	Cache	Org	ganization				
Placement Policy Di	irect Mapping	•	Number of blocks			128	-
Block Replacement Poli	icy LRU	-	Cache block size (words)		4	-
Set size (blocks)	1	-	Cache size (bytes)			20	048
	Cache	Pe	rformance				
Memory Access Count	2700	000	Cache Block Table				
Cache Hit Count	2166	82	(block 0 at top)				
Cache Miss Count	533	318	= empty = hit				
Cache Hit Rate	80%		= miss				
	Ru	ntir	me Log				
☐ Enabled							
Tool Control							
Disconnect from MIPS Reset Close					е		

A imagem acima testa o segundo algoritmo, utilizando uma cache com blocos do tamanho de 4 *words*. Sua taxa de hit ficou em 80%.

Data Cache Simulation Tool, Version 1.2 — 🗆 🗙						
Simulate and illustrate data cache performance						
	Cache O	rganization				
Placement Policy Direct	t Mapping -	Number of blocks	128 ▼			
Block Replacement Policy	LRU ▼	Cache block size (word:	s) 8 v			
Set size (blocks)	1 🔻	Cache size (bytes)	4096			
	Cache P	erformance				
Memory Access Count	270000	Cache Block Table				
Cache Hit Count	239297					
Cache Miss Count	30703	= empty				
Cache Hit Rate	89%	= miss				
	Runt	ime Log				
□ Enabled						
Tool Control						
Disconnect from MIPS Reset Clo						

A imagem acima testa o segundo algoritmo, utilizando uma cache com blocos do tamanho de 8 *words*. Sua taxa de hit ficou em 89%.

Data Cache Simulation Tool, Version 1.2 — 🗆 🗙							
Simulate and illustrate data cache performance							
	Cach	e Or	ganization				
Placement Policy	Direct Mapping	-	Number of blocks			128	┰
Block Replacement Po	licy LRU	-	Cache block size (words)		16	-
Set size (blocks)	1	-	Cache size (bytes)			8	192
	Cach	e Pe	rformance				
Memory Access Count	270	000	Cache Block Table				
Cache Hit Count 25129		293	(block 0 at top)				
Cache Miss Count 1870		707	= empty				
Cache Hit Rate 93%			= miss				
	R	untii	me Log				
■ Enabled							
Tool Control							
Disconnect from MIPS Reset Close					e		

A imagem acima testa o segundo algoritmo, utilizando uma cache com blocos do tamanho de 16 *words*. Sua taxa de hit ficou em 93%.

Data Cache Simulation Tool, Version 1.2 — 🗆 🗙							
Simulate and illustrate data cache performance							
	Cach	e Or	ganization				
Placement Policy	Direct Mapping	-	Number of blocks			128	-
Block Replacement Pol	licy LRU	-	Cache block size (words)		32	┰
Set size (blocks)	1	-	Cache size (bytes)			163	384
	Cach	e Pe	rformance				
Memory Access Count	270	000	Cache Block Table				
Cache Hit Count 25752		527	(block 0 at top)				
Cache Miss Count 12473		473	= empty				
Cache Hit Rate 95%			= miss				
	R	unti	me Log				
□ Enabled							
Tool Control							
Disconnect from MIPS Reset Close					e		

A imagem acima testa o segundo algoritmo, utilizando uma cache com blocos do tamanho de 32 *words*. Sua taxa de hit ficou em 95%.

Data Cache Simulation Tool, Version 1.2 — 🗆 🗙						
Simulate and illustrate data cache performance						
Placement Policy Direct	ct Mapping 🔻	Number of blocks	128 🔻			
Block Replacement Policy	LRU ▼	Cache block size (words	64 🔻			
Set size (blocks)	1 🔻	Cache size (bytes)	32768			
	Cache P	erformance				
Memory Access Count	270000	Cache Block Table				
Cache Hit Count	260250					
Cache Miss Count	9750	= empty				
Cache Hit Rate	96%	= miss				
	Runt	ime Log				
☐ Enabled						
Tool Control						
Disconnect from MIPS		Reset	Close			

A imagem acima testa o segundo algoritmo, utilizando uma cache com blocos do tamanho de 64 *words*. Sua taxa de hit ficou em 96%.

De acordo com os testes realizados, podemos afirmar que o segundo algoritmo teve um maior aproveitamento da cache, tendo em todos os testes uma taxa de *hit* maior que o primeiro algoritmo. Vemos também, que há uma melhoria em ambos os algoritmos quando o tamanho do bloco da cache é aumentado. Podemos perceber que, mesmo com um tamanho de bloco da cache de 64 *words*, a taxa de *hit* do primeiro algoritmo continuou consideravelmente menor que a do segundo com um bloco de cache de 4 *words*.