



**UNIVERSIDADE FEDERAL DE PELOTAS**  
**CENTRO DE DESENVOLVIMENTO TECNOLÓGICO**  
**CIÊNCIA DA COMPUTAÇÃO**  
**ENGENHARIA DE COMPUTAÇÃO**  
**Arquitetura e Organização de Computadores I**

**Exercícios de Revisão para a Prova 1**

1. Quais as principais características de uma arquitetura Harvard?
2. Diferencie arquitetura de Von Neumann de arquitetura Harvard.
3. Explique o que é o gargalo de Von Neumann.
4. Como podemos minimizar o gargalo de Von Neumann?
5. Atualmente, qual modelo de arquitetura mais usado nos computadores? Explique.
6. Explique para que serve e como funciona a hierarquia de memória nos computadores atuais.
7. Desenhe, em forma de pirâmide, a organização hierárquica da memória nos sistemas computacionais atuais, indicando as tecnologias de memória utilizadas e suas características (ex.: alta velocidade).
8. Explique como funciona o modo de endereçamento indireto.
9. Explique como funciona o modo de endereçamento indireto base + deslocamento com registrador.
10. Quais são as principais características dos processadores RISC e CISC? Processadores CISC são mais rápidos que processadores RISC? Explique.
11. Explique as três grandes etapas que são comuns para a execução de qualquer instrução.
12. Considerando processadores RISC, apresente as suas três principais classes de instruções. Cite exemplos de instruções que se enquadram em cada uma destas classes.
13. Considere arquiteturas de processadores com diferentes números de operandos: 4 operandos, 3 operandos, 2 operandos, 1 operando e nenhum operando.
  - a. Explique, para cada arquitetura, para que servem os operandos presentes na instrução.

- b. Explique como funciona uma arquitetura com formato de instrução sem nenhum operando
14. Quantos registradores possui o MIPS estudado em aula? Quantos bits possui cada registrador? Quantos bits são usados para endereçar qualquer um destes registradores? Justifique.
  15. Indique os tipos de instruções suportadas no MIPS (considerando as vistas em aula) e o formato de cada uma.
  16. O MIPS é um processador RISC ou CISC? Cite algumas características que permitem esta conclusão (ao menos duas). Explique.
  17. Explique para que serve o módulo chamado “Extensão de sinal” na arquitetura do MIPS monociclo. Apresente um exemplo de uso, considerando uma entrada de 16 bits e saída com 32 bits
  18. Qual a função do módulo “Desl. à esq. 2 bits” utilizado nas arquiteturas do MIPS? Por que ele é necessário?
  19. Quantas instruções podem ser executadas em um ciclo de clock na arquitetura do MIPS monociclo? Explique.
  20. Explique como é definido o período do ciclo de clock em uma arquitetura do MIPS monociclo.
  21. Por que existe uma memória para dados e outra para instruções na arquitetura do MIPS monociclo?
  22. No diagrama da arquitetura do MIPS monociclo, qual a função do somador “PC+4”?
  23. Apresente o fluxo de execução da instrução LW na arquitetura do MIPS monociclo. Cite as unidades funcionais (hardware) que são utilizadas em cada etapa da execução desta instrução.
  24. Considerando o MIPS monociclo, todas instruções do tipo R possuem o mesmo caminho de dados e sinais de controle? Explique.
  25. Destaque, na figura da arquitetura do MIPS monociclo, os caminhos de DADOS que são usados na execução da instrução OR. Indique também todos os sinais de controle necessários para a execução desta instrução.
  26. Considerando o MIPS monociclo, todas instruções de acesso a memória (LW e SW) possuem o mesmo caminho de dados e sinais de controle? Explique.

27. Destaque, na figura da arquitetura do MIPS monociclo, os caminhos de DADOS utilizados na execução da instrução SW. Indique também todos os sinais de controle necessários para a execução desta instrução.
28. Considerando que o opcode de instruções Tipo R é 000000 e que o código function para a operação de subtração seja 100010, preencha o quadro a seguir com os campos da instrução apresentada abaixo, em código binário.

sub \$8, \$12, \$15

[illegible]

29. Considerando que opcode da instrução addi é 001000, preencha o quadro a seguir com os demais campos da instrução addi apresentada abaixo, em código binário.

```
addi $9, $8, 0x0FA5
```

[illegible]

30. Considerando a figura da arquitetura do MIPS monociclo:
  - a. Destaque quais são os caminhos de dados que são usados na instrução BEQ.
  - b. Cite os valores dos sinais de controle envolvidos na execução desta instrução.
31. Considere o bloco operativo do MIPS monociclo. Deseja-se eliminar deste processador a instrução BEQ e realizar o máximo possível de simplificações no hardware em função da exclusão desta instrução.
  - a. Contorne os elementos de hardware (incluindo conexões) que podem ser eliminados do processador. Insira novas conexões, caso necessário.
  - b. Discuta as implicações geradas para os programadores deste processador caso fossem eliminadas as instruções de desvio condicional.
32. Considere um processador MIPS monociclo com uma frequência de operação de 500MHz. Qual o tempo de processamento para executar um código com 2 instruções do tipo LW, 3 operações do tipo R e 2 operações JMP?
33. Apresente o nome e a função de cada um dos campos da instrução (X, Y, Z e W) para a instrução BEQ. Indique o número de bits utilizados em cada campo.

X	Y	Z	W
---	---	---	---

34. Considerando a figura da arquitetura do MIPS monociclo:

- a. Destaque os caminhos de DADOS que são usados na execução da instrução LW.
  - b. Apresente os valores de todos os NOVE sinais de controle do MIPS monociclo necessários para a execução da instrução LW.
35. Considere o bloco operativo do MIPS monociclo. Deseja-se acrescentar a este processador a instrução ori, cujo formato é descrito abaixo. Esta instrução realiza a operação lógica OR do conteúdo do registrador especificado no campo Rs com um operando imediato (valor absoluto), o qual é estendido para 32 bits. O resultado é armazenado no registrador Rt.

opcode (6 bits)	Rs (5 bits)	Rt (5 bits)	desvio (16 bits)
-----------------	-------------	-------------	------------------

- a. Adicione todas as modificações necessárias no bloco operativo do MIPS monociclo para contemplar a instrução ori (não é necessário incluir as conexões de novos sinais de controle, se existirem).
  - b. O bloco de controle do MIPS monociclo teria que ser modificado a fim de acomodar a instrução ori? Por quê?
36. Considere o bloco operativo do MIPS monociclo. Deseja-se inserir neste processador a instrução J (jump) apresentada abaixo. Esta instrução realiza um desvio de  $n$  instruções, que são indicadas no campo “desvio”. O valor do campo “desvio” pode ser positivo ou negativo.

opcode (6 bits)	desvio (26 bits)
-----------------	------------------

Adicione todas as modificações necessárias no bloco operativo do MIPS monociclo para contemplar a instrução J. Atenção: todas outras instruções devem continuar funcionando.

37. Considere o bloco operativo do MIPS monociclo. Deseja-se eliminar deste processador as instruções LW e SW e realizar o máximo possível de simplificações no hardware em função da exclusão destas instruções.
- a. Contorne os elementos de hardware que podem ser eliminados do processador. Insira novas conexões caso necessário.
  - b. Discuta as implicações geradas para os programadores deste processador caso fossem eliminadas as instruções de acesso à memória.
38. Considerando o MIPS multiciclo, quantas etapas são necessárias para executar uma instrução sw? Quais são essas etapas? Explique.
39. Como no MIPS multiciclo não existem os somadores dedicados para o cálculo de endereço do BEQ e do PC, explique onde e quando estas operações são realizadas.
40. Apresente os novos registradores utilizados na arquitetura do MIPS multiciclo. Explique para que servem cada uma deles.

41. Considerando a arquitetura do MIPS multiciclo estudada, cite quantos ciclos de relógio são necessários para executar a instrução BEQ. Explique o que é realizado em cada um deles.

- a. Apresente os sinais de controle necessários em cada ciclo, e seus respectivos valores, para a execução da instrução.

42. Considerando a arquitetura do MIPS multiciclo, responda:

- a. Quantos estados (ou ciclos de relógio) são necessários para executar uma instrução ADD? Explique.
- b. Apresente os sinais de controle envolvidos na execução desta instrução e seus respectivos valores.

43. Considere o bloco operativo do MIPS multiciclo. Deseja-se inserir neste processador a instrução BNE apresentada abaixo. Esta instrução realiza a comparação entre o conteúdo de dois registradores (Rs e Rt) e realiza o desvio caso os conteúdos sejam diferentes. O campo “desvio” indica quantas instruções serão puladas e seu valor pode ser positivo ou negativo.

opcode (6 bits)	Rs (5 bits)	Rt (5 bits)	desvio (16 bits)
-----------------	-------------	-------------	------------------

Adicione todas as modificações necessárias no bloco operativo do MIPS multiciclo para contemplar a instrução BNE (a instrução BEQ deve continuar a existir).

44. Considere o bloco operativo do MIPS multiciclo apresentado na Figura 2. Deseja-se inserir neste processador a instrução JR (jump register). A instrução JR realiza o desvio incondicional, usando como endereço para desvio o conteúdo armazenado em um registrador. O formato da instrução JR está apresentado abaixo, onde o campo Rt identifica o registrador cujo conteúdo é usado como endereço de desvio e os campos Ra e “desvio” não são utilizados.

opcode (6 bits)	Rs (5 bits)	Rt (5 bits)	desvio (16 bits)
-----------------	-------------	-------------	------------------

Adicione, na na arquitetura do MIPS multiciclo, TODAS as modificações necessárias para contemplar a instrução JR (as instruções J e BEQ devem continuar a existir).

45. Considere o trecho de programa para o MIPS apresentado abaixo. Considere também que o ciclo de relógio seja 10ns para o MIPS monociclo e 2ns para o MIPS multiciclo. Também considere que as instruções ORI e SLL usam o mesmo número de ciclos que instruções tipo R. Quanto tempo este programa demora para ser executado em cada uma das versões do MIPS?

```
ori $8, $0, 2
ori $10, $0, 4
inicio: beq $10, $8, fim
sll $0, $0, 0
```

```

        addi $10, $10, -1
        sw $11, 0x4 ($15)
        j inicio
        sll $0, $0, 0
fim: sll $10, $10, 2

```

46. Considere o programa para o MIPS apresentado abaixo. Considere também que o ciclo de relógio seja 8ns para o MIPS monociclo e 2ns para o MIPS multiciclo. Quanto tempo o programa demora para ser executado em cada uma das duas versões de MIPS?

```

        add $10, $8, $9
        sub $8, $10, $11
        lw $12, 0x3 ($13)
        add $11, $11, $12
        sw $11, 0x7 ($13)
        beq $10, $11, fim
fim: sll $0, $0, 0

```

47. Considere o programa para o MIPS apresentado abaixo e que o ciclo de relógio seja 10ns para o MIPS monociclo e 2ns para o MIPS multiciclo. Considere também que as instruções de desvio NÃO executam sempre a próxima instrução. Quanto tempo o programa demora para ser executado em cada uma das duas versões de MIPS?

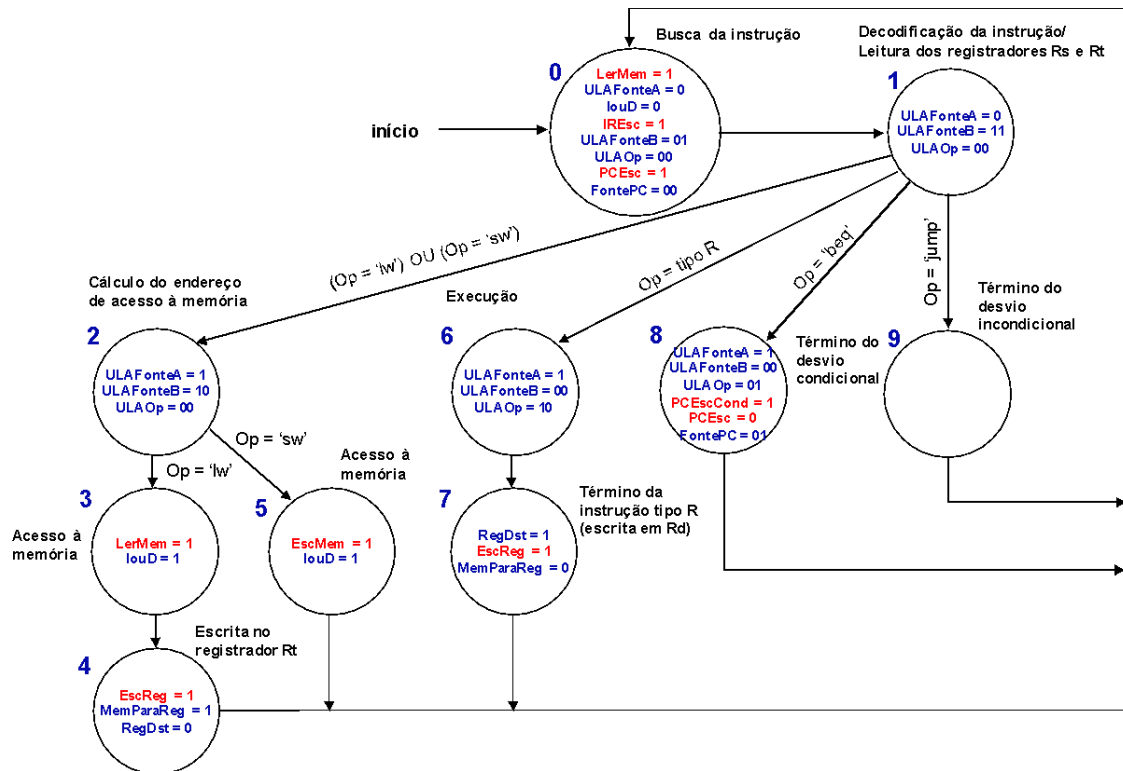
```

        or $10, $8, $9
        sub $8, $10, $11
        lw $12, 0x4 ($13)
        add $11, $11, $12
        sw $11, 0x8 ($13)
        lw $8, 0x12 ($13)
        beq $10, $11, fim

```

48. Explique quais são as vantagens e desvantagens entre o projeto de controle usando máquinas de estados finitos e microprogramado.
49. Considerando a máquina de estados do controle da arquitetura do MIPS multiciclo, apresentada na Figura 3, discuta quais estados são comuns a todas as instruções. Explique.
50. Quais seriam as consequências para o processador MIPS multiciclo caso o estado 2 fosse removido da máquina de estados usada no controle?
51. Insira corretamente os sinais do estado 9 da máquina de estados da Figura 3.
52. Explique porque apenas a instrução SW utiliza sinais do estado 5 da máquina de estados apresentada na Figura 3.





**Figura 3: Diagrama da máquina de estados do controle do MIPS Multiciclo**