



UNIVERSIDADE FEDERAL DE PELOTAS
CENTRO DE DESENVOLVIMENTO TECNOLÓGICO
CIÊNCIA DA COMPUTAÇÃO
ENGENHARIA DE COMPUTAÇÃO
Arquitetura e Organização de Computadores I

Exercícios de Revisão para a Prova 2

1. Um programa roda em 12s na máquina A, que tem clock de 800 MHz. Queremos rodá-lo em 8s numa máquina B, com nova tecnologia. A máquina B pode ter um aumento substancial de frequência de clock, no entanto, isso exigirá 1,2 vezes mais ciclos de clock para executar as instruções, em relação a máquina A. Qual é a frequência de clock necessária para a máquina B?
2. Suponhamos que duas máquinas implementem o mesmo conjunto de instruções. Um mesmo programa P é rodado em ambas as máquinas. A máquina A tem período de clock de 14ns e CPI = 1.8 para rodar P. A máquina B tem período de clock de 22ns e CPI = 1.4 para rodar P. Qual máquina é mais rápida?
3. Um projetista de compilador deseja decidir entre duas possíveis sequências de código para a resolução de um problema dados os tipos de instruções e o número de ciclos por instrução de cada tipo, qual sequência é mais rápida? Calcule o desempenho usando as medidas de desempenho em tempo de CPU e MIPS.

Tipo de Instrução	CPI
A	8
B	6
C	4

Código	Número de Instruções		
	Tipo A	Tipo B	Tipo C
1	2	3	2
2	1	2	4

4. Um projetista de compilador deseja decidir entre duas possíveis sequências de código para a resolução de um problema dados os tipos de instruções e o número de ciclos por instrução de cada tipo, qual sequência é mais rápida? Calcule o desempenho usando as medidas de desempenho em tempo de CPU e MIPS.

Tipo de Instrução	CPI
A	5
B	3
C	2

	Tipo A	Tipo B	Tipo C
1	1	3	3
2	3	2	0

5. Consideremos 4 execuções seguidas da instrução lw, a qual é a mais lenta em ambos casos (monociclo e multiciclo). Quanto tempo será necessário para o início da execução da quarta instrução no MIPS monociclo e no multiciclo? Considere que o ciclo de relógio seja 8ns para o MIPS monociclo e 2ns para o MIPS multiciclo.
6. Considere o programa para o MIPS apresentado abaixo. Considere também que o ciclo de relógio seja 8ns para o MIPS monociclo e 2ns para o MIPS multiciclo. Quanto tempo o programa utiliza para ser executado em cada uma das duas versões de MIPS?

```

or $10, $8, $9
sub $8, $10, $11
lw $12, 0x3 ($13)
and $11, $11, $12
sw $11, 0x7 ($13)
j fim
fim: sll $0, $0, 0

```

7. Qual a vantagem de um processador MIPS pipeline comparado com os MIPS monociclo e multiciclo? Qual o ganho teórico máximo de um processador MIPS pipeline?
8. Por que esse ganho teórico máximo nunca é atingido? O que significa preenchimento do pipeline?
9. Como é definida a frequência do MIPS pipeline? O que é balanceamento do pipeline?
10. Consideremos 1008 execuções seguidas da instrução lw, a qual é a mais lenta em ambos casos (monociclo e pipeline). Qual será o tempo total em cada caso (monociclo e pipeline) e qual será o ganho obtido pelo uso do pipeline? Considere que o tempo de execução da instrução é de 8ns.
11. Considere o trecho de programa para o MIPS apresentado abaixo e que o ciclo de relógio seja **10ns** para o MIPS monociclo e **5ns** para o MIPS multiciclo e pipeline e considerando que o conteúdo inicial do registrador **\$10** seja diferente de zero.

```

início: beq $10, $0, fim
        and $0, $0, $0
        lw $11, 0x0 ($15)
        sub $10, $10, $10
        sw $11, 0x4 ($15)
        j início
fim:     and $0, $0, $0

```

- a) Qual é o CPI deste programa para as **três** implementações do MIPS (monociclo, multiciclo e pipeline)? Mostre os cálculos.
- b) Quanto tempo o trecho de programa demora para ser executado em cada uma das **três** versões de MIPS?

12. Considere o trecho de programa para o MIPS apresentado abaixo e que o ciclo de relógio seja 8ns para o MIPS monociclo e 2ns para o MIPS multiciclo e pipeline.

```

add $10, $8, $8
sub $9, $8, $11
lw $12, 0x3 ($13)
add $0, $0, $0
add $11, $11, $12
sw $10, 0x7 ($13)
beq $10, $11, fim

```

- a. Qual é o CPI deste programa para as três implementações do MIPS (monociclo, multiciclo e pipeline)? Mostre os cálculos.
 - b. Quanto tempo o trecho de programa demora para ser executado em cada uma das três versões de MIPS?
13. Considere o trecho de programa para o MIPS apresentado abaixo e que o ciclo de relógio seja 10ns para o MIPS monociclo e 2ns para o MIPS multiciclo e pipeline.

```

                addi $8, $0, 2
                sub $9, $9, $9
inicio:        beq $8, $0, fim
                add $9, $8, $9
                addi $8, $8, -1
                j inicio
fim:           and $0, $0, $0

```

- a. Qual é o valor dos registradores \$8 e \$9 ao final da execução do programa?
 - b. Qual é o CPI deste programa para as três implementações do MIPS (monociclo, multiciclo e pipeline)? Mostre os cálculos.
 - c. Quanto tempo o trecho de programa demora para ser executado em cada uma das três versões de MIPS?
14. Existem situações de execução nos processadores com arquiteturas com pipeline em que a instrução seguinte não pode ser executada no próximo ciclo de relógio. Tais situações são chamadas de conflitos. Quantos e quais são os conflitos existentes no MIPS pipeline.
15. Em que situações ocorre a parada do pipeline? Dê exemplos.
16. Como podemos resolver os conflitos estruturais?
17. Os conflitos de dados podem ser resolvidos? Se sim, quais técnicas podem ser utilizadas para resolver os conflitos de dados e como elas funcionam?

18. Explique o comportamento da arquitetura do MIPS pipeline quando ocorre um desvio condicional.
19. Cite quais tipos de instrução podem gerar um conflito estrutural na arquitetura do MIPS pipeline. Explique o porquê.
20. Quais as soluções mais conhecidas para resolver os conflitos de controle? Explique o funcionamento de cada uma delas.
21. Considerando que o código abaixo será executado no MIPS pipeline sem adiantamento, reordene as instruções de modo a evitar a parada no pipeline devido ao conflito de dados.

```

1: lw $t0, 0($t1)
2: lw $t2, 4($t1)
3: sw $t2, 0($t1)
4: sw $t0, 4($t1)

```

22. Considerando que o código abaixo será executado no MIPS pipeline sem adiantamento.

```

64      or $1, $2, $3
68      lw $3, 5($1)
72      and $5, $1, $2
76      add $4, $2, $1
80      lw $7, 6($4)
84      add $8, $8, $7
88      or $6, $5, $6

```

- a. Indique quais são os conflitos de dados presentes neste código, explicando porque cada conflito acontece. Identifique o conflito indicando o registrador envolvido e as linhas onde estão as instruções.
 - b. Indique quais conflitos de dados podem ser resolvidos por adiantamento.
 - c. Considerando que os conflitos resolvíveis por adiantamento tenham sido eliminados, reescreva o código eliminando TODOS os demais conflitos SEM usar instruções adicionais. Indique se foi criado algum novo conflito.
23. Considerando que o código abaixo será executado no MIPS pipeline sem adiantamento.

```

64      or $1, $2, $3
68      lw $3, 5($1)
72      and $5, $1, $3
76      sw $1, 0($15)
80      add $4, $5, $3
84      lw $7, 6($4)
88      add $8, $8, $7
92      or $6, $5, $4

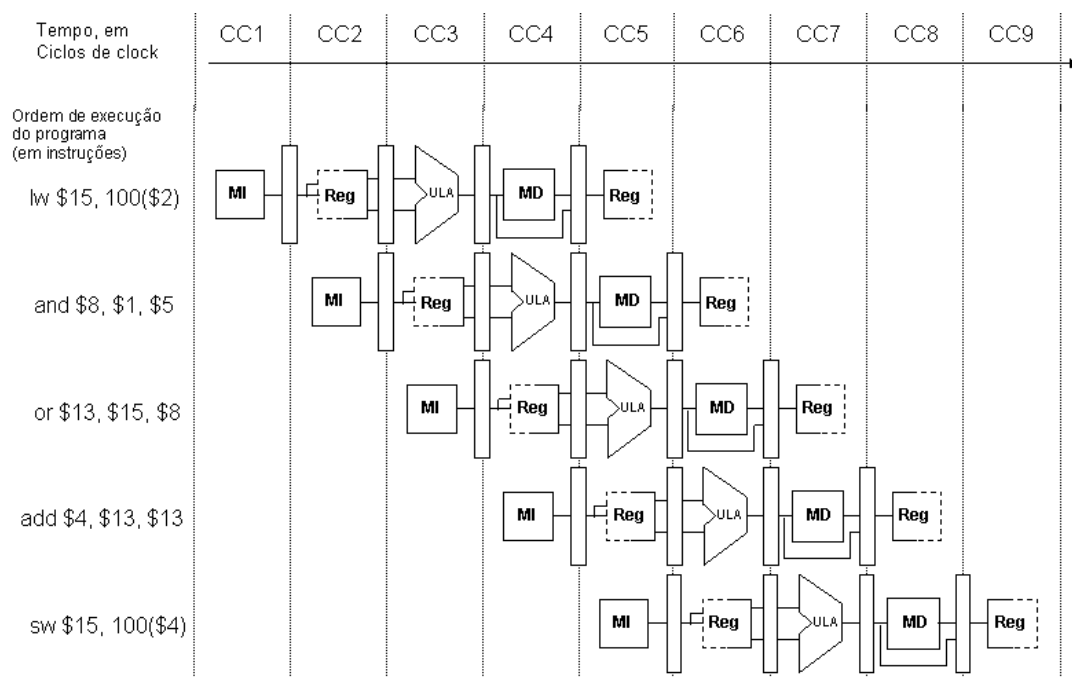
```

- Indique quais são os conflitos de dados presentes neste código, explicando porque cada conflito acontece. Identifique o conflito indicando o registrador envolvido e as linhas onde estão as instruções.
- Indique quais conflitos de dados podem ser resolvidos por adiantamento.
- Considerando que os conflitos resolvíveis por adiantamento tenham sido eliminados, reescreva o código eliminando TODOS os demais conflitos SEM usar instruções adicionais. Indique se foi criado algum novo conflito.

24. Considere que os tempos de operação para os componentes usados nos projetos do MIPS monociclo, multiciclo e pipeline são os apresentados na tabela abaixo, determine o período do relógio para as três versões do MIPS.

Operação/Componente	Atraso
Acesso à memória (escrita ou leitura)	2 ns
Operação na ULA	1,5 ns
Acesso ao Banco de Registradores (escrita ou leitura)	1 ns
Cálculo dos sinais de controle	1 ns
Outros elementos combinacionais e controle da ULA	0 ns

25. Considerando a representação gráfica do pipeline do MIPS que está apresentada abaixo, faça as conexões corretas para utilizar a técnica de adiantamento e resolver os conflitos de dados.



26. Considerando que o código abaixo será executado no MIPS pipeline **sem** **adiantamento**.

```

64      or $1, $2, $3
68      lw $3, 5($1)
72      and $5, $1, $2
76      add $4, $2, $1
80      lw $7, 6($4)
84      add $8, $8, $7
88      or $6, $5, $6

```

- Indique quais são os conflitos de dados presentes neste código, explicando porque cada conflito acontece. Identifique o conflito indicando o registrador envolvido e as linhas onde estão as instruções.
- Indique quais conflitos de dados podem ser resolvidos por adiantamento.
- Considerando que os conflitos resolvíveis por adiantamento tenham sido eliminados, reescreva o código eliminando **TODOS** os conflitos **SEM** usar instruções adicionais.

27. Considerando o diagrama do MIPS pipeline na figura 1:

- Faça as modificações necessárias no caminho de dados para implementar a técnica de adiantamento para resolver conflitos de dados do **tipo 1** e do **tipo 2**.
- Explique porque existem três registradores ER MIPS pipeline.

28. Considere o bloco operativo do MIPS pipeline apresentado na figura 2. Deseja-se acrescentar a este processador a instrução ori, cujo formato é descrito abaixo. Esta instrução realiza a operação lógica “OR” entre o conteúdo do registrador especificado no campo Rd com um operando imediato (valor absoluto). O operando imediato é um número SEM sinal de 16 bits e deve ser estendido para 32 bits. O resultado é armazenado no registrador Rd.

opcode (6 bits)	não usado (5 bits)	Rd (5 bits)	operando imediato (16 bits)
-----------------	--------------------	-------------	-----------------------------

- Adicione, na figura, todas as modificações necessárias no bloco operativo do MIPS pipeline para contemplar a instrução ori (não é necessário incluir as conexões de novos sinais de controle, se existirem).
- O bloco de controle do MIPS pipeline teria que ser modificado a fim de acomodar a instrução ori. Explique por que esta modificação é necessária.

29. Considere o bloco operativo do MIPS pipeline apresentado na figura 1. Deseja-se inserir neste processador a instrução J (jump) apresentada abaixo. Esta instrução realiza um desvio de n instruções, que são indicadas no campo “desvio”. O valor do campo “desvio” pode ser positivo ou negativo. Adicione todas as modificações necessárias no bloco operativo do MIPS monociclo para contemplar a instrução J. Atenção: todas outras instruções devem continuar funcionando.

opcode (6 bits)	Desvio (26 bits)
-----------------	------------------

30. Considere o bloco operativo do MIPS pipeline apresentado na figura 1. Deseja-se inserir neste processador a instrução JR (jump register). A instrução JR realiza o desvio incondicional, usando como endereço para desvio o conteúdo armazenado em um registrador. O formato da instrução JR está apresentado abaixo, onde o campo Rt identifica o registrador cujo conteúdo é usado como endereço de desvio e os campos Ra e “desvio” não são utilizados.

opcode (6 bits)	Rs (5 bits)	Rt (5 bits)	Desvio (16 bits)
-----------------	-------------	-------------	------------------

- Adicione, na arquitetura do MIPS pipeline, TODAS as modificações necessárias para contemplar a instrução JR.
31. Considerando o diagrama do MIPS pipeline, explique como é possível que o Banco de Registradores seja utilizado tanto no estágio “DI” quanto no estágio “ER” sem gerar paradas no pipeline.
32. Considerando o MUX controlado pelo sinal “RegDst” do MIPS pipeline apresentado acima, explique porque este MUX foi alocado no estágio “EX” ao invés de estar no estágio “DI”, “MEM” ou “ER”.
33. Por que existe apenas 1 registrador para os sinais de controle do estágio de execução (EX)? Explique.
34. Por que existem 3 registradores para sinais de controle do estágio escrita no banco de registradores (ER) e apenas 2 para sinais do estágio de acesso a memória de dados (M)? Explique.
35. Detalhe os valores dos sinais de controle e em qual estágio do pipeline eles são utilizados em uma instrução do tipo LW.
36. Quais recursos adicionais são necessários para dar suporte a predição dinâmica no MIPS pipeline?
37. Como o processador MIPS pipeline se comporta para o tratamento de exceção, por exemplo, um overflow na ULA?
38. Quais os sinais de controle são gerados quando ocorre a detecção de um conflito de dados? Em que momento a detecção de conflitos de dados é feita? Explique.
39. No momento em que um adiantamento é necessário para resolver um conflito de dados, o que deve ser feito? Em que momento (ciclo) da execução da instrução ocorre a detecção do conflito? Em que momento (ciclo) da execução da instrução o adiantamento deve ocorrer? Quais sinais de controle devem ser gerados?
40. Insira as unidades necessárias na arquitetura do processador MIPS pipeline na figura 2 para que possa suportar adiantamento.
41. Insira as unidades necessárias na arquitetura do processador MIPS pipeline na figura 2 para que possa suportar detecção de conflitos.

42. Em qual estágio deve ser tomada a decisão sobre o desvio condicional para reduzir o retardo do desvio a uma única instrução? Adicione as modificações necessárias utilizando a figura 1.
43. Como podemos aumentar o desempenho da arquitetura do MIPS pipeline estudado? Cite e explique três possibilidades.
44. Pipelines mais longos (que contém mais estágios) sempre têm melhor performance quando comparado com os mais curtos? Por quê?
45. Explique o conceito de uma arquitetura de processador superescalar e como ela aumentam o desempenho de processamento. Quais as modificações devem ser feitas no MIPS pipeline para transformá-lo em uma arquitetura superescalar?

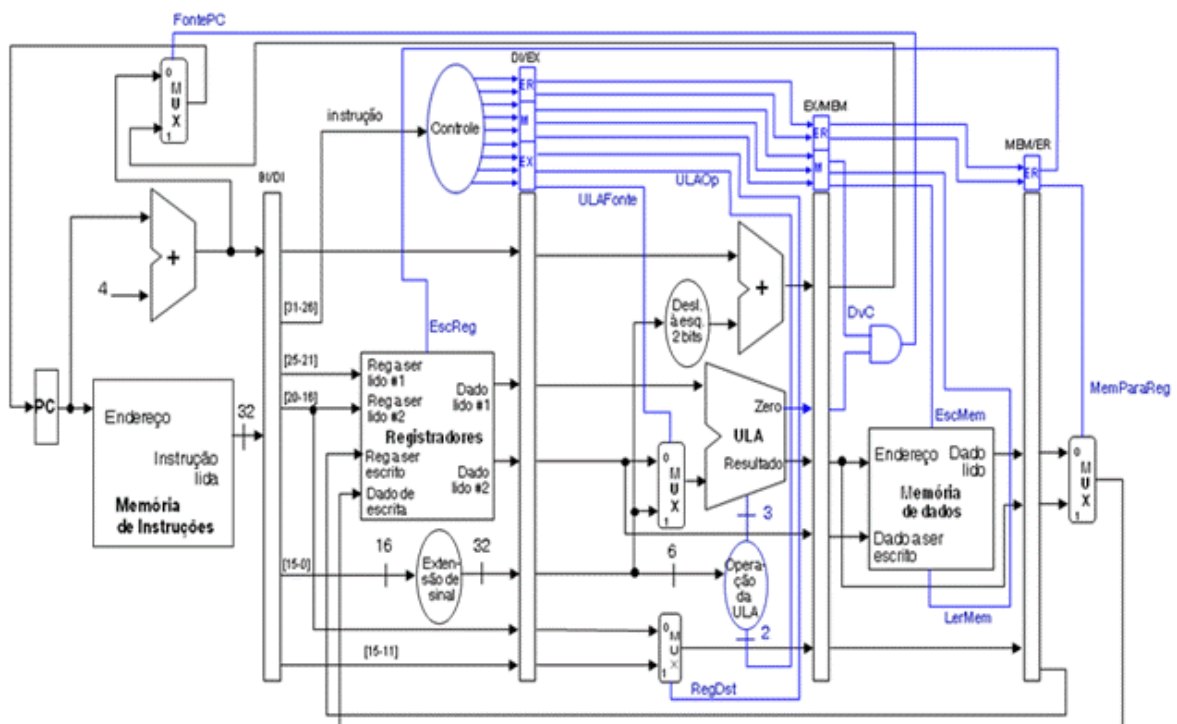


Figura 1: Arquitetura do MIPS Pipeline

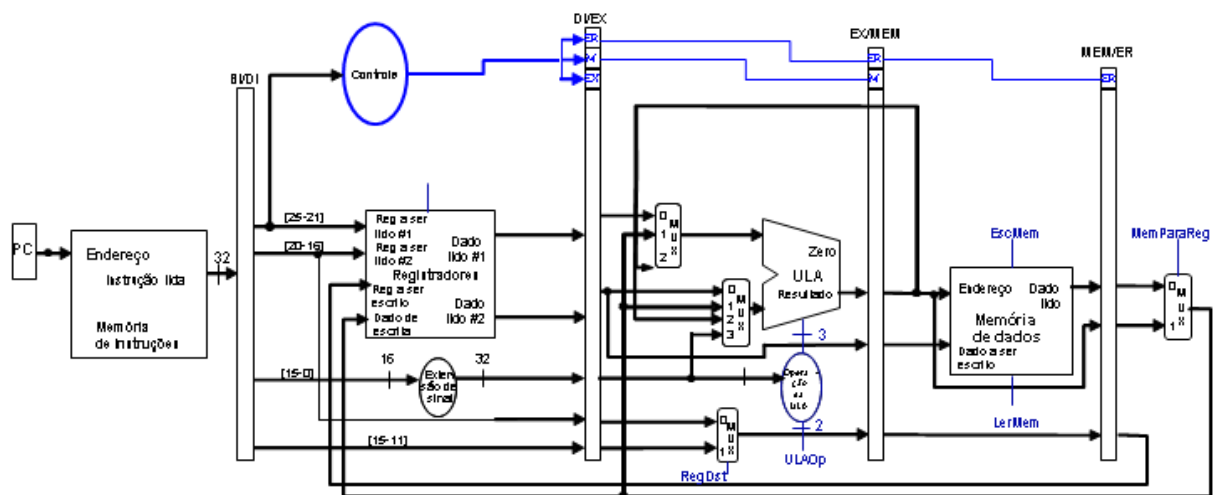


Figura 2: Arquitetura simplificada do MIPS pipeline