



UNIVERSIDADE FEDERAL DE RORAIMA

Unidade de Controle

Prof. Herbert Oliveira Rocha



UNIVERSIDADE FEDERAL DE RORAIMA

Unidade de Controle - Multi Ciclos

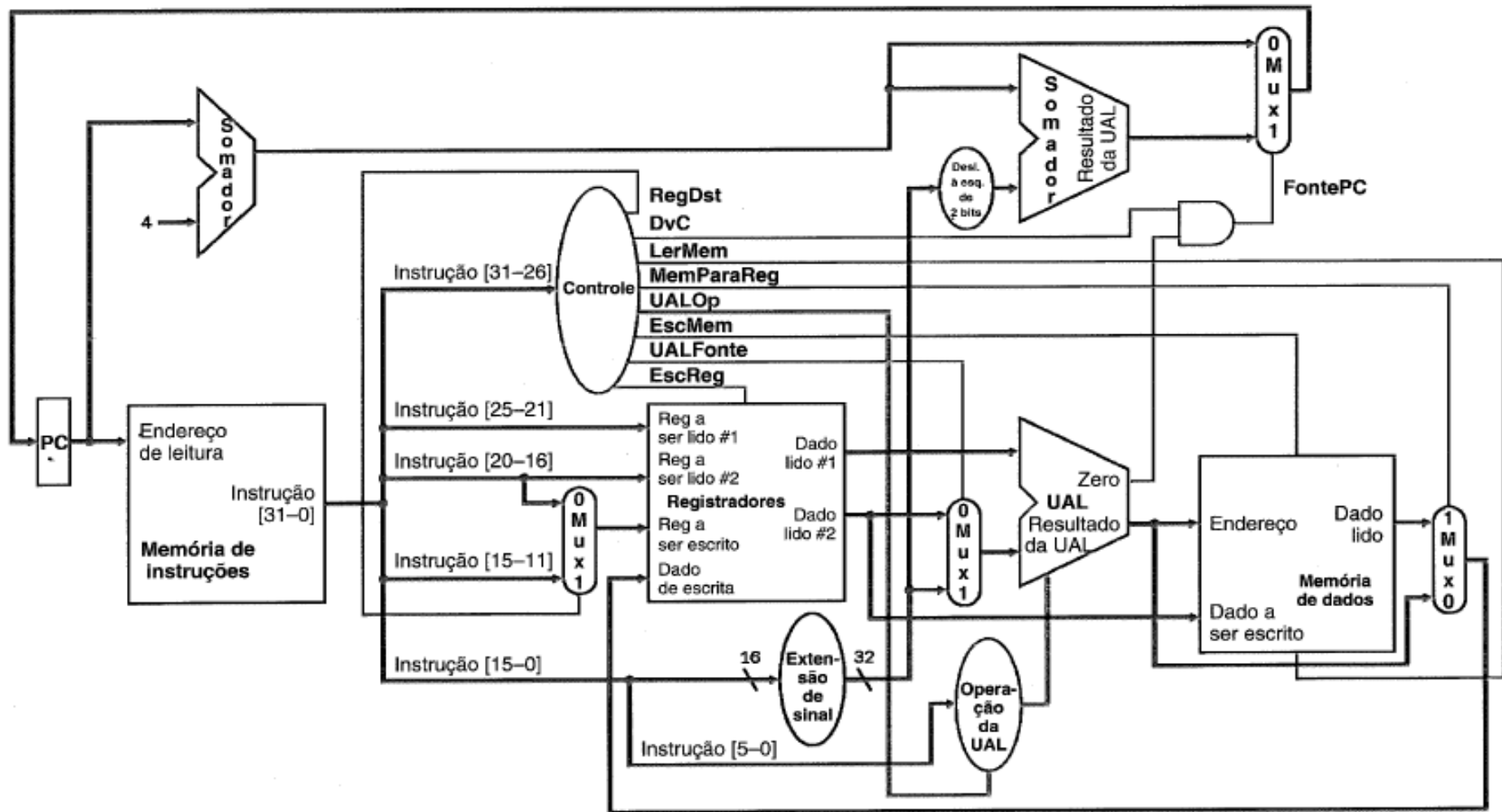
Baseado nas slides de:

Prof. Dr. Mauricio Figueiredo – UFAM

Stephen A. Edwards e Martha A. Kim, Columbia
University

Prof. Herbert Oliveira Rocha

MIPS Controle



MIPS Controle

Sinais de Controle - MIPS Uniciclo

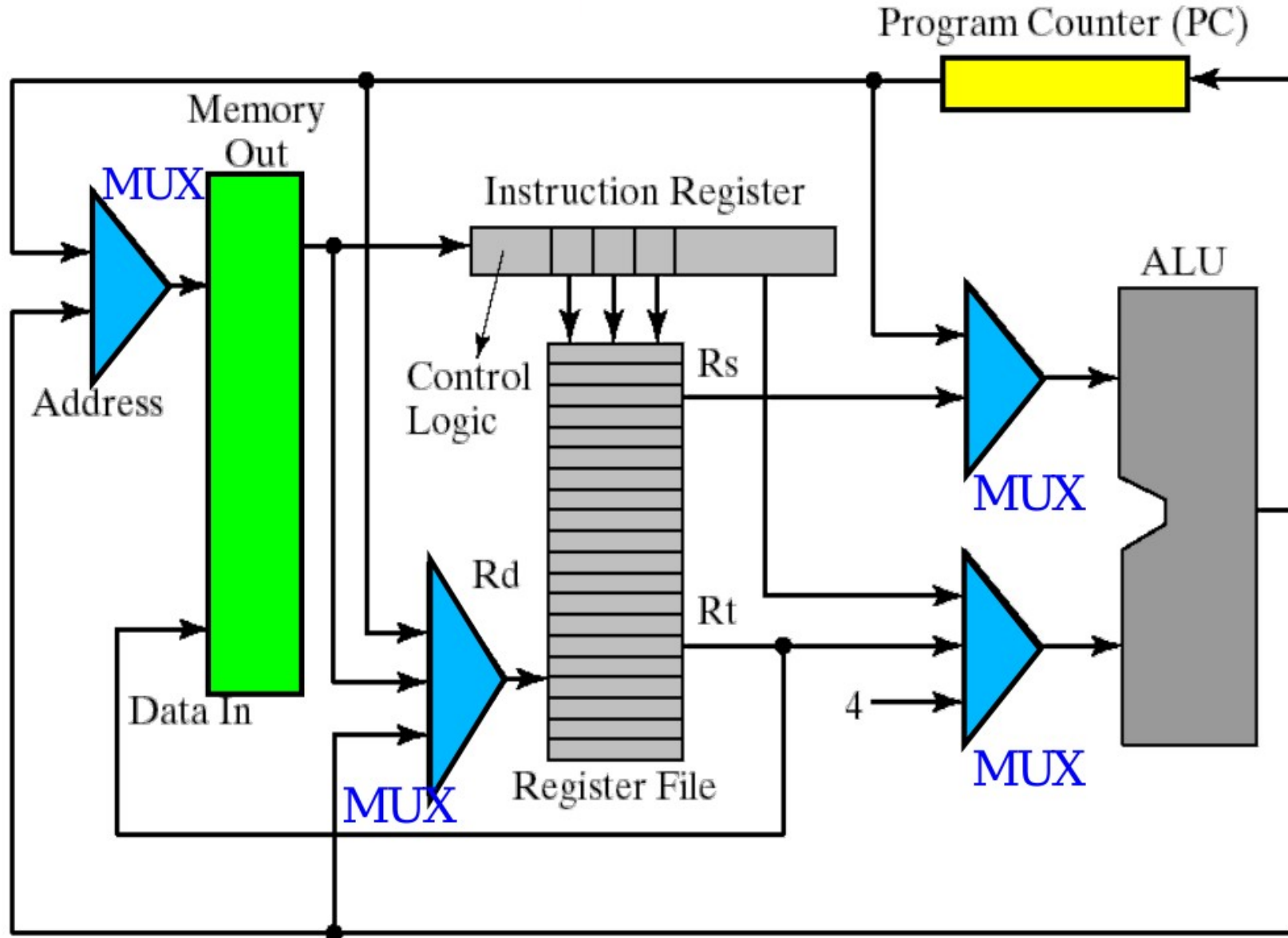
- P/ determiná-los, basta opcode da instrução, exceto para FontePC
- FontePC é 1, se instrução de branch e saída Zero da ULA.

Instrução	RegDst	UALFonte	MemParaReg	EscReg	LerMem	EscMem	DvC	UALOp1	UALOp0
Formato R	1	0	0	1	0	0	0	1	0
lw	0	1	1	1	1	0	0	0	0
sw	X	1	X	0	0	1	0	0	0
beq	X	0	X	0	0	0	1	0	1

MIPS MULTiciclo

- Objetivo: Quebrar a execução de instruções em passos
- Cada passo é executado em um ciclo de clock
- Favorece o reuso de hardware
 - Ex. Mem de instruções e dados, ULA e somadores
 - Necessita mais MUXs
- Usa mais registradores para armazenar valores intermediários (não visíveis ao programador)
- Instruções diferentes poderão usar quantidades diferentes de ciclos de clock

MIPS Multiciclo



MIPS Multiciclo

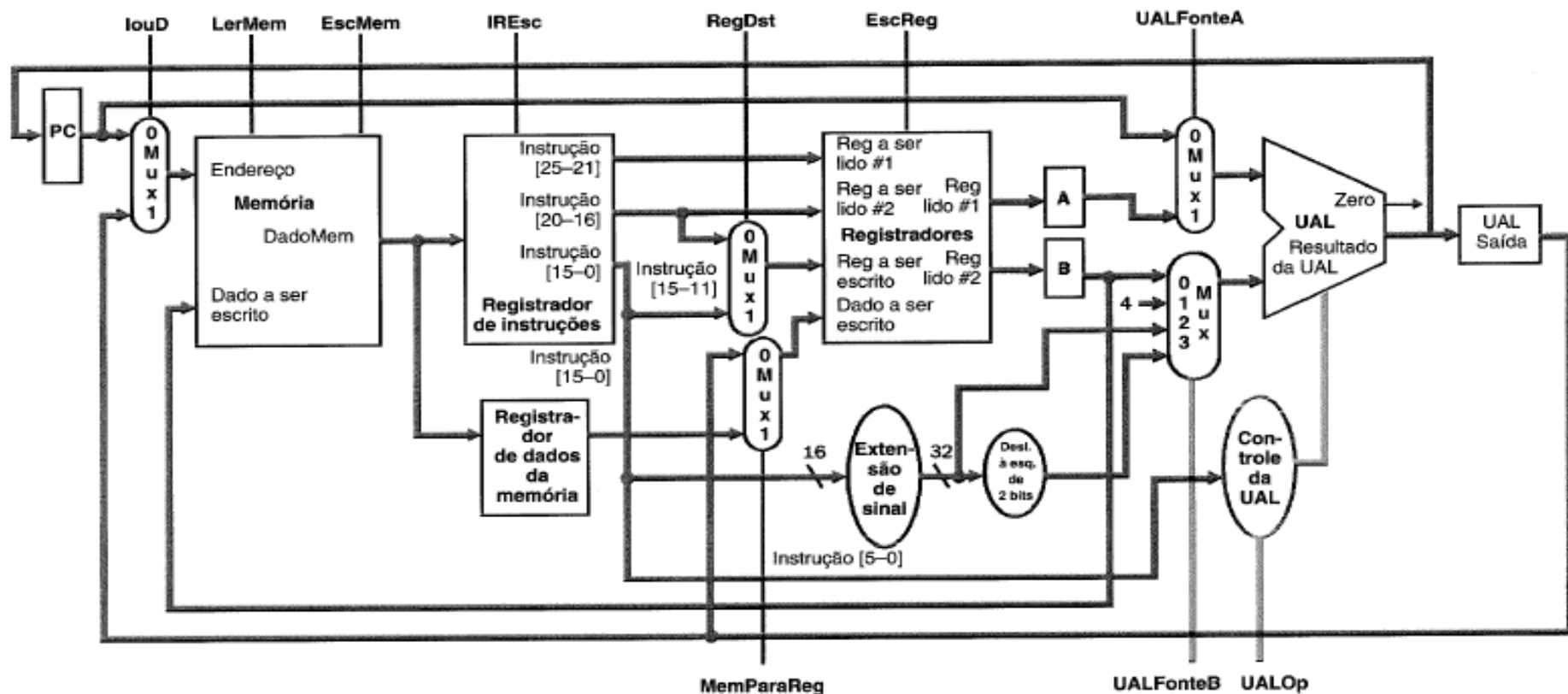
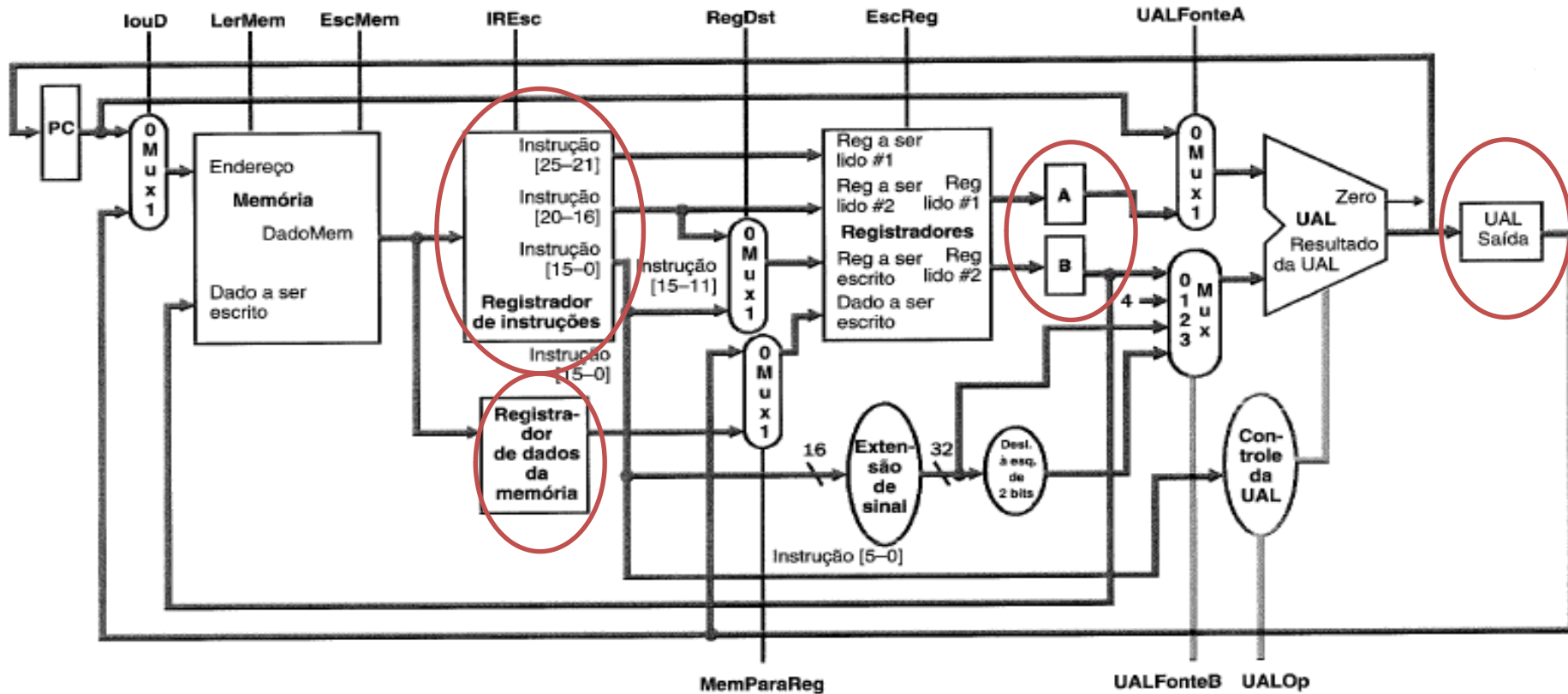


Figura 5.31 Caminho de dados multiciclo para execução das instruções básicas do MIPS. Apesar de este caminho de dados suportar o incremento normal do PC, serão necessárias algumas novas conexões e um novo multiplexador para suportar desvios condicionais e incondicionais. Em comparação com o caminho de dados para implementação monociclo, a implementação multiciclo inclui diversos registradores novos (IR, MDR, A, B, UALSaída), um multiplexador para o endereço de memória, um multiplexador para a entrada superior da UAL, e a expansão do multiplexador da entrada inferior da UAL de duas para quatro entradas. Essas pequenas modificações permitiram-nos eliminar dois somadores e uma memória.

Figura 5.32 Caminho de dados multiciclo da Figura 5.31 com as linhas de controle. Os sinais UALOp e UALSelB são sinais de controle de 2 bits, enquanto todos os demais são de 1 bit. Os registradores A e B não precisam de um sinal de escrita, uma vez que seus conteúdos são lidos somente em um ciclo imediatamente após eles terem sido escritos. O registrador de dados de memória foi adicionado para guardar o dado de um load, quando ele chega da memória. Os dados que chegam da memória não podem ser escritos diretamente no banco de registradores, pois a duração do ciclo de clock não é suficiente para acomodar um acesso à memória e outro ao banco de registradores. O sinal LerMem foi deslocado para o topo da unidade de memória para simplificar as figuras. O conjunto completo de unidades e linhas de controle para um caminho de dados que suporte desvios condicionais será mostrado em breve.

MIPS Multiciclo



MIPS Multiciclo

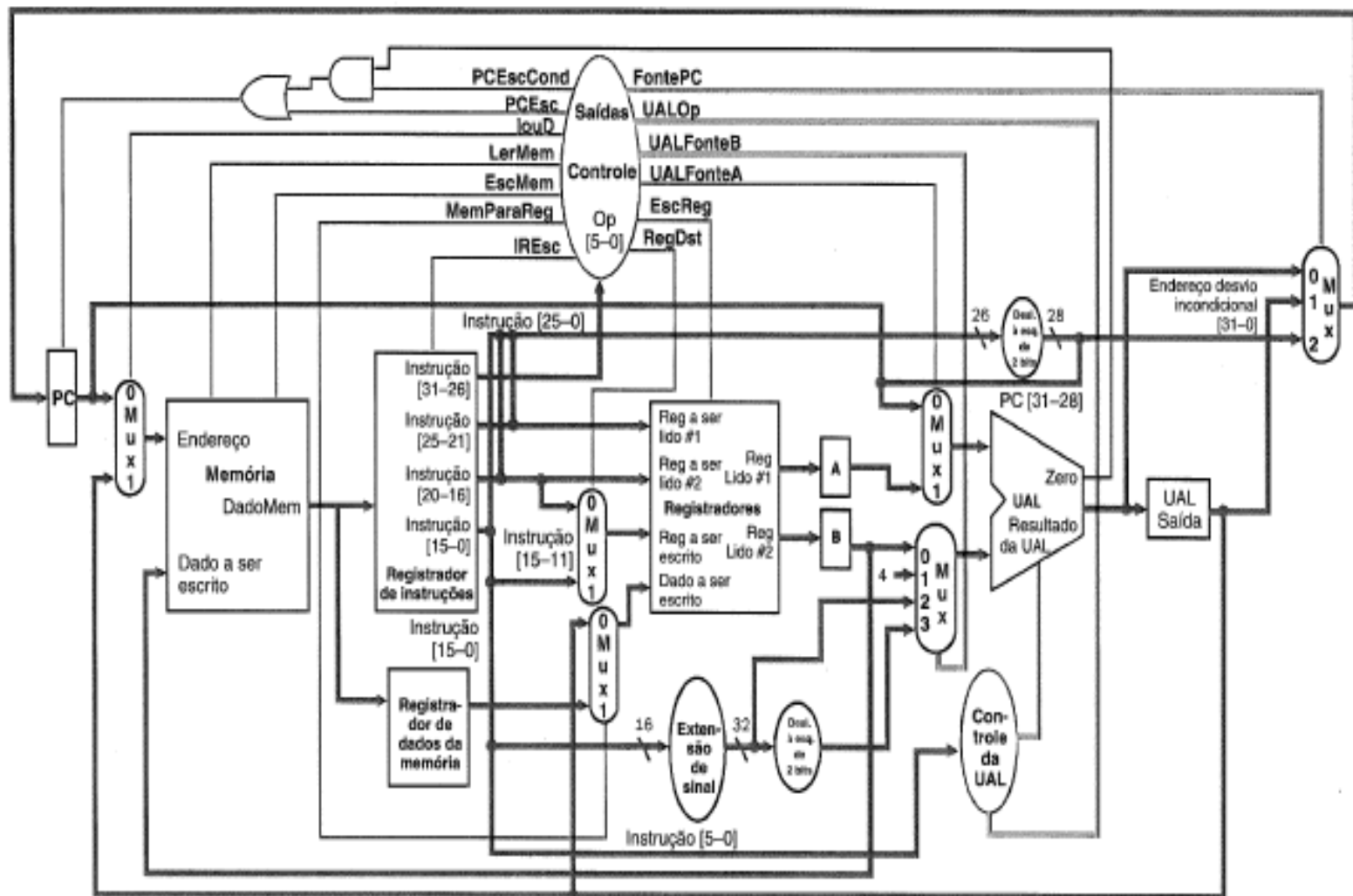
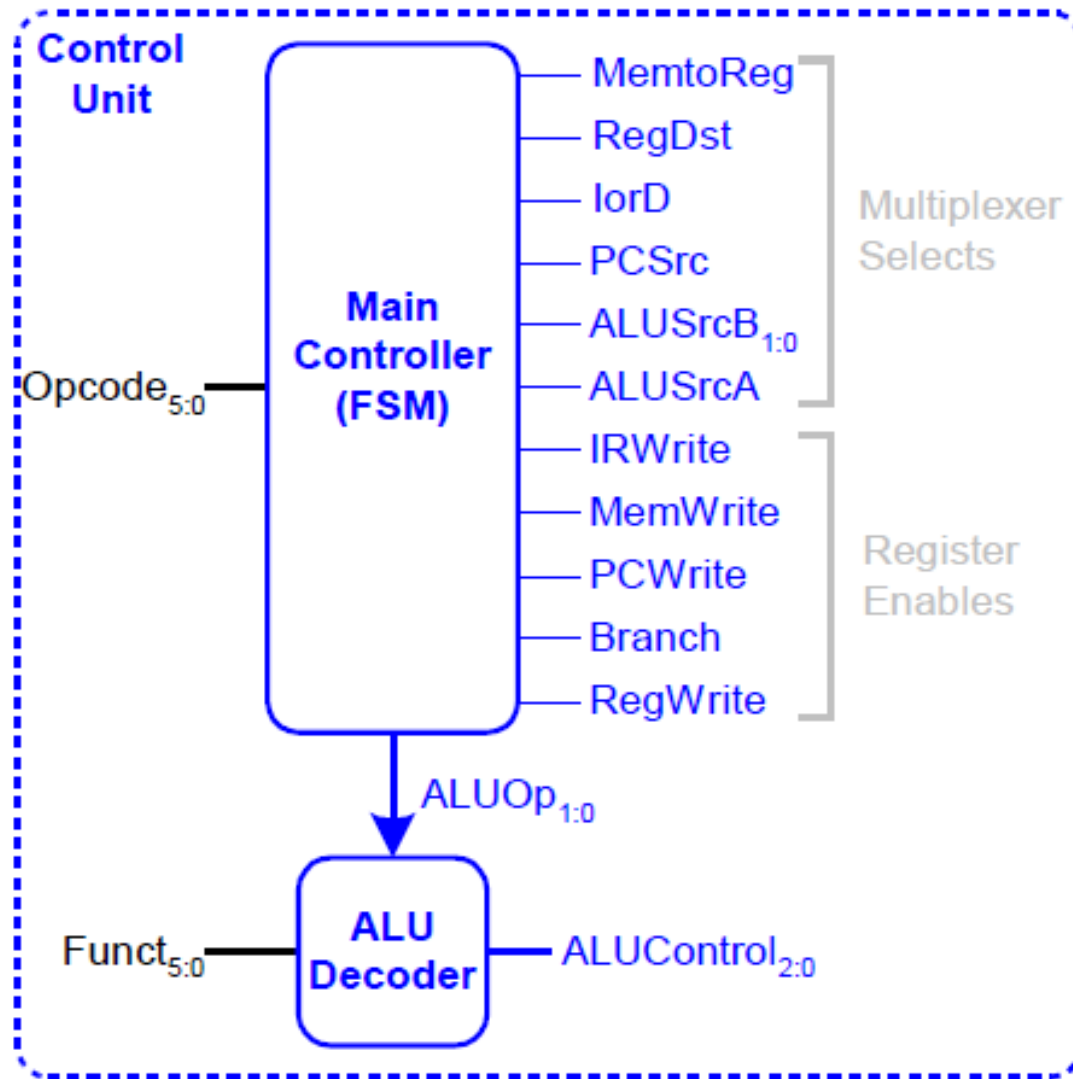


Figura 5.33 Caminho de dados completo para a implementação multiciclo junto com as linhas de controle necessárias ao seu funcionamento. As linhas de controle da Figura 5.32 foram incorporadas à unidade de controle, além de serem incluídos todos os elementos necessários ao suporte das mudanças no PC. Os principais acréscimos, comparando com o caminho de dados da Figura 5.32, foram o multiplexador utilizado para selecionar a fonte do novo valor do PC (em cima, à direita), duas portas usadas para relacionar os sinais de escrita do PC (em cima, à esquerda) e os sinais de controle FontePC, PCEsc e PCEscCond. Este último sinal passa por uma porta AND com a saída Zero da UAL, para decidir se deve ou não ser realizado um desvio condicional. O sinal resultante passa por um OR junto com o sinal de controle PCEsc para gerar o sinal de controle de escrita do PC. Além disso, a saída do IR deve ser rearrumada de maneira a mandar seus 26 bits menos significativos (o endereço do desvio incondicional) para a lógica usada para selecionar o próximo valor do PC. Estes 26 bits são deslocados 2 bits à esquerda, recebendo dois zeros em seus bits menos significativos. Estes 28 bits são então concatenados com os 4 bits de mais alta ordem do PC incrementado.

MIPS Multiciclo



MIPS Multiciclo

- Controle
 - Sinais de controle para cada passo da execução, em vários ciclos.
 - Técnicas:
 - Máquina estados finitos: Estados e transições
 - Microprogramação: Representação por um programa
 - Cada estado gasta 1 ciclo de clock

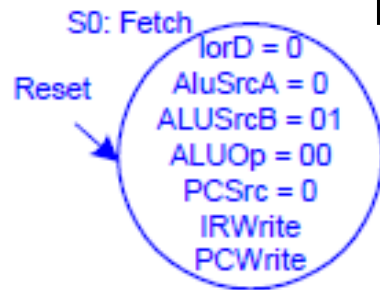
MIPS Multiciclo - Estágios

- Busca de instrução:
 - Busca instrução na MEM e incrementa PC
- Inst Dec & Reg.
 - Leituras dos regs A e B
 - Calculo do Destino do Branch
- Execution, Mem Address ou Branch Compl.
 - $ALUout = A + end_branch$, ou
 - $ALUout = A \text{ op } B$, ou
 - Se $(A=B)$ $PC = ALUout$, ou
 - $PC = PC[31-28] \parallel IR[0-25] \ll 2$
- Mem access ou R-type compl.
 - $MDR = Mem[ALUout]$,
 - $Mem[ALUout] = B$,
 - $Reg[IR[15-11]] = ALUout$
- Mem read compl.
 - $Reg[IR[20-16]] = MDR$

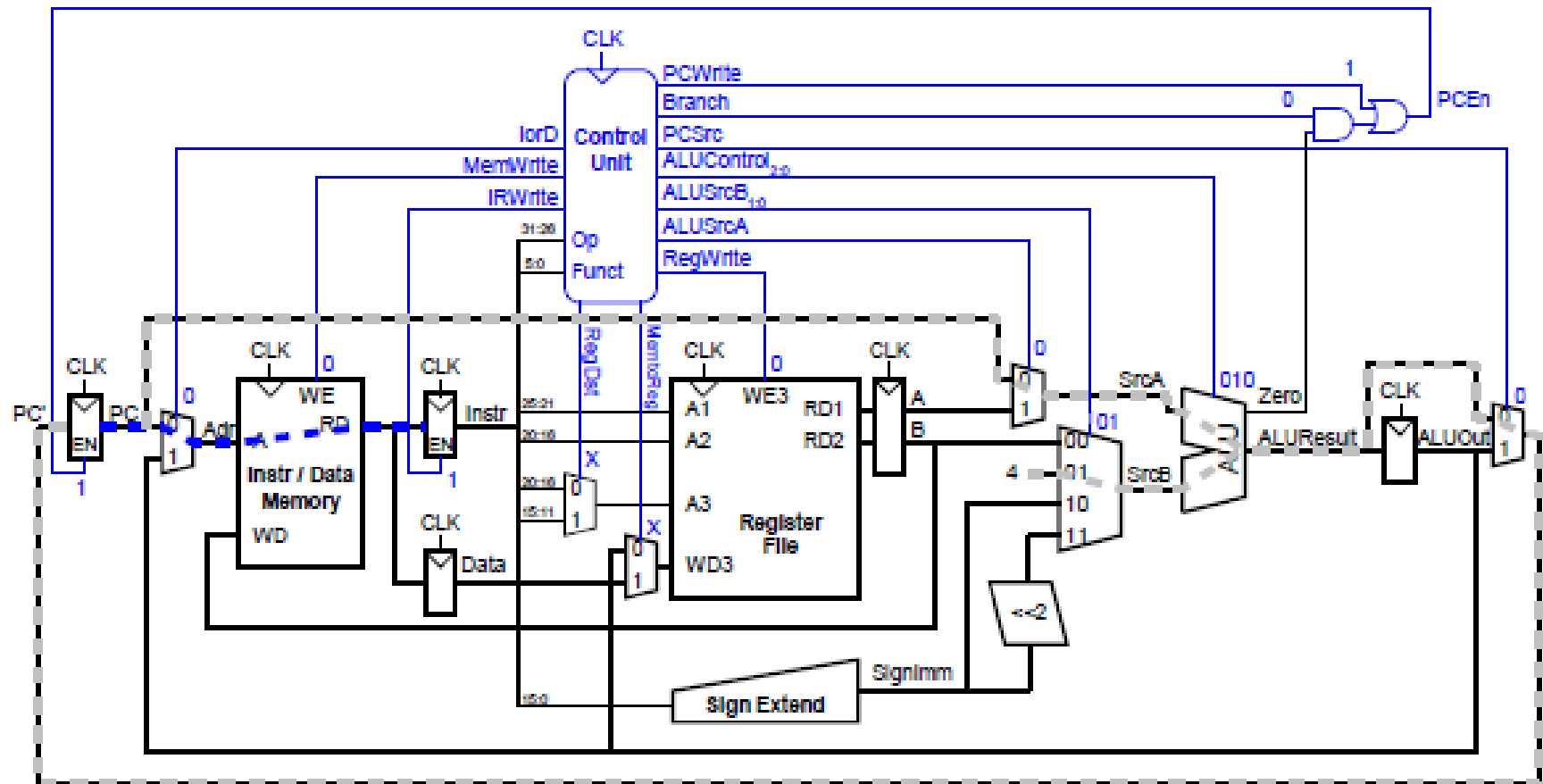
MIPS Multiciclo - Estágios

Step	Name	Description
Instruction Fetch	IF	Read an instruction from memory.
Instruction Decode	ID	Read source registers and generate control signals.
Execute	EX	Compute an R-type result or a branch outcome.
Memory	MEM	Read or write the data memory.
Writeback	WB	Store a result in the destination register.

MIPS Multiciclo - Estágios



Fetch



MIPS Multiciclo

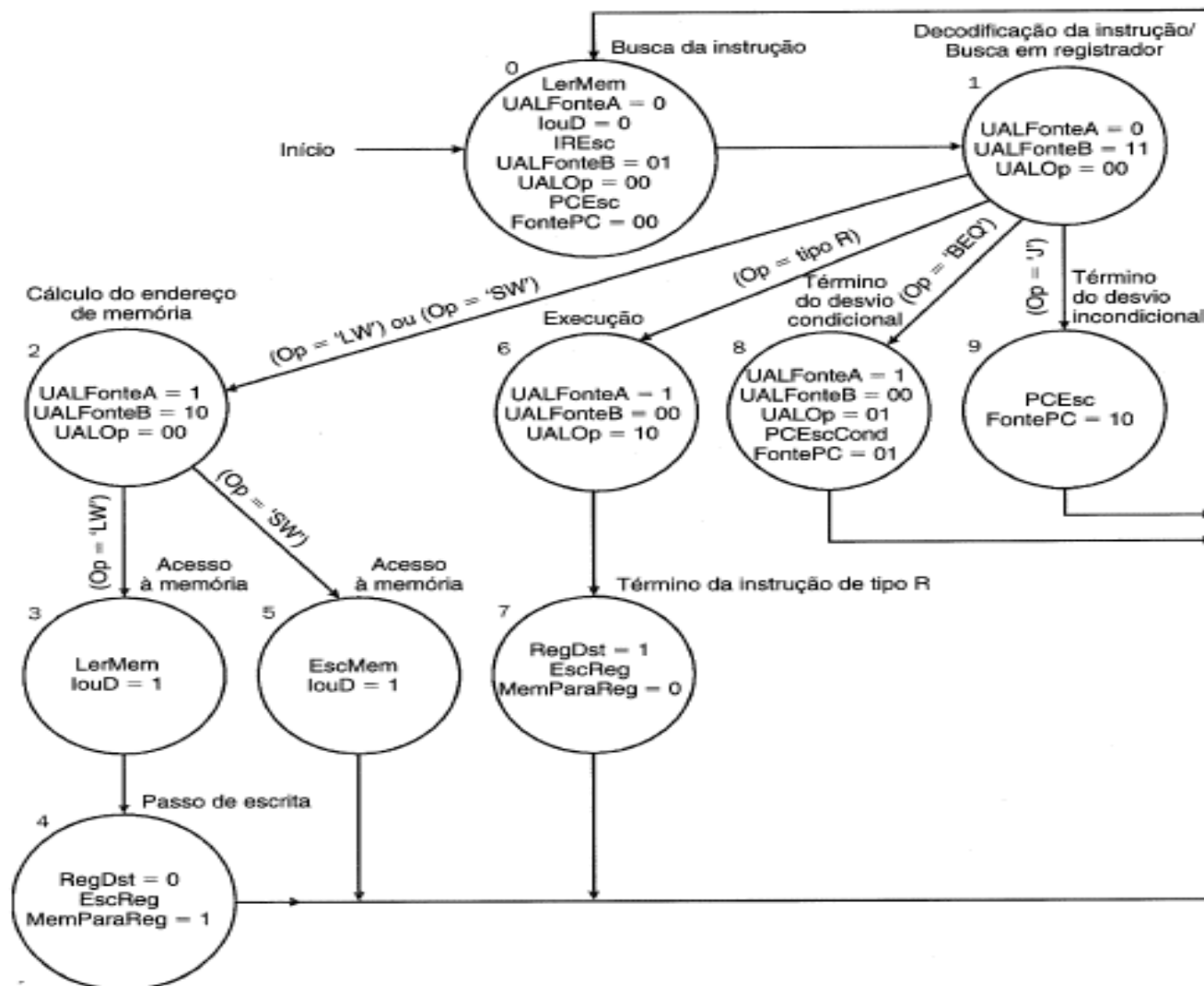


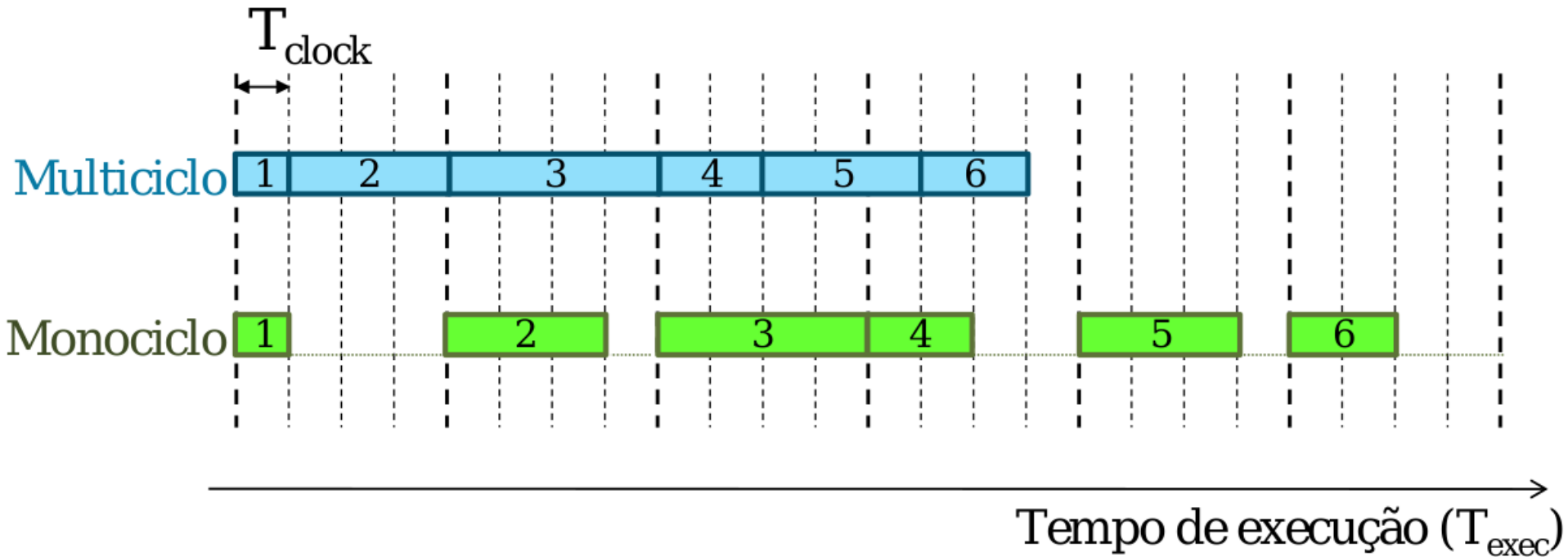
Figura 5.42 O controle completo, baseado em uma máquina de estados finitos para o caminho de dados mostrado na Figura 5.33. As identificações constantes dos arcos são condições que devem ser testadas para determinar qual dos estados é o próximo; quando a determinação do próximo estado for incondicional, não é colocada qualquer identificação. Os nomes dentro dos nós indicam os sinais de saída, ativos durante esse estado. Vamos sempre especificar os valores dos controles dos multiplexadores se a correta operação da estrutura assim determinar. Portanto, em alguns estados um determinado controle de multiplexador terá o valor 0 atribuído. No Apêndice C vamos examinar como implementar esta máquina de estados finitos a partir de equações lógicas, além de como implementar essas equações lógicas usando circuitos.

MIPS Multiciclo - Estágios

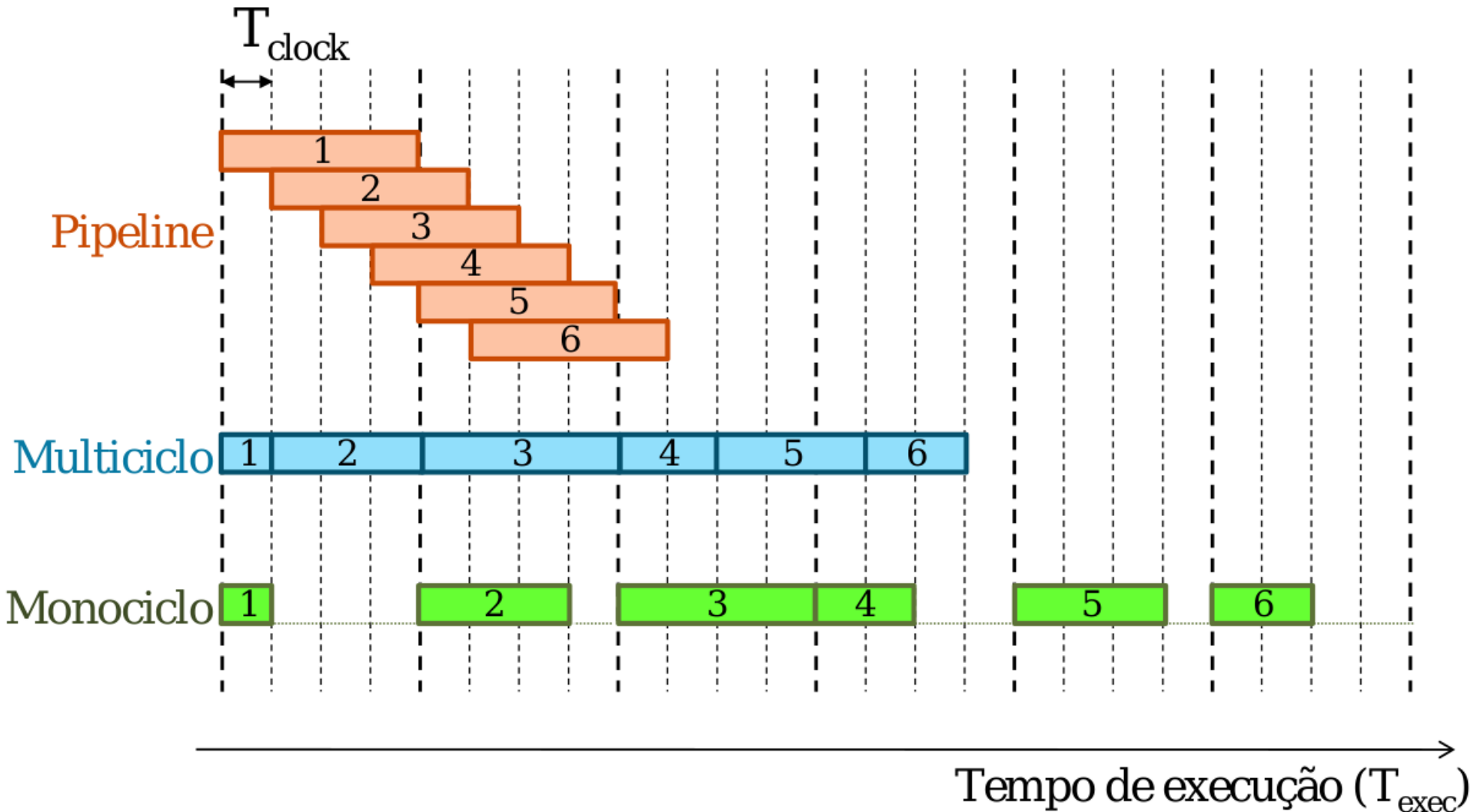
Instruction	Steps required					
beq	IF	ID	EX			
R-type	IF	ID	EX			WB
sw	IF	ID	EX	MEM		
lw	IF	ID	EX	MEM		WB

Contudo, como podemos ver, nem todas as instruções possuem 5 etapas

MIPS Multiciclo



MIPS Multiciclo



Projeto Final

Conjunto de instruções de 8bits

- Quantos registradores?
- Quais os formatos a serem suportados?
- Quais as operações a serem suportadas?
- Como será efetuado a separação de bits?

