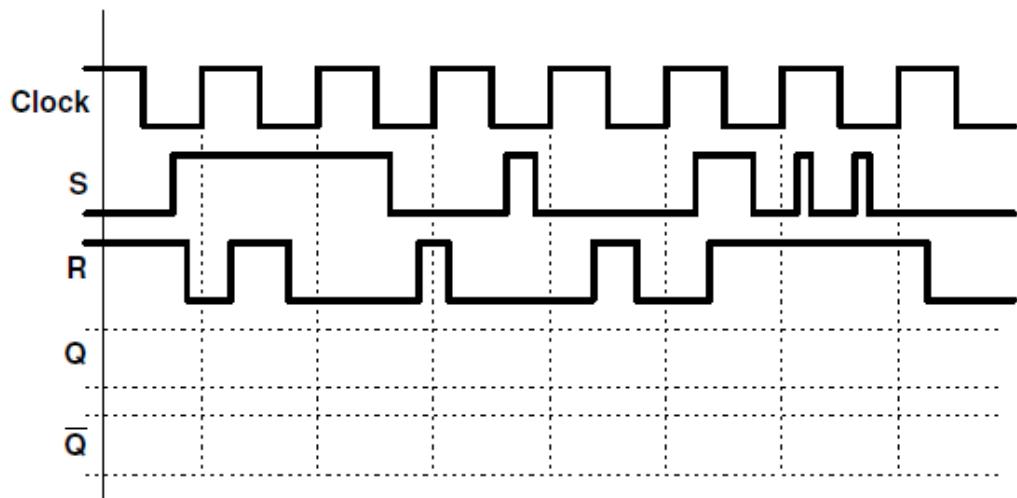


Exercícios flip-flops e pulsos digitais

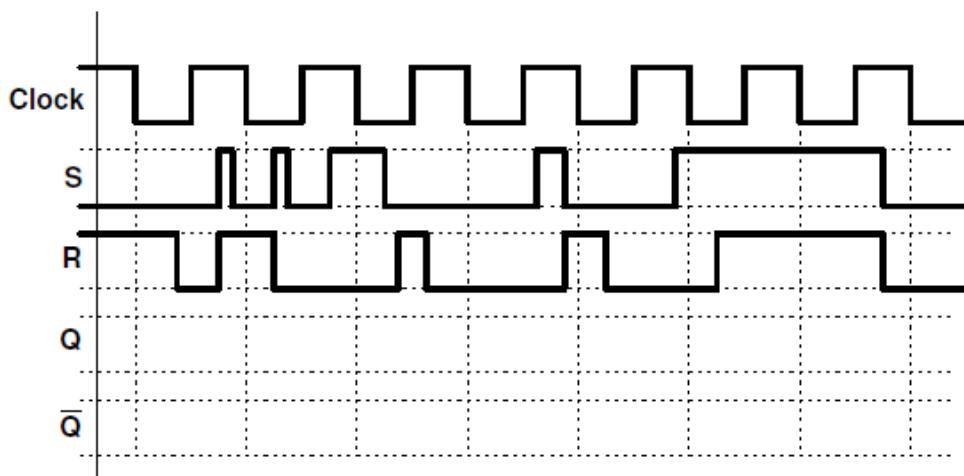
1. Considere Q=0, inicialmente e trace o diagrama de tempo das saídas Q e Q'

Flip-Flop RS Sensível às Borda de Subida



2. Considere Q=0, inicialmente e trace o diagrama de tempo das saídas Q e Q'

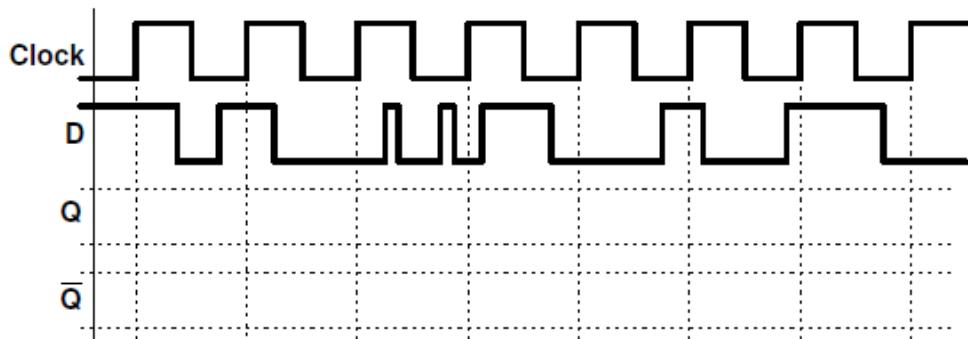
Flip-Flop RS Sensível à borda de descida:



3. Considere Q=0, inicialmente e trace o diagrama de tempo das saídas Q e Q'

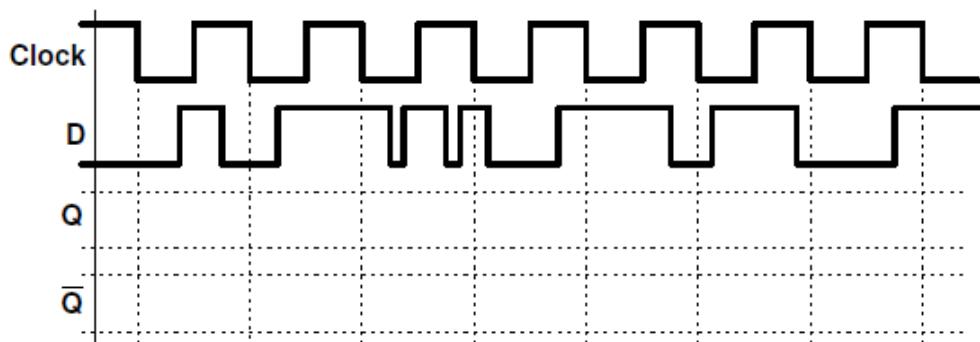
Completar as cartas de tempo dos circuitos indicados:

Flip-Flop tipo D sensível à Borda de Subida



4. Considere $Q=0$, inicialmente e trace o diagrama de tempo das saídas Q e Q'

Flip-Flop tipo D sensível à Borda de Descida

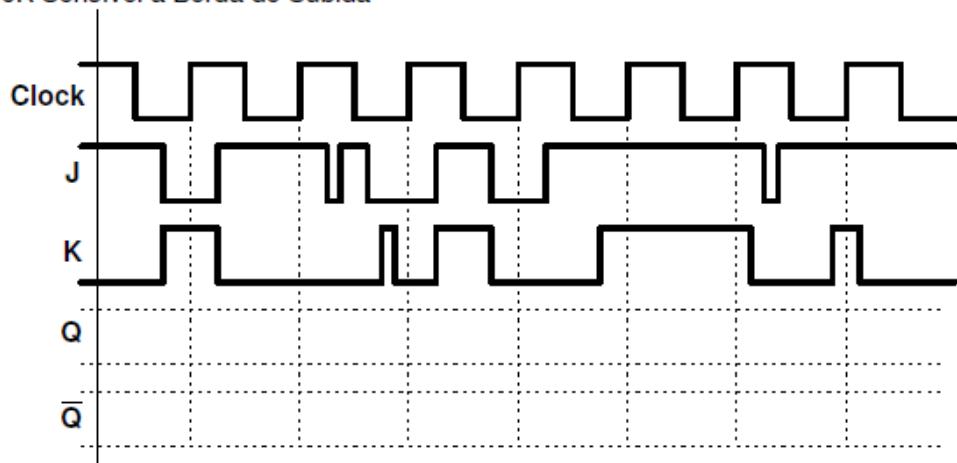


5. Considere $Q=0$, inicialmente e trace o diagrama de tempo das saídas Q e Q'

Exercícios

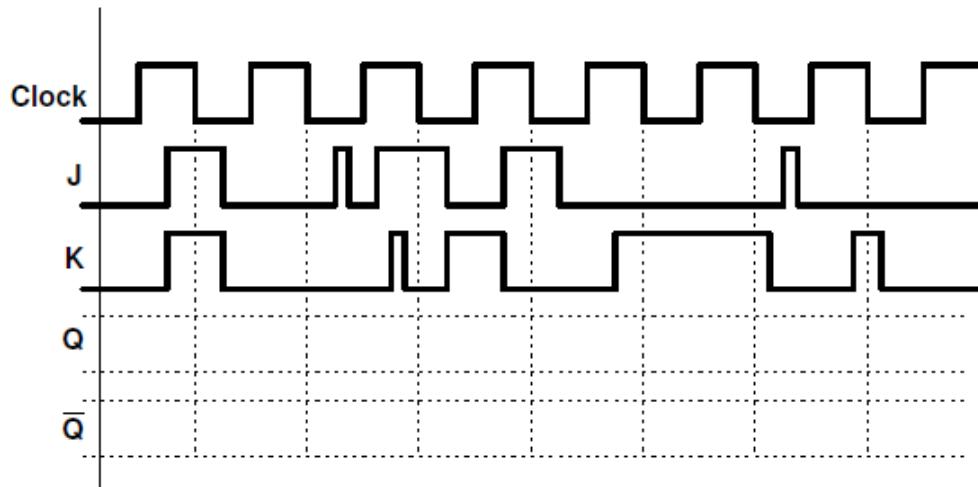
Completar as cartas de tempo dos circuitos citados a seguir:

Flip-Flop JK Sensível à Borda de Subida



6. Considere Q=0, inicialmente e trace o diagrama de tempo das saídas Q e Q'

Flip-Flop JK Sensível à Borda de Descida



7. Defina:

- a) Tempo de setup
- b) Tempo de hold
- c) TPHL
- d) TPLH
- e) TW

8. Use a tabela de temporização abaixo para determinar o seguinte:

- a) Quanto tempo pode levar a saída Q de um 74C74 para comutar de 0 para 1 em resposta a uma transição ativa do clock?
- b) Qual dos FFs da tabela necessita que suas entradas de controle permaneçam estáveis por mais tempo depois da transição do clock? E antes da transição?
- c) Qual é o pulso mais estreito que pode ser aplicado ao PRESET de um FF 7474?

	TTL		CMOS	
	7474	74LS112	74C74	74HC112
t_S (in nanoseconds)	20	20	60	25
t_H	5	0	0	0
t_{PHL} from CLK to Q	40	24	200	31
t_{PLH} from CLK to Q	25	16	200	31
t_{PHL} from CLR to Q	40	24	225	41
t_{PLH} from PRE to Q	25	16	225	41
$t_W(L)$ CLK LOW time	37	15	100	25
$t_W(H)$ CLK HIGH time	30	20	100	25
$t_W(L)$ at PRE or CLR	30	15	60	25
f_{MAX} in MHz	15	30	5	20