**Arquitetura de Computadores 2**

**Exercício Prático 02 – Prof. Romanelli**

**812839 – Vinícius Miranda de Araújo**

**1ª Parte – ULA 1 bit**

Figura 1 - Circuito de um multiplexador com uma única chave de seleção

Diagrama

Descrição gerada automaticamente

Figura 2 - Circuito de um multiplexador com duas chaves de seleção

Diagrama, Esquemático

Descrição gerada automaticamente

Figura 3 - Circuito de uma ULA de 1 bit

Diagrama, Esquemático

Descrição gerada automaticamente

**Testes – ULA 1 bit**

Figura 4 - Teste ULA 1 bit - AND( A, B )

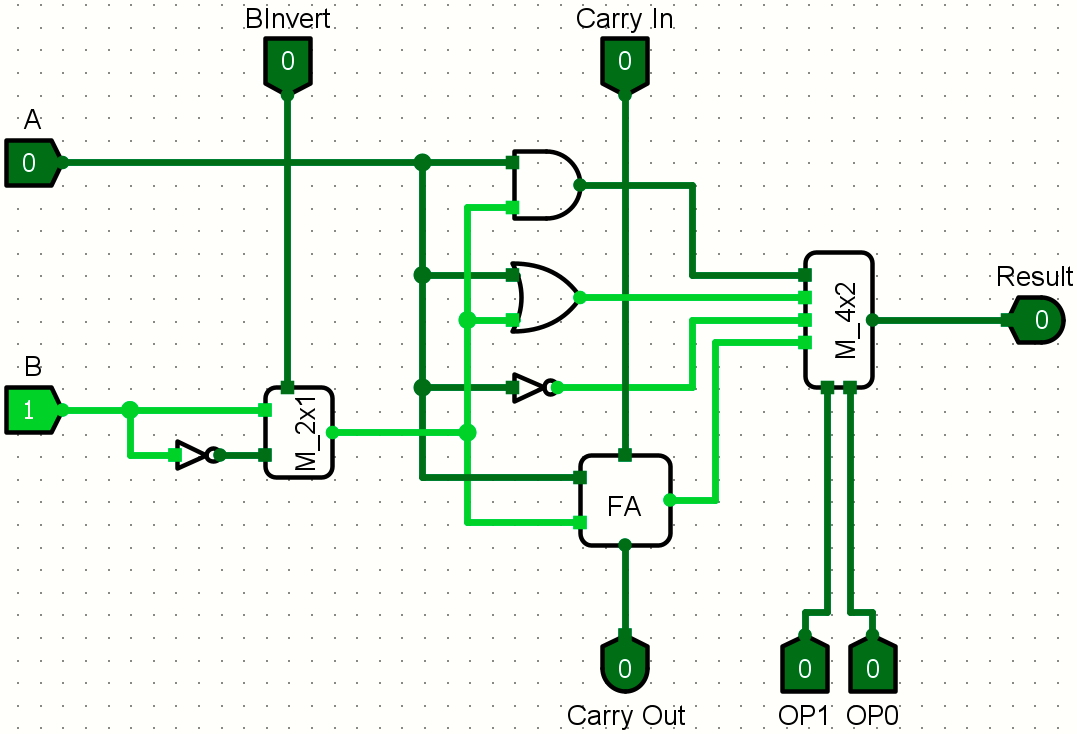


Figura 5 - Teste ULA 1 bit - OR( A, B )

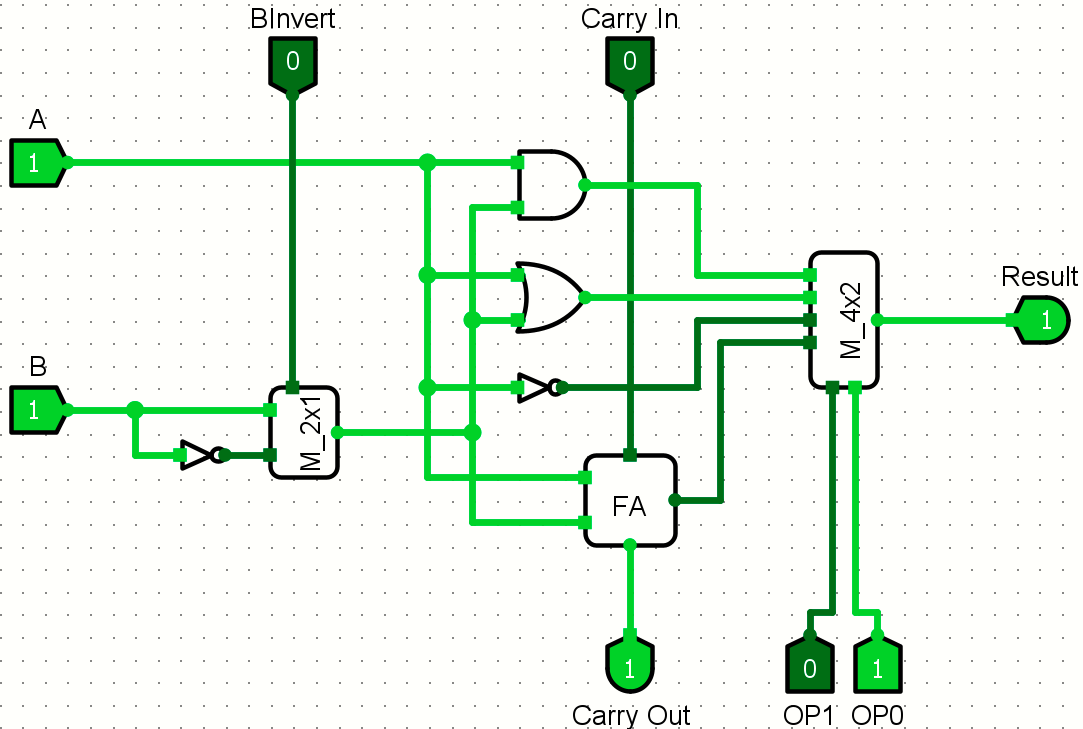


Figura 6 - Teste ULA 1 bit - SOMA( A, B )

Diagrama

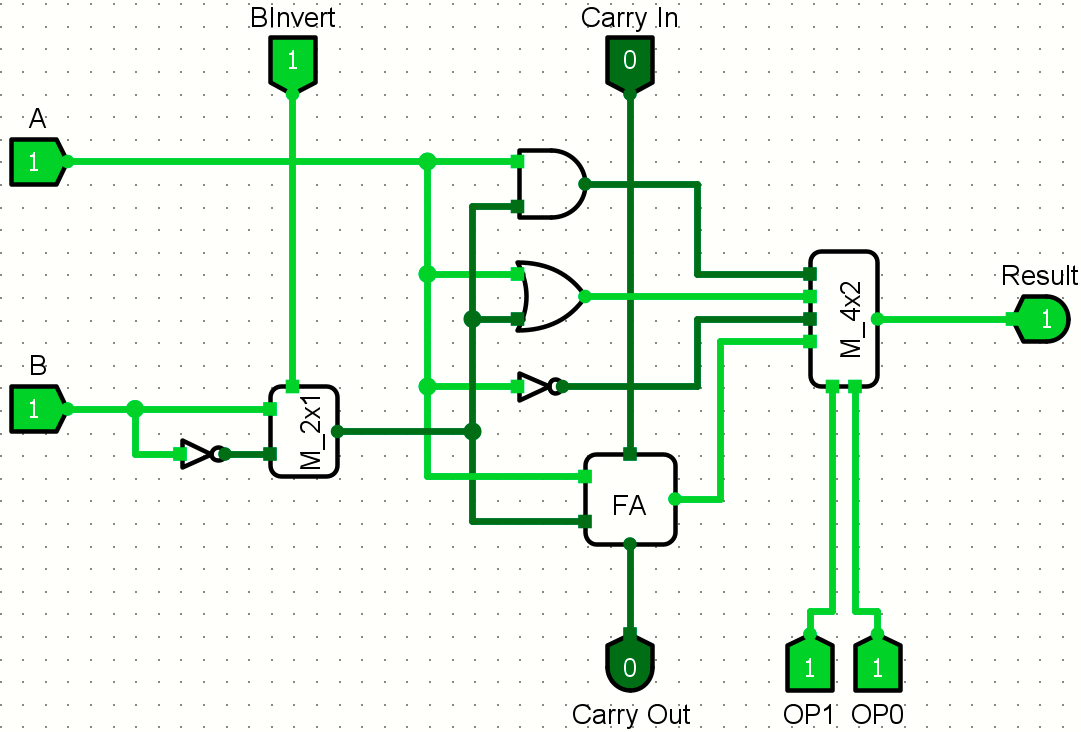
Descrição gerada automaticamente

Figura 7 - Teste ULA 1 bit - NOT( A )

Diagrama

Descrição gerada automaticamente

Figura 8 - Teste ULA 1 bit - SOMA( A, -B )



**ULA 4 bits**

Figura 9 - Circuito de uma ULA de 4 bits utilizando ULAs de 1 bit

Diagrama, Esquemático

Descrição gerada automaticamente

**Testes – ULA 4 bits**

Figura 10 - Teste ULA 4 bits - AND( A, B )

Diagrama, Esquemático

Descrição gerada automaticamente

Figura 11 - Teste ULA 4 bits - OR( A, B )

Diagrama, Esquemático

Descrição gerada automaticamente

Figura 12 - Teste ULA 4 bits - SOMA( A, B )

Diagrama, Esquemático

Descrição gerada automaticamente

Figura 13 - Teste ULA 4 bits - NOT( A )

Diagrama, Esquemático

Descrição gerada automaticamente

Figura 14 - Teste ULA 4 bits - AND( B, A )

Diagrama, Esquemático

Descrição gerada automaticamente

**Tabela – ULA 4 bits**

|  |  |  |  |
| --- | --- | --- | --- |
| **Instrução**  **Realizada** | **Binário**  **( A, B, OpCode )** | **Valor de Hexa**  **( 0x... )** | **Resultado em**  **Binário** |
| AND( A, B ) | 0010 0001 00 | (0000 1000 0100) = 0x084 | 0000 |
| OR( A, B ) | 0010 0011 01 | (0000 1000 1101) = 0x08D | 0011 |
| SOMA( A, B ) | 0010 0011 11 | (0000 1000 1111) = 0x08F | 0101 |
| NOT( A ) | 1100 0011 10 | (0011 0000 1110) = 0x30E | 0011 |
| AND( B, A ) | 1100 1101 00 | (0011 0011 0100) = 0x334 | 1100 |

**Parte 2 – ULA 74LS181**

Figura 15 – ULA - 74LS181

Diagrama, Esquemático

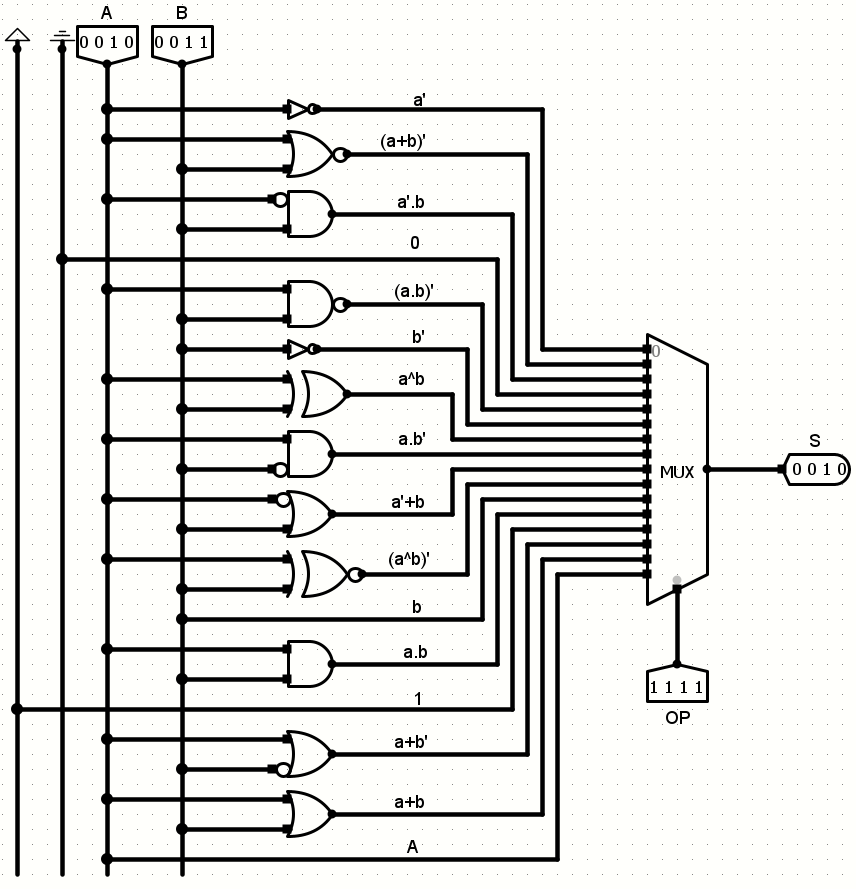
Descrição gerada automaticamente

**Tabela – ULA 74LS181**

|  |  |  |
| --- | --- | --- |
| **Instruções** | **Binário** | **Resultado da Operação** |
| 450 | 0100 0101 0000 | 1010 |
| CB1 | 1100 1011 0001 | 0111 |
| A32 | 1010 0011 0010 | 0001 |
| C43 | 1100 0100 0011 | 0000 |
| 124 | 0001 0010 0100 | 1110 |
| 785 | 0111 1000 0101 | 1000 |
| 9B6 | 1001 1011 0110 | 0010 |
| CD7 | 1100 110 10111 | 0000 |
| FE8 | 1111 1110 1000 | 0001 |
| 649 | 0110 0100 1001 | 0010 |
| D9A | 1101 1001 1010 | 1001 |
| FCB | 1111 1100 1011 | 1100 |
| 63C | 0110 0011 1100 | 1111 |
| 98D | 1001 1000 1101 | 1111 |
| 76E | 0111 0110 1110 | 0111 |
| 23F | 0010 0011 1111 | 0010 |

**Teste – ULA 74LS181**

Figura 16 - Teste ULA 74LS181 - 23F



**Pergunta:** Se o objetivo fosse realmente testar esta ULA, quantas linhas a nossa tabela verdade deveria ter, ou seja na verdade a tabela que você preencheu deveria ter quantas linhas?

**R.:** A tabela verdade deveria ter linhas, isso porque são 12 bits de entrada na ***ULA 74LS181***.

**FIM**