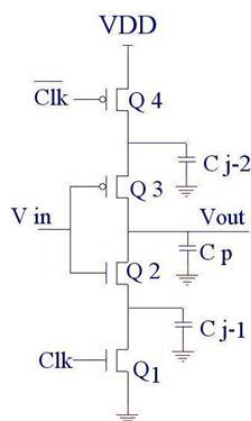


1- با فرض $tp_{LH}=12ns$, $tp_{HL}=10ns$ برای گیت NOR و تاخیر 3 نانو ثانیه برای گیت انتقال و اینورتر، زمان tp_{HL} را برای فلیپ فلاپ شکل روبرو محاسبه نمایید.

2- تابع $F = AB + BC + D$ را با منطق C^2MOS Domino پیاده سازی نمایید و در صورت لزوم اندازه های ترانزیستور ها را تعیین کنید.

3- تابع فوق را بار دیگر با منطق ترانزیستور عبور تفاضلی differential pass transistor logic پیاده سازی نمایید.



4- برای مدار C^2MOS شکل روبرو فرض کنید $C_p = 75fF$, $C_{j-1} = C_{j-2} = 25fF$ و همچنین با فرض اینکه زمانی که پالس ساعت بالا باشد، $V_{in} = '0'$ و بعد از آن زمانی که ورودی ساعت پایین باشد $V_{in} = '1'$ تغییر ولتاژ V_{out} را بدست آورید.

5- هریک از مدارات زیر از چه خانواده ای است و تابع منطقی مربوط را بدست آورید.

