
CMOS Inverter

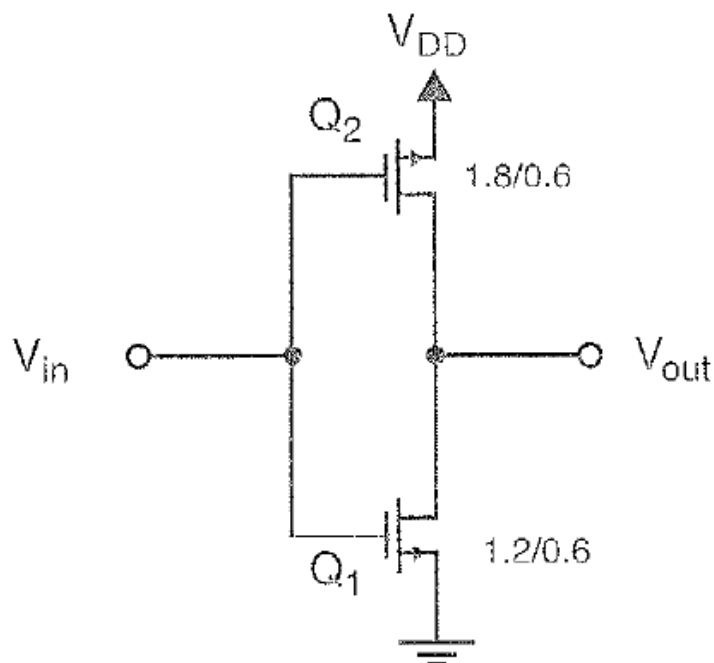
Nasser Mozayani

School of Computer Engineering

Iran University of Science and Technology

معکوس کننده CMOS

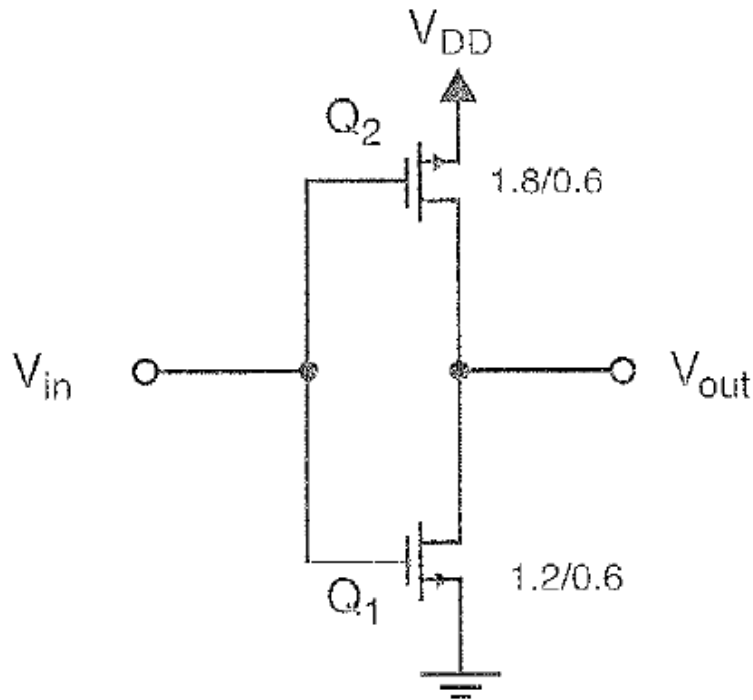
- ترانزیستور کانال p عریض تر از ترانزیستور کانال n است. البته الزامی نیست ولی تا حدودی اختلاف قابلیت تحرک ترانزیستور کانال n و کانال p را جبران می کند .
- قابلیت تحرک مؤثر ترانزیستورهای کانال n دو الی چهار برابر ترانزیستورهای کانال p است. با عریض تر کردن ترانزیستورهای کانال p به نسبتی برابر با عکس نسبت قابلیت تحرک متناظر، ولتاژ آستانه گیت نزدیک به $V_{DD}/2$ و زمانهای صعود و نزول تقریباً مساوی خواهد شد



- در نظر گرفتن عرض مساوی برای دو ترانزیستور از نظر مساحت مقرون به صرفه است و به کم کردن بار خازنی گیت های قبلی کمک می کند.
- صرف نظر از اندازه، گیت درست عمل خواهد کرد (ratioless)

ولتاژ آستانه V_{th} معکوس کننده CMOS

- در V_{th} می دانیم که هر دو ترانزیستور در ناحیه اشباع قرار دارند، چراکه در ولتاژ آستانه، V_{in} و V_{out} با هم برابرند و بنابراین ولتاژ درین - گیت هر دو ترانزیستور صفر است از آنجا که هر دو ترانزیستور از نوع افزایشی هستند، بنابراین باید در ناحیه اشباع باشند. لذا داریم:



$$I_{D-1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{th} - V_{tn})^2$$

$$I_{D-2} = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 (V_{DD} - V_{th} + V_{tp})^2$$

توجه: V_{tp} منفی است

با برابر قرار دادن معادله های بالا به رابطه زیر می رسیم:

$$V_{th} = \frac{V_{tn} + (V_{DD} + V_{tp}) \sqrt{\mu_p (W/L)_2 / \mu_n (W/L)_1}}{1 + \sqrt{\mu_p (W/L)_2 / \mu_n (W/L)_1}}$$

ولتاژ آستانه معکوس کننده CMOS

مثال: با فرض اطلاعات زیر ولتاژ آستانه معکوس کننده را بیابید.

$\mu_n = 545 \text{ cm}^2/\text{V} \cdot \text{s}$ and $\mu_p = 130 \text{ cm}^2/\text{V} \cdot \text{s}$, $V_{tn} = 0.8 \text{ V}$, $V_{tp} = -0.9 \text{ V}$, and $V_{DD} = 3.3 \text{ V}$.

$$V_{th} = \frac{0.8 + (3.3 - 0.9)\sqrt{(130/545)1.5}}{1 + \sqrt{(130/545)1.5}} = 1.40 \text{ V} \quad \text{پاسخ:}$$

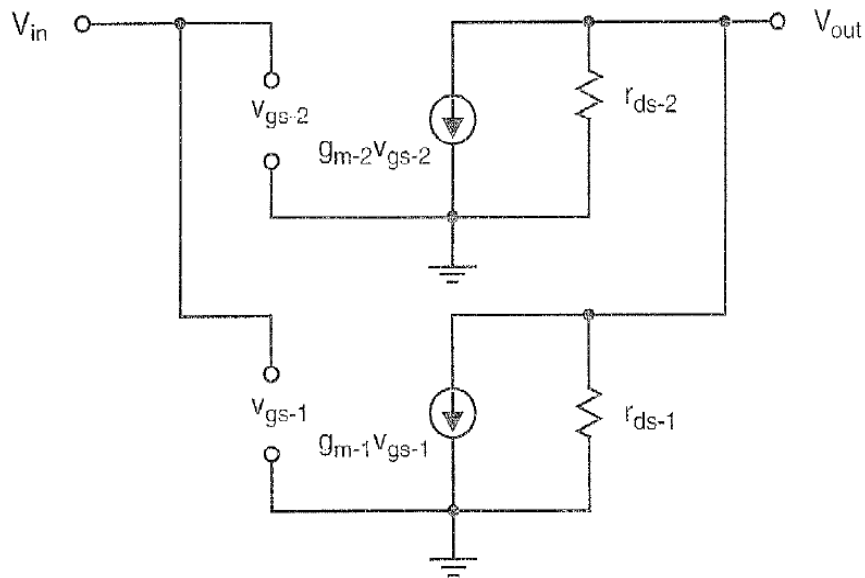
ولتاژ آستانه بدست آمده از اسپایس 1.45 V است

■ از آنجا که برای گیت های CMOS داریم $V_{OH} = 3.3\text{V}$ و $V_{OL} = 0\text{V}$ بنابراین حاشیه های نویز $N_{MH} = 1.85\text{V}$ و $N_{ML} = 1/45\text{V}$ را برای تراشه با ابعاد مورد نظر می دهد.

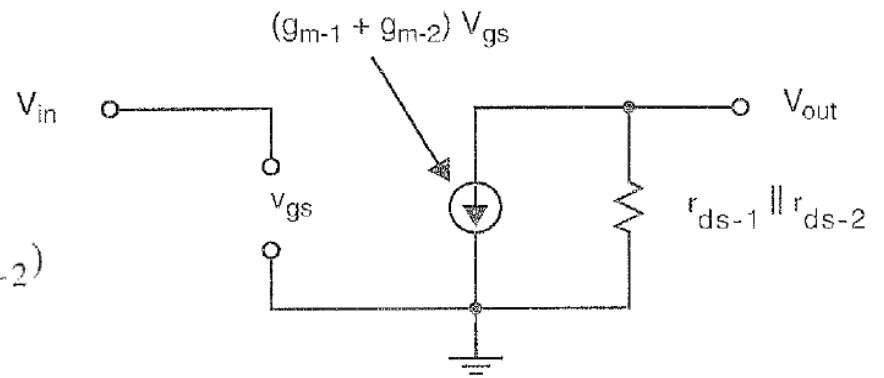
■ اگر مقدار $(W/L)_2 = (W/L)_1$ انتخاب می کردیم، به ازاء همان پارامترها $V_{th} = 1.32\text{V}$ بدست می آمد در حالی که اگر $(W/L)_2 = (\mu_n/\mu_p)(W/L)_1 = 4.2 (W/L)_1$ آنگاه $V_{th} = V_{DD}/2 = 1.65\text{V}$

بهره معکوس کننده در $V_{IN}=V_{TH}$

■ دو مدل سیگنال کوچک بصورت موازی برای ترانزیستور ها :



■ مدل ساده شده سیگنال کوچک معادل



$$\frac{v_{out}}{v_{in}} = -(g_{m-1} + g_{m-2})(r_{ds-1} \parallel r_{ds-2})$$

بهره معکوس کننده در $V_{IN}=V_{TH}$

$$\mu_n C_{ox} = 188 \mu A/V^2, \mu_p C_{ox} = 44.5 \mu A/V^2, \lambda_n = 0.06 \lambda_p = 0.07$$

■ مثال:

با استفاده از اطلاعات فوق بهره را بدست آورید:

$$I_{D-1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{th} - V_{tn})^2 = 67.7 \mu A$$

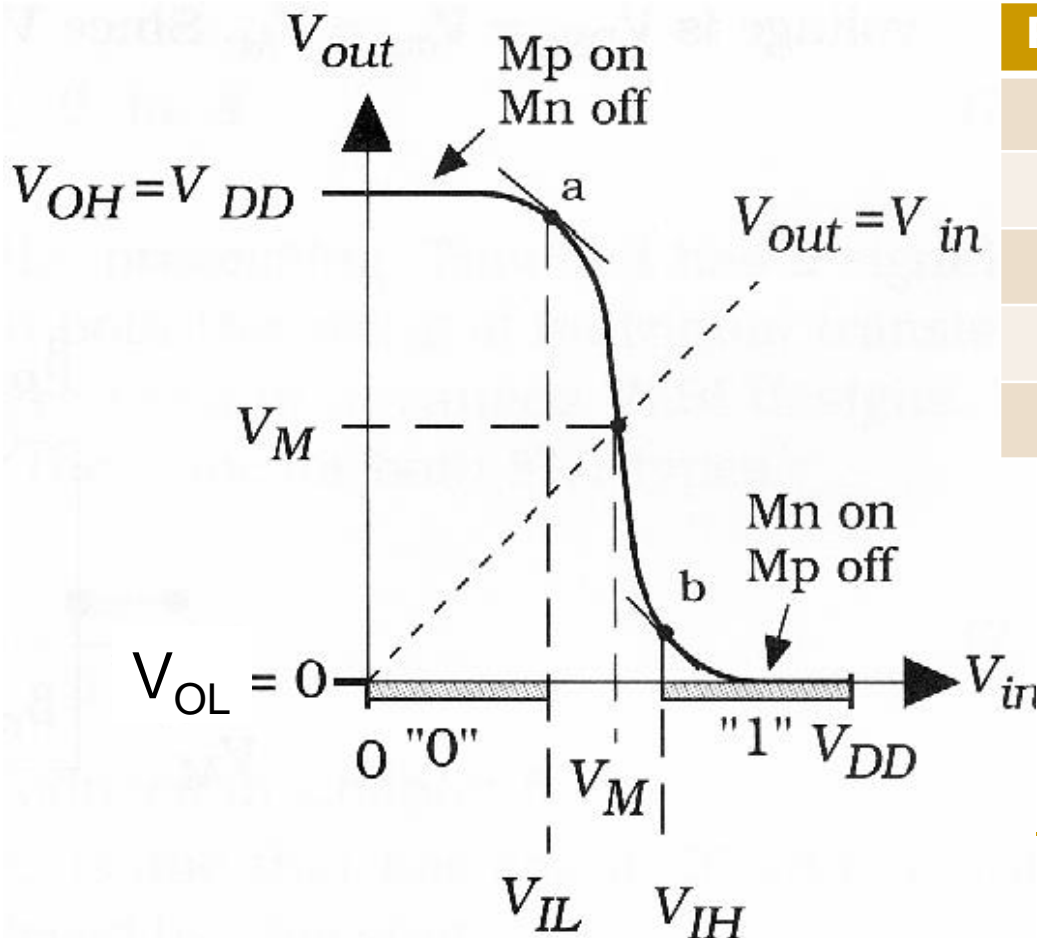
$$r_{ds-n} = \frac{1}{\lambda_n I_{D1}} = 246 \text{ k}\Omega \quad r_{ds-p} = \frac{1}{\lambda_p I_{D1}} = 211 \text{ k}\Omega$$

$$g_{m-1} = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L} \right)_1 I_{D1}} \quad g_{m-1} = 226 \mu A/V \quad g_{m2} = 134 \mu A/V$$

با استفاده از رابطه قبل بدست می آید: $A_v = V_o/V_i = -40.1$

Inverter Voltage Transfer Characteristics

■ تعیین ناحیه کاری ترانزیستورها در نقاط بحرانی



نقطه بحرانی	وضعیت NMOS	وضعیت PMOS
V_{OH}	قطع	خطی
V_{IL}	اشباع	خطی
V_{TH}	اشباع	اشباع
V_{IH}	خطی	اشباع
V_{OL}	خطی	قطع

پاسخ گذرا

- پاسخ گذرا برای زمان های صعود و نزول تقریباً مشابه زمان نزول معکوس کننده NMOS است در مورد زمان نزول، ترانزیستور کانال p خاموش است و می توان از آن صرف نظر نمود و ترانزیستور کانال n را با استفاده از یک مقاومت معادل زیر تقریب زد:

$$R_{eq-1} = \frac{2.5}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})}$$

مشابه در زمان صعود، ترانزیستور کانال p را می توان بصورت زیر تقریب زد:

$$R_{eq-2} = \frac{2.5}{\mu_p C_{ox} (W/L)_2 (V_{DD} + V_{tp})}$$

اکنون با استفاده از این تقریب ها و با کمک روش مدار RC مرتبه اول زمان های صعود و نزول را می توان بصورت زیر تخمین زد:

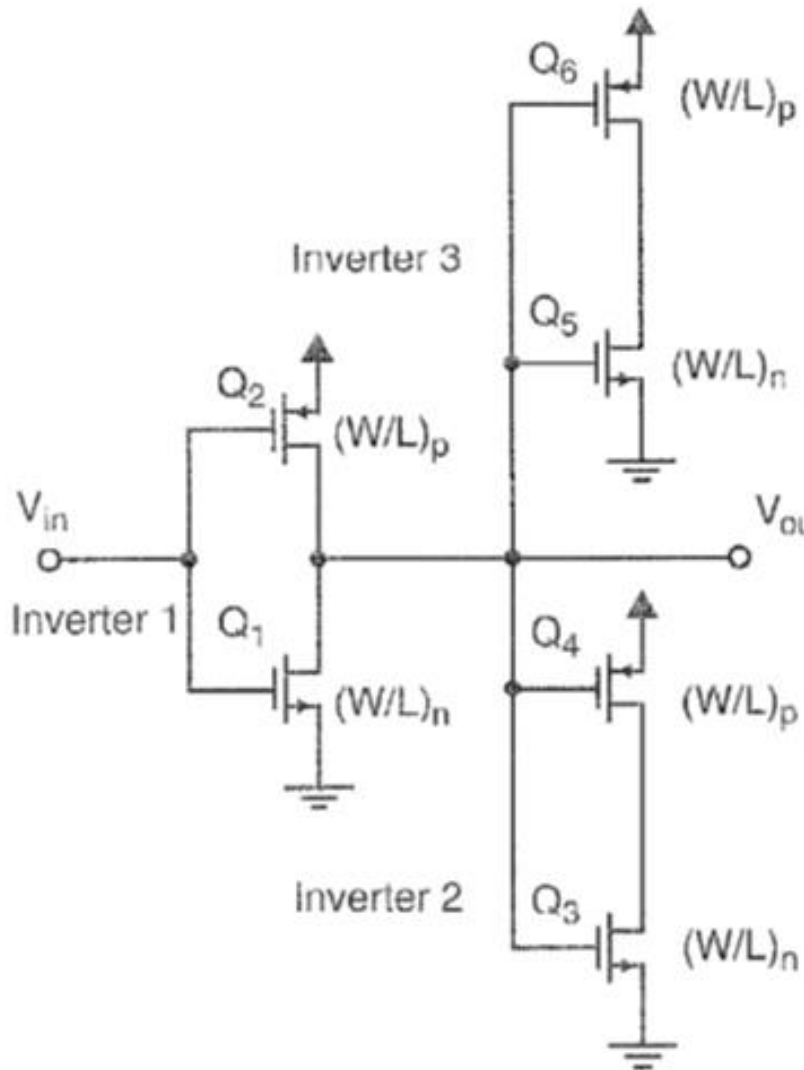
$$t_f \equiv R_{eq-1} C_L \ln \left[\frac{V_{out}(\infty) - V_{out}(t_1)}{V_{out}(\infty) - V_{out}(t_2)} \right]$$

$$t_{-70\%} \cong 1.2 R_{eq-1} C_L \quad t_{+70\%} \cong 1.2 R_{eq-2} C_L$$

تأثیر اندازه های ترانزیستور در پاسخ های گذرا

- همانگونه که ذکر شد در منطق NMOS انتخاب صحیح اندازه ترانزیستورها برای عملکرد گیت ها ضروری است در صورتی که برای CMOS مرسوم ضروری نیست
- هرچند این نسبت روی ولتاژ آستانه و مهمتر از آن بر پاسخ گذرای گیت تأثیر می گذارد
- نسبت بهینه دقیقی که بتوان بطور مستقل از کاربرد مدار مشخص نمود وجود ندارد. با این وجود، دو وضعیت وجود دارد که می توان در مورد W/L های نسبی آنها صحبت کرد:
حالت اول زمانی است که یک گیت منفرد تعدادی از گیت های مشابه را تحریک می کند.

تأثیر اندازه های ترانزیستور در پاسخ های گذرا

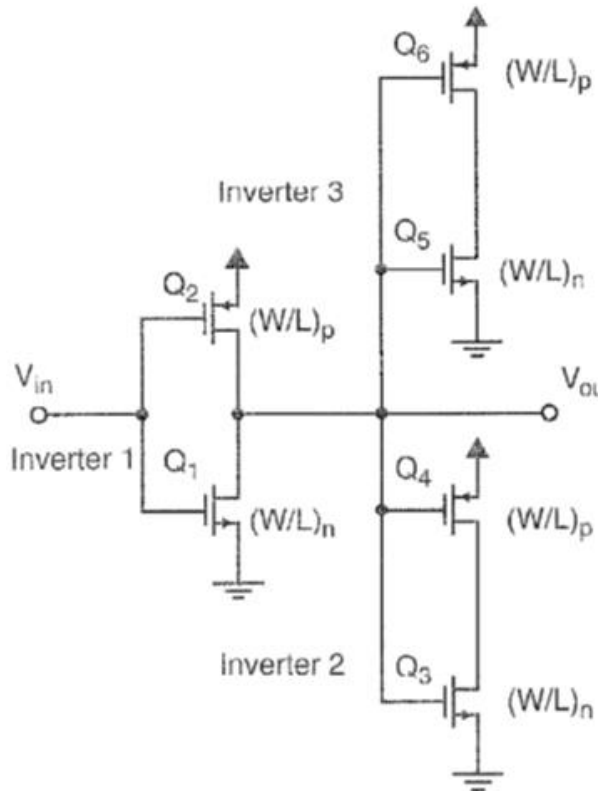


در شکل روبرو یک معکوس کننده CMOS بوسیله خازن های ورودی دو معکوس کننده یکسان بارگذاری شده است

فرض کنید ترانزیستور های کانال n دارای نسبت W/L یکسان و ترانزیستور های کانال p نیز دارای نسبت W/L یکسان هستند اما این نسبت می تواند متفاوت از نسبت ترانزیستور های کانال n باشد.

زمانی که پاسخ گذرای اولین معکوس کننده را در نظر می گیریم ابتدا ضروری است که خازن بار را تقریب بزنیم

تأثیر اندازه های ترانزیستور در پاسخ های گذرا



■ دو مؤلفه برای این بار وجود دارد:

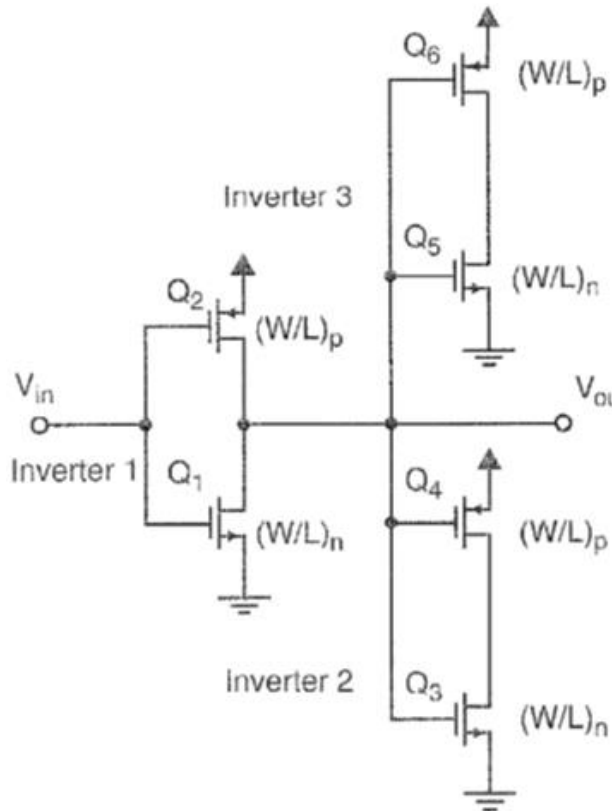
مؤلفه اول خازن اتصال درین های Q_2 و Q_1 است
این خازن ها با فرض اینکه این دو ترانزیستور خیلی بزرگ نیستند
شدیداً با عرض Q_2 و Q_1 متناسب است

و مؤلفه دوم خازنهای معکوس کننده های ۲ و ۳ می باشد
خازن های ورودی این دو معکوس کننده اساساً از خازن های گیت
دو ترانزیستور کانال n و دو ترانزیستور کانال p تشکیل شده اند
تعیین دقیق این خازن ها یک مسئله بسیار مشکل غیر خطی است
ولی زمانی که یک ترانزیستور در ناحیه شدیداً خطی باشد،
خازن گیت- کانال آن تقریباً به صورت زیر محاسبه می شود:

$$C_{gs} = WLC_{ox}$$

با فرض اینکه ترانزیستورهای کانال n و p طول های برابری دارند : $C_L = 2C_{ox}L(W_n + W_p)$

تأثیر اندازه های ترانزیستور در پاسخ های گذرا



با افزایش عرض ترانزیستورها، بارهای خازنی بطور متناسب افزایش می یابد اما مقاومت های معادل بطور معکوس کاهش می یابند و ثابت های زمان صعود و نزول تقریباً بدون تغییر باقی خواهد ماند. این مسئله در مورد عرض های خیلی کوچکی که در آن خازن های اتصال دیواره های کناری اهمیت بیشتری پیدا خواهند کرد و تأخیر های بزرگتری ایجاد می کند صادق نیست

$$t_{AV} = 1.2C_L \frac{R_{eq-1} + R_{eq-2}}{2}$$

$$t_{AV} = 1.2 \times 2C_{ox}L(W_n + W_p) \frac{1}{2} \left[\frac{2.5}{\mu_n C_{ox} \frac{W_n}{L} (V_{DD} - V_{tn})} + \frac{2.5}{\mu_p C_{ox} \frac{W_p}{L} (V_{DD} - V_{tp})} \right]$$

$$t_{AV} = \frac{3L^2}{(V_{DD} - V_{tn})\mu_n} \left(1 + \frac{W_p}{W_n} \right) \left(1 + \frac{\mu_n W_n}{\mu_p W_p} \right)$$

با فرض $V_{DD} - V_{tn} = V_{DD} + V_{tp}$ داریم

بهترین مقدار اندازه ترانزیستور چقدر است؟

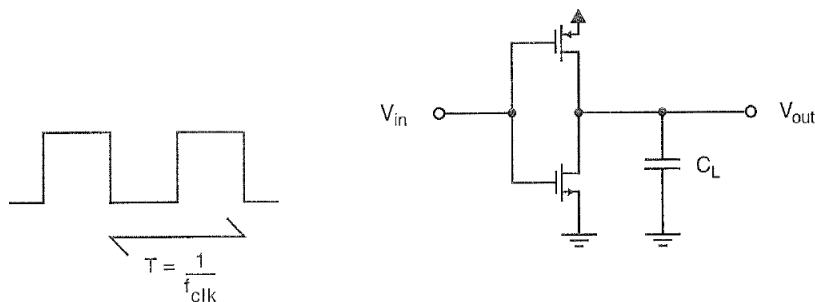
- نسبت W_p/W_n بهینه برای به حداقل رساندن متوسط زمانهای صعود و نزول می تواند با مشتق گیری از رابطه قبل نسبت به W_p/W_n بدست آید:

$$\frac{\partial t_{AV}}{\partial (W_p/W_n)} = \frac{3L^2}{(V_{DD} - V_{tn})\mu_n} \left[1 - \frac{\mu_n}{\mu_p} \left(\frac{W_n}{W_p} \right)^2 \right]$$

$$\left(\frac{W_p}{W_n} \right)_{opt} = \sqrt{\frac{\mu_n}{\mu_p}}$$

- به عنوان مثال اگر داشته باشیم $u_n/u_p = 2.5$ نسبت بهینه برای W_p/W_n برابر ۱.۵۸ است. این دلیلی است برای عبارتی که در بخش معکوس کننده CMOS بیان نمودیم که نسبت W_p/W_n برابر ۱.۵ همیشه یک انتخاب منطقی است
- با وجودی که در شرایط فوق یک نقطه بهینه وجود دارد، اما با در نظر گرفتن $W_p/W_n = 1$ افزایش بسیار کوچکی حدود ۰.۵٪ ایجاد خواهد شد و در مساحت تراشه صرف جویی خواهد شد. اغلب این انتخاب مورد استفاده قرار می گیرد به جز در طراحی های بسیار بحرانی

اتلاف توان



■ منطق CMOS هیچ اتلاف توان dc ندارد

■ وقتی خروجی از صفر به یک تغییر می کند خازن بار بوسیله ترانزیستور کانال p از صفر ولت به V_{DD} شارژ می شود. انرژی تلف شده در ترانزیستور کانال p :

$$E_n = \frac{C_L V_{DD}^2}{2}$$

■ به طور مشابه، انرژی تلف شده در ترانزیستور کانال n زمانی که خروجی معکوس کننده از یک به صفر تغییر می کند:

$$E_p = \frac{C_L V_{DD}^2}{2}$$

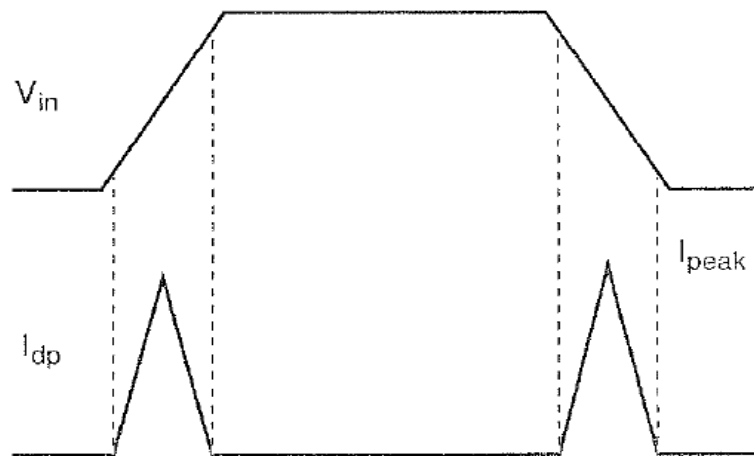
■ از آنجا که در هر دوره تناوب ورودی (T) خروجی از صفر به یک و برعکس به صفر تغییر می کند، انرژی کل تلف شده در هر دوره تناوب :

$$E_T = C_L V_{DD}^2$$

■ متوسط توان تلف شده در یک تناوب برابر انرژی کل تلف شده تقسیم بر T است:

$$P_{\text{dyn-avg}} = \frac{C_L V_{DD}^2}{T} = C_L V_{DD}^2 f_{\text{clk}}$$

اتلاف توان



■ مقداری جریان dc از ترانزیستورهای n و p بطور همزمان عبور می کند. این جریان معمولاً جریان مسیر مستقیم Direct-Path Current نامیده می شود

■ این توان مصرفی اضافی همیشه کمتر از ۲۰٪ اتلاف ناشی از شارژ و دشارژ خازن های پارازیتی است، اما می تواند میزان قابل توجهی باشد، بویژه اگر ورودی به کندی تغییر کند

$$I_{\text{peak}} = \frac{\mu_n C_{\text{ox}} \left(\frac{W}{L}\right)_1}{2} (V_{\text{th}} - V_{\text{tn}})^2$$

$$E_{\text{dp}} = V_{\text{DD}} \left(\frac{I_{\text{peak}} t_r}{2} + \frac{I_{\text{peak}} t_f}{2} \right) = V_{\text{DD}} I_{\text{peak}} \left(\frac{t_r + t_f}{2} \right)$$

$$P_{\text{dp-avg}} = \frac{1}{T} V_{\text{DD}} I_{\text{peak}} \left(\frac{t_r + t_f}{2} \right) = V_{\text{DD}} I_{\text{peak}} \left(\frac{t_r + t_f}{2} \right) f_{\text{clk}}$$

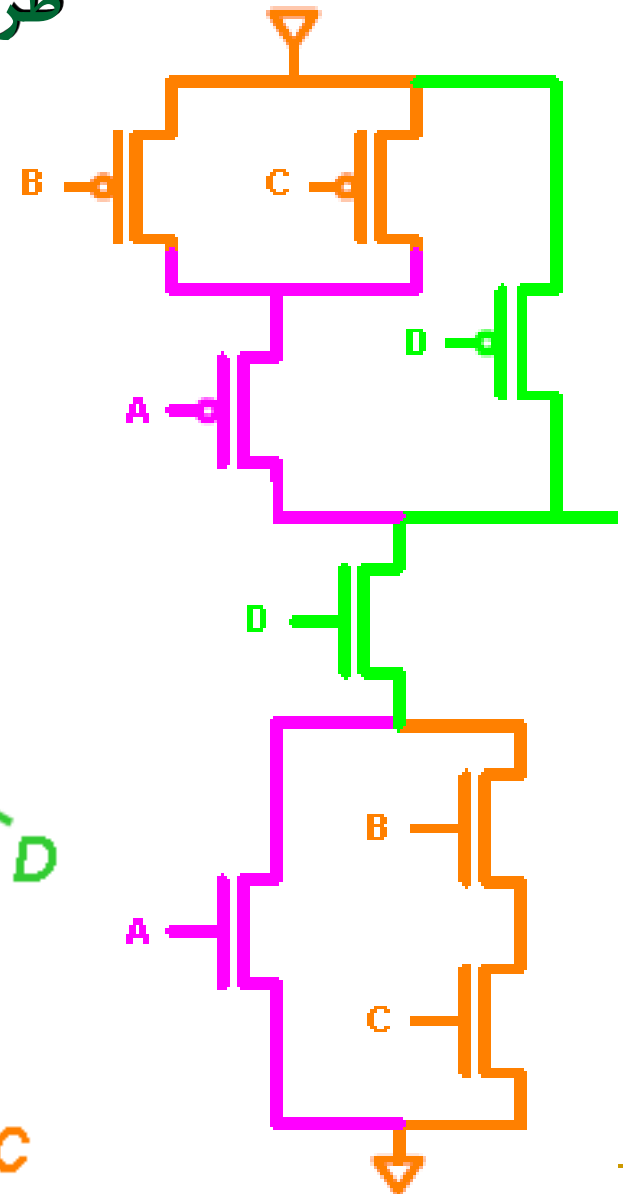
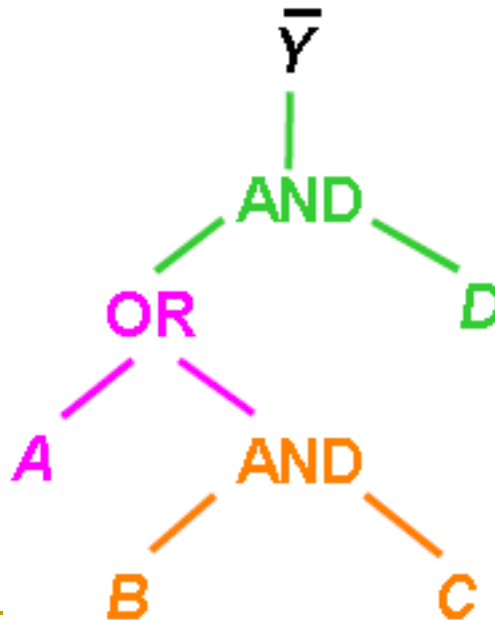
طراحی گیت های CMOS

Decompose f in tree form
Realize tree branches
according to table below
Use inverted inputs if necessary

	PDN	PUN
AND	Series	Parallel
OR	Parallel	Series

$$\bar{Y} = (A + (BC))D$$

ابتدا ایجاد یک مدار تحریک
کانال n، سپس شبکه بار به
عنوان شبکه مکمل کانال p
ایجاد می شود

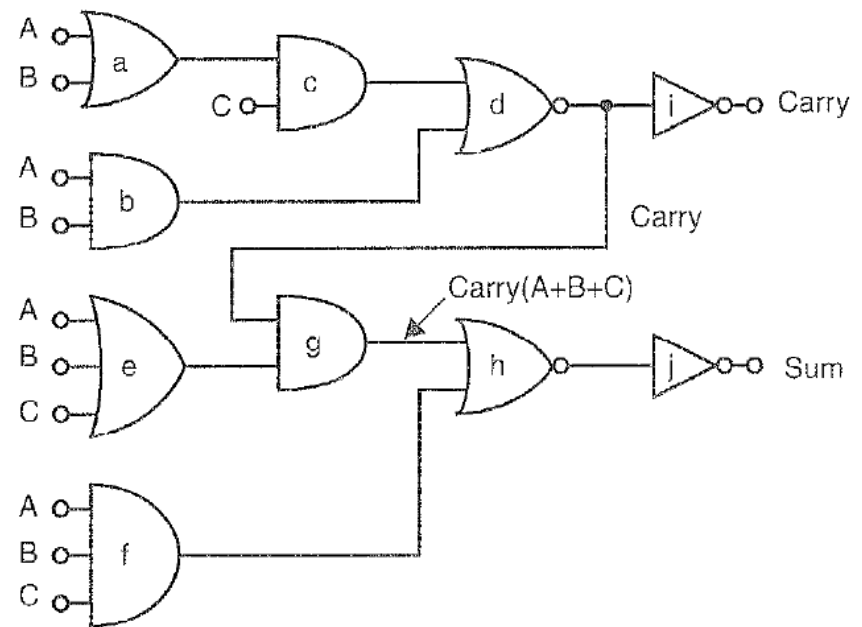


طراحی گیت های CMOS

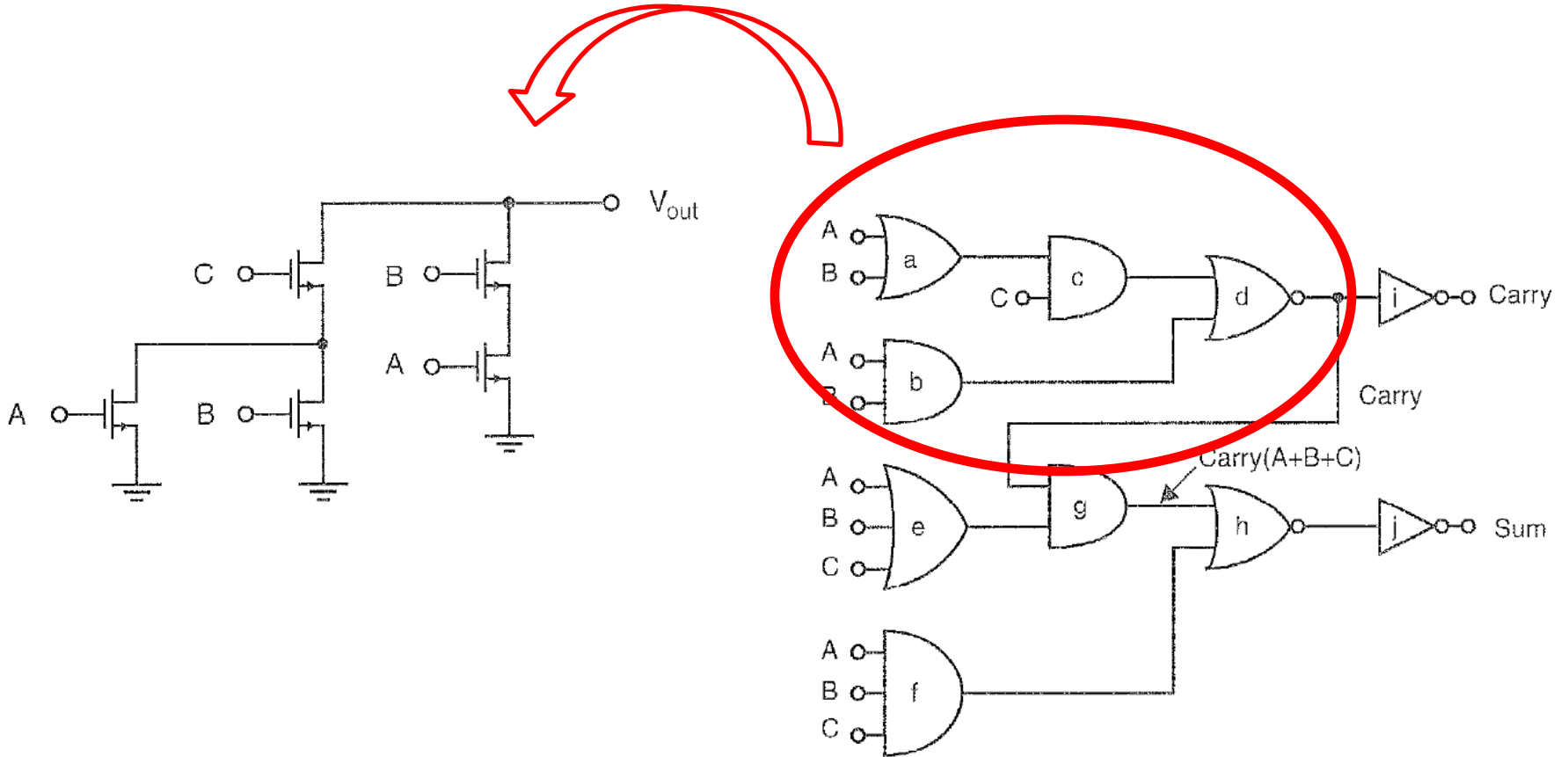
مثالی از منطق CMOS نسبتاً پیچیده، مدار یک تمام جمع کننده است

$$\text{Sum} = A \oplus B \oplus C = ABC + A\bar{B}\bar{C} + \bar{A}BC + \bar{A}\bar{B}C$$

$$\text{Carry} = AB + AC + BC = AB + C(A + B)$$

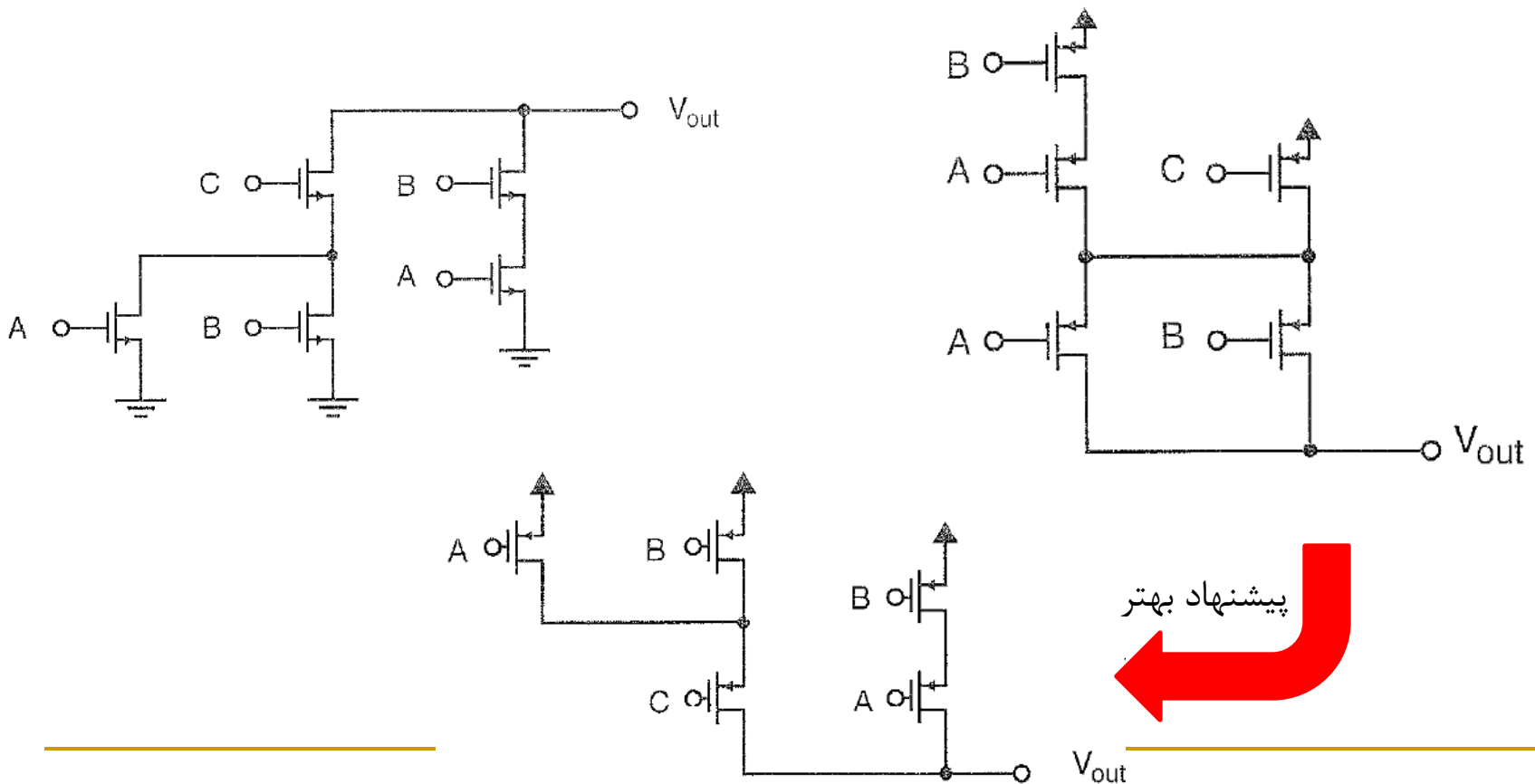


طراحی گیت های CMOS



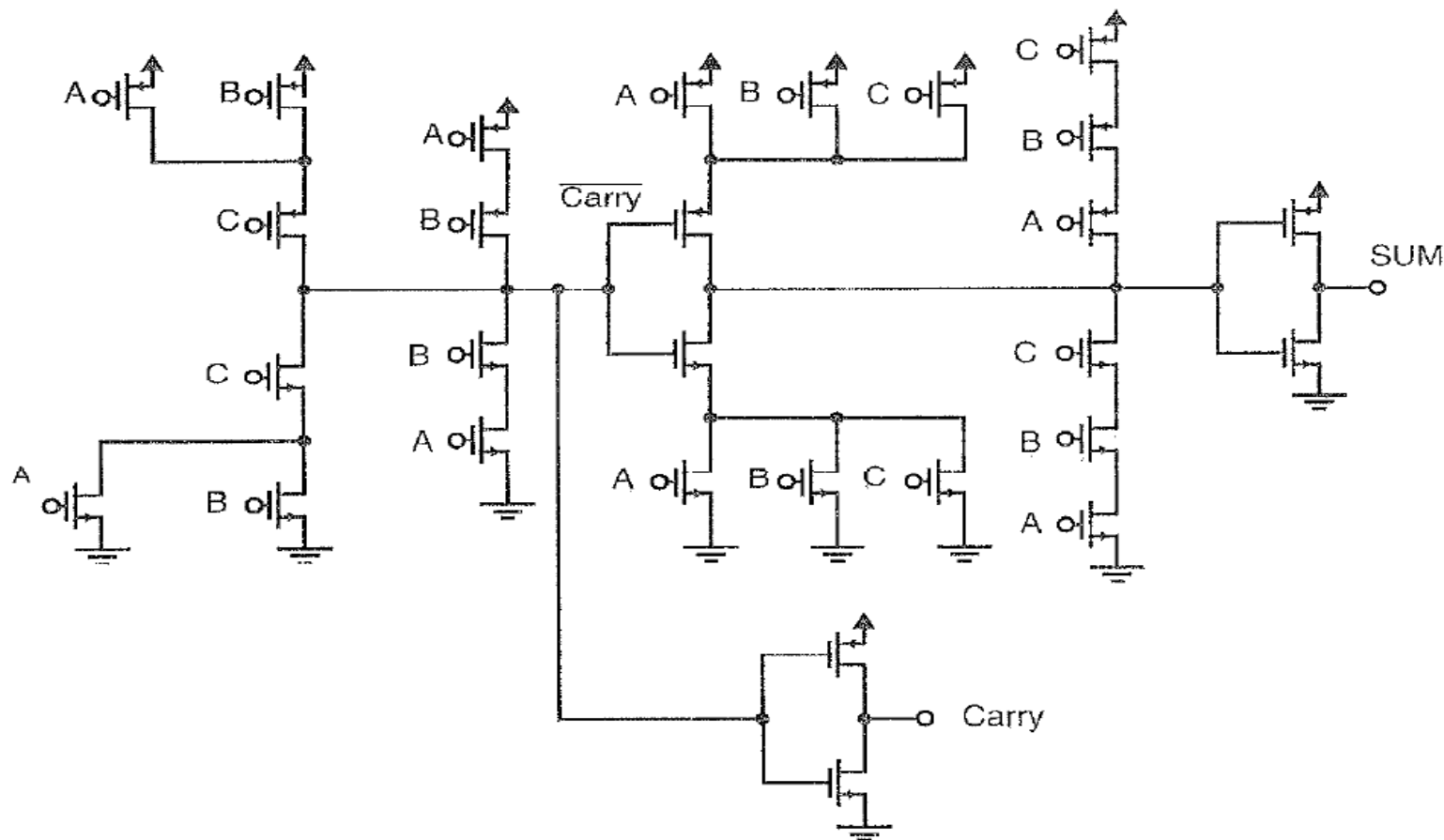
طراحی گیت های CMOS

سپس شبکه کانال p مکمل شبکه کانال n طراحی می شود:



طراحی گیت های CMOS

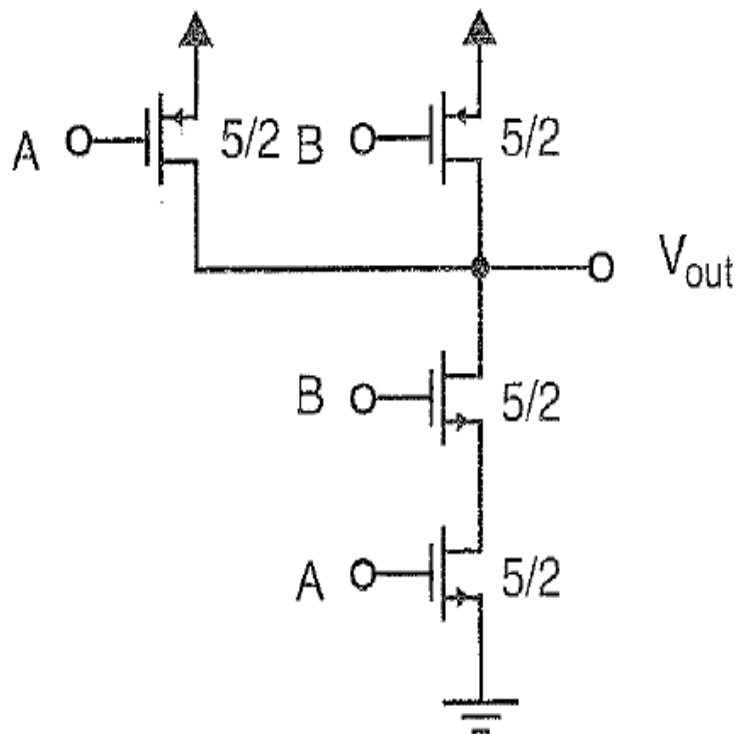
یک پیاده سازی CMOS از تابع تمام جمع کننده



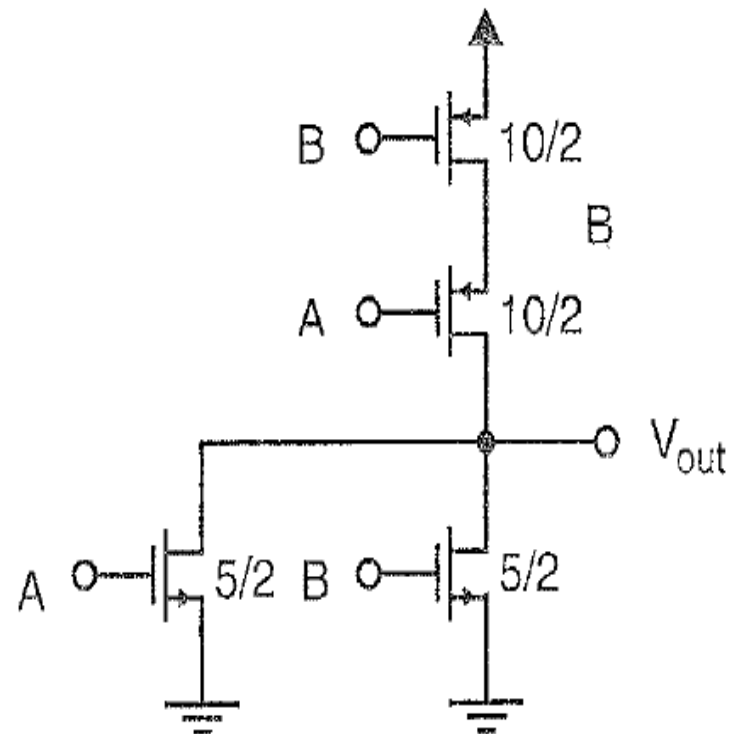
طراحی گیت های CMOS

در طراحی CMOS سنتی، گیت های nand نسبت به گیت های nor ارجح هستند چرا؟

(ترانزیستور ها در nand تقریبا هم اندازه هستند)



الف



ب