

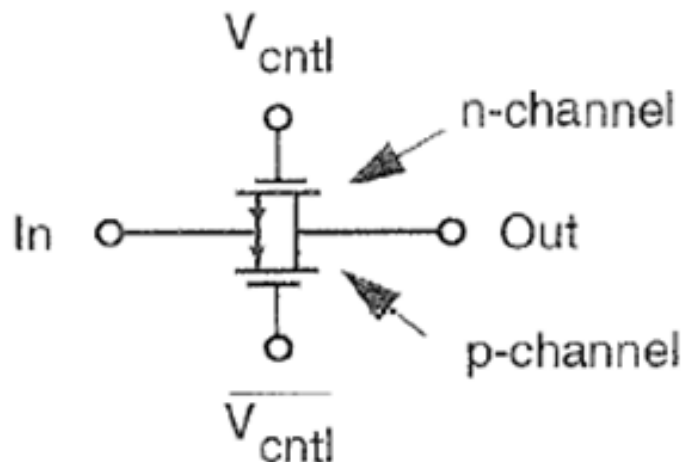
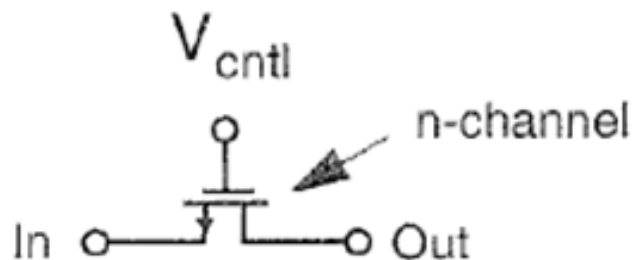
گیت های انتقالی MOS

Nasser Mozayani

School of Computer Engineering

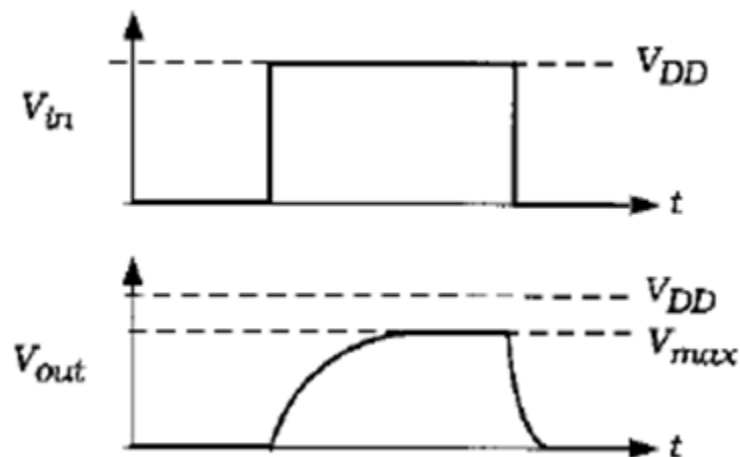
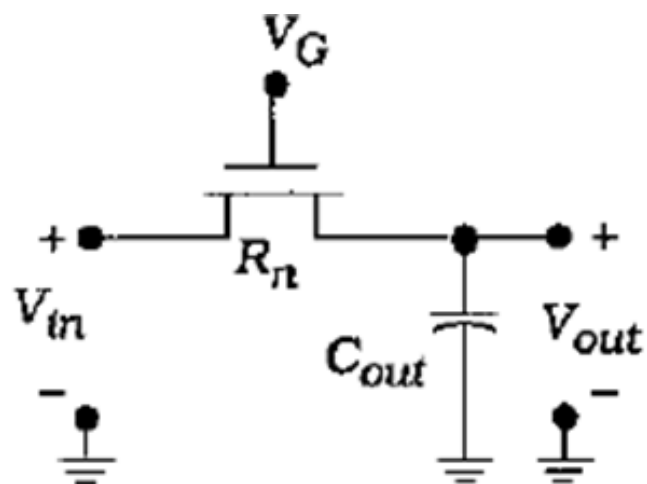
Iran University of Science and Technology

ترانزیستور عبور و گیت انتقال



- استفاده از یک ترانزیستور نوع n یا p
- البته معمولاً نوع n بدلیل سرعت بیشتر
- بهتر از TG بدلیل مساحت و سیم بندی کمتر
- $nMOS$ نمی تواند انتقال به V_{dd} را بخوبی انجام دهد (زمان صعود به دلیل از دست دادن ولتاژ آستانه کند است)

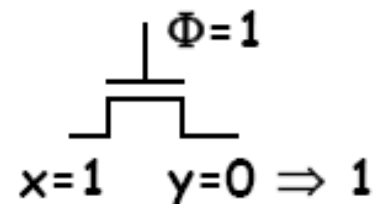
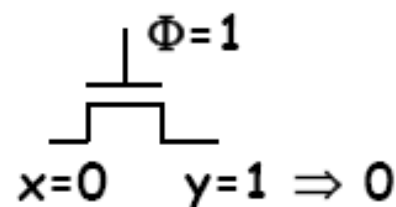
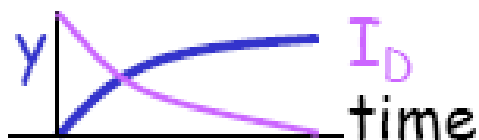
ترانزیستور عبور



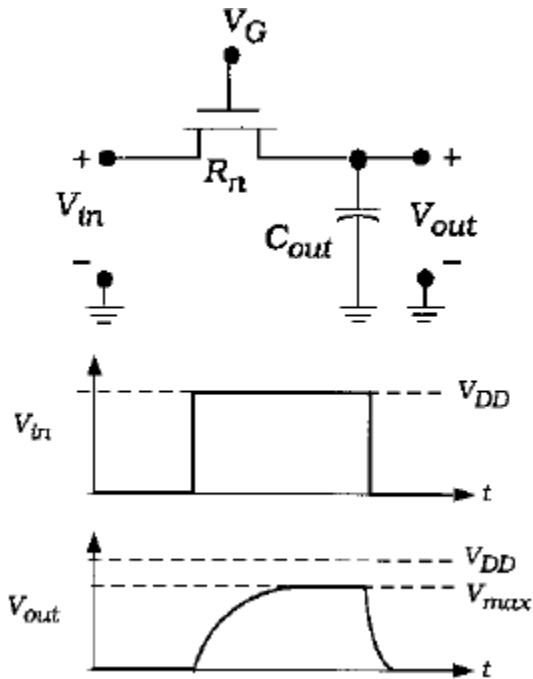
$$\tau_n = R_n C_{out}$$

$$t_f = 2.94 \tau_n$$

$$t_r = 18 \tau_n$$



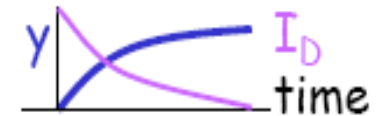
ترانزیستور عبور



$$\tau_n = R_n C_{out}$$

$$t_f = 2.94 \tau_n$$

$$t_r = 18 \tau_n$$

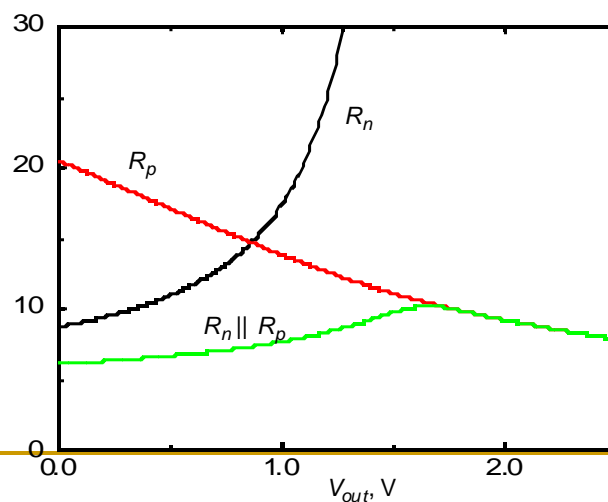
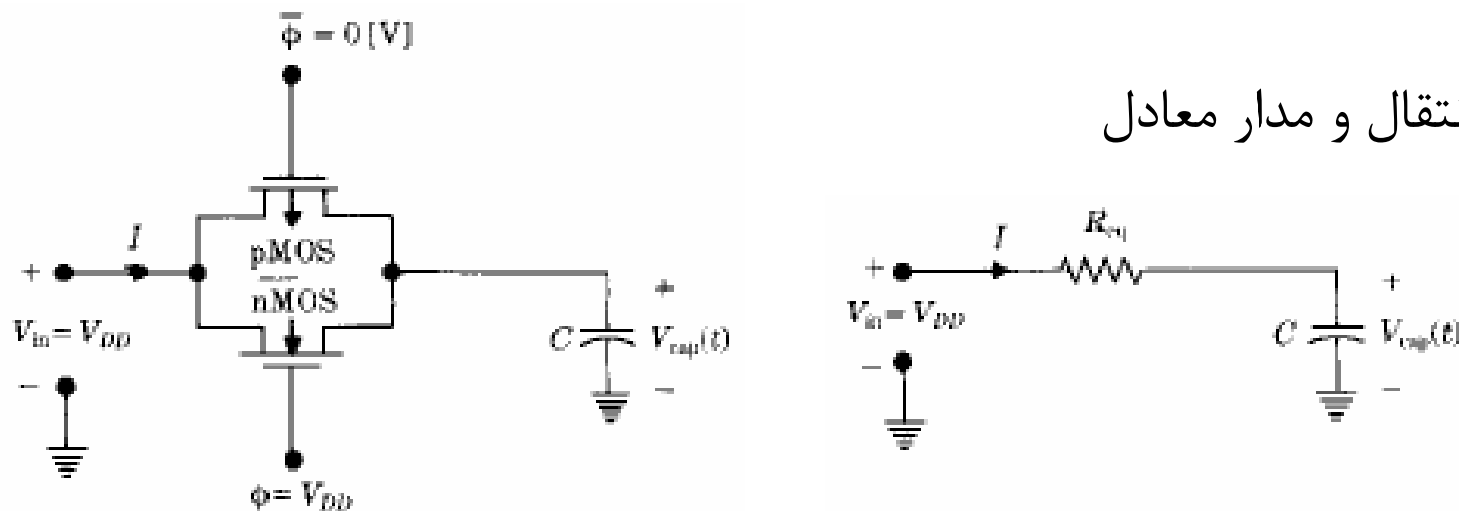


■ اگر اثر بدنه را در نظر بگیریم مشکل جدی تر است
چون ولتاژ آستانه V_{tn} ترانزیستور بیشتر می شود:

$$V_{tn} = V_{tn-0} + \gamma(\sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|})$$

گیت انتقال

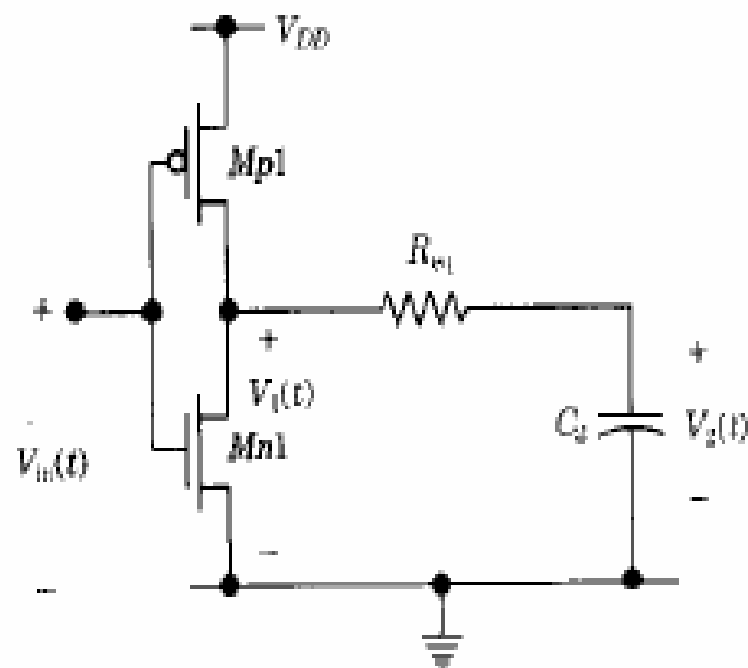
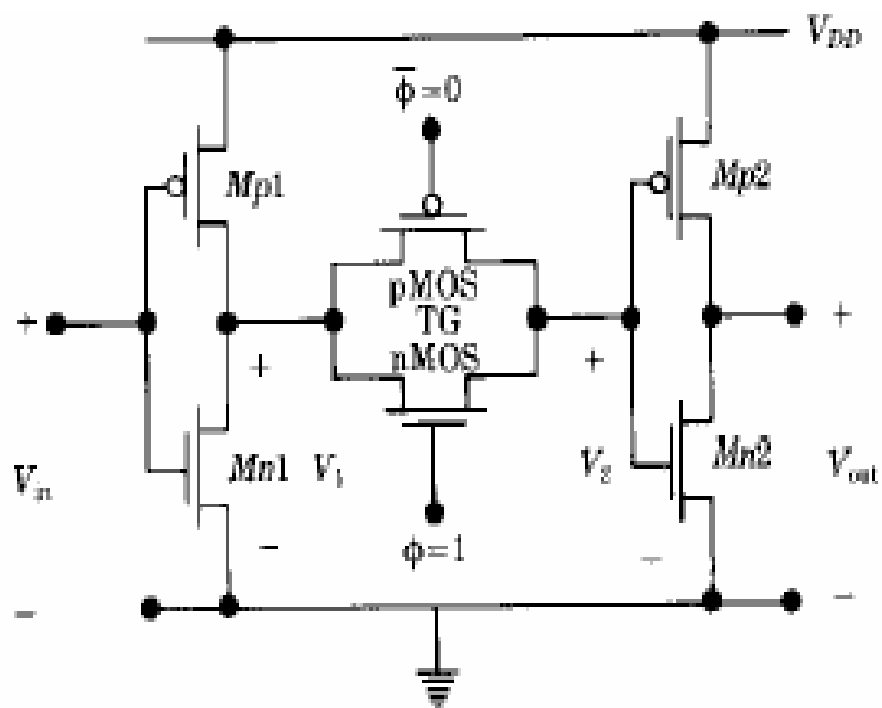
گیت انتقال و مدار معادل



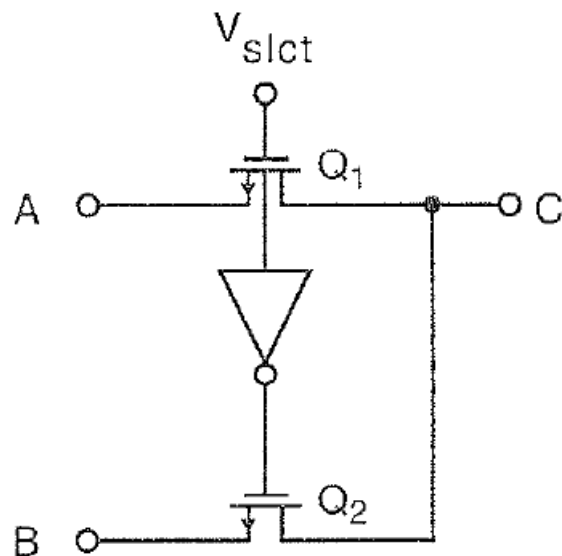
$$R_{eq} = \frac{R_n R_p}{R_n + R_p} \approx \text{Constant.}$$

گیت انتقال

■ مثال

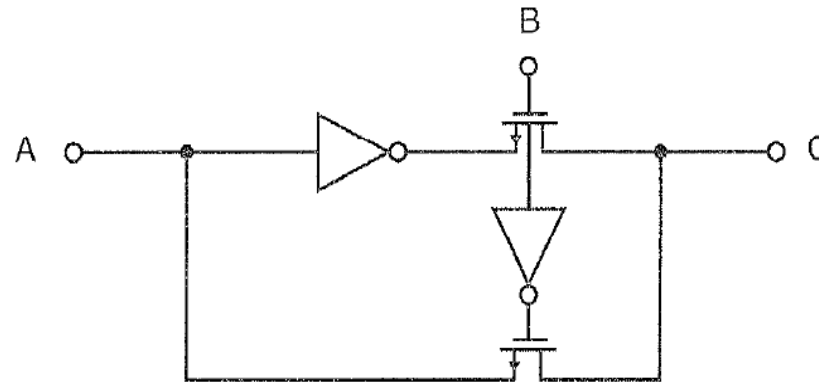


ایجاد توابع منطقی با ترانزیستور عبور



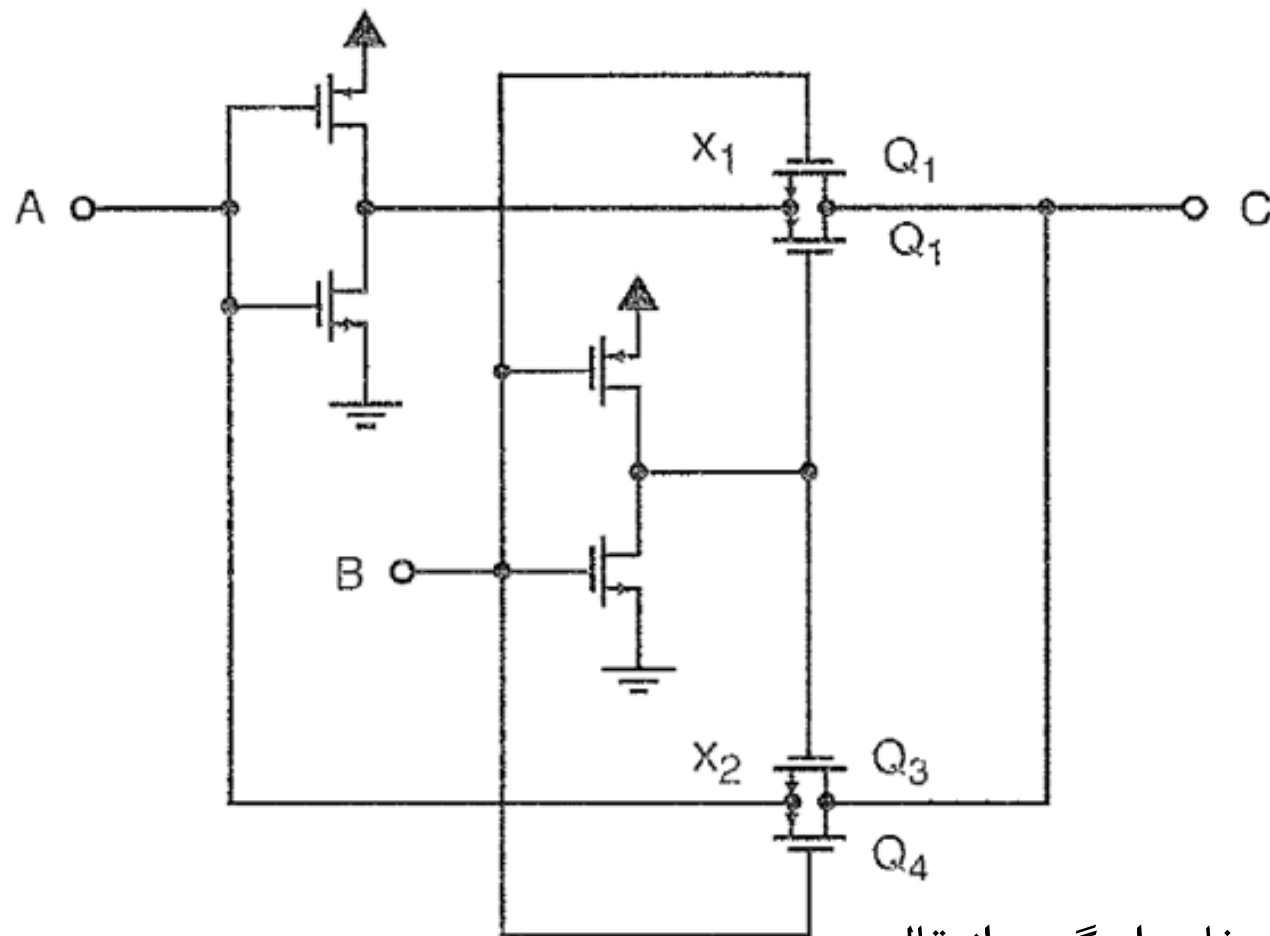
■ ساده ترین نمونه استفاده از ترانزیستور عبور پیاده سازی یک مالتی پلکسر ۲ به ۱

ایجاد توابع منطقی با ترانزیستور عبور



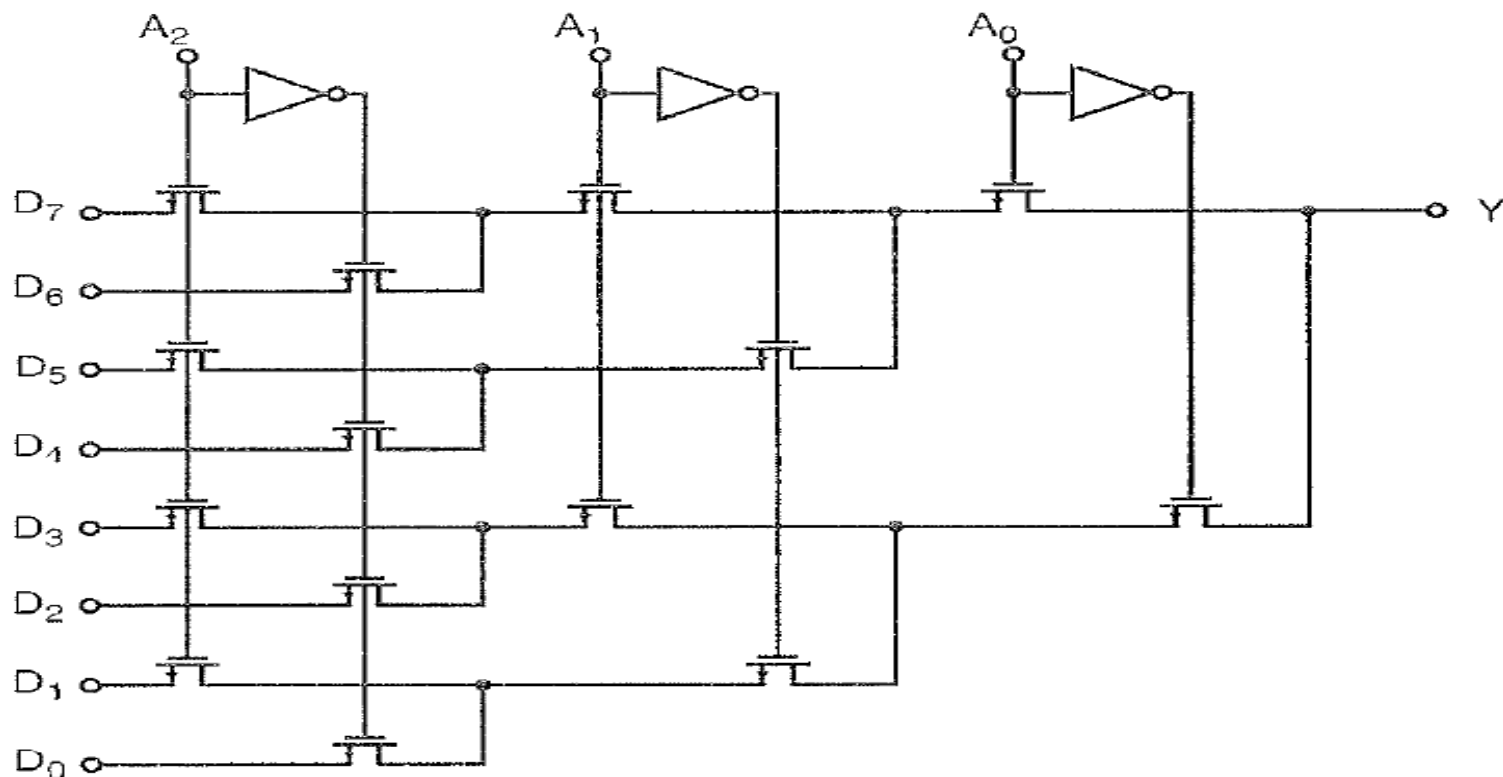
- مدار قبل با اندکی تغییر به یک تابع XOR تبدیل می شود.
- در اینجا ۶ ترانزیستور استفاده شده در مقایسه با ۷ ترانزیستور در منطق شبه NMOS
- اگرچه تعداد ترانزیستورها در پیاده سازی با ترانزیستور عبور کمتر می شود، اما پیچیدگی چینش آن بالاتر است و مساحت تراشه در این حالت الزاماً کاهش نخواهد یافت

ایجاد توابع منطقی با TG



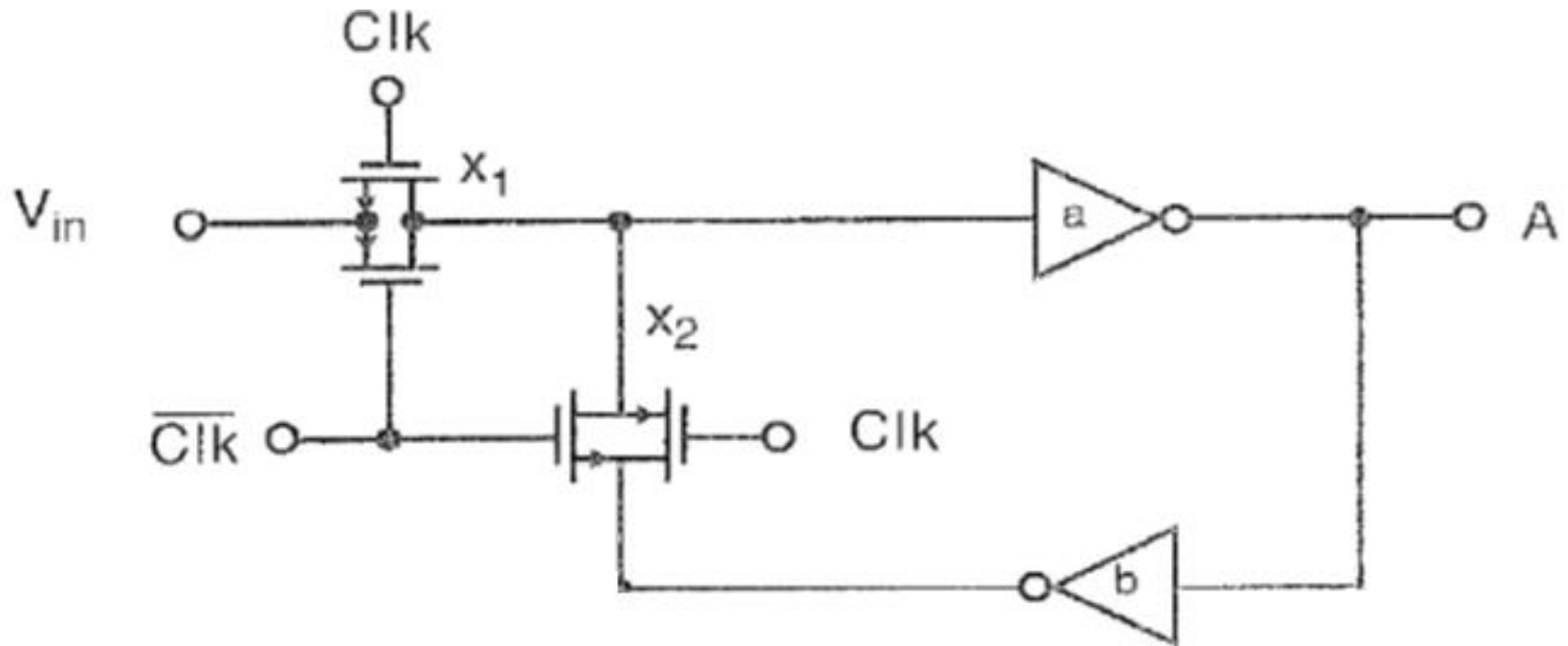
■ تابع XOR با استفاده از گیت انتقالی

ایجاد توابع منطقی با گیت های X



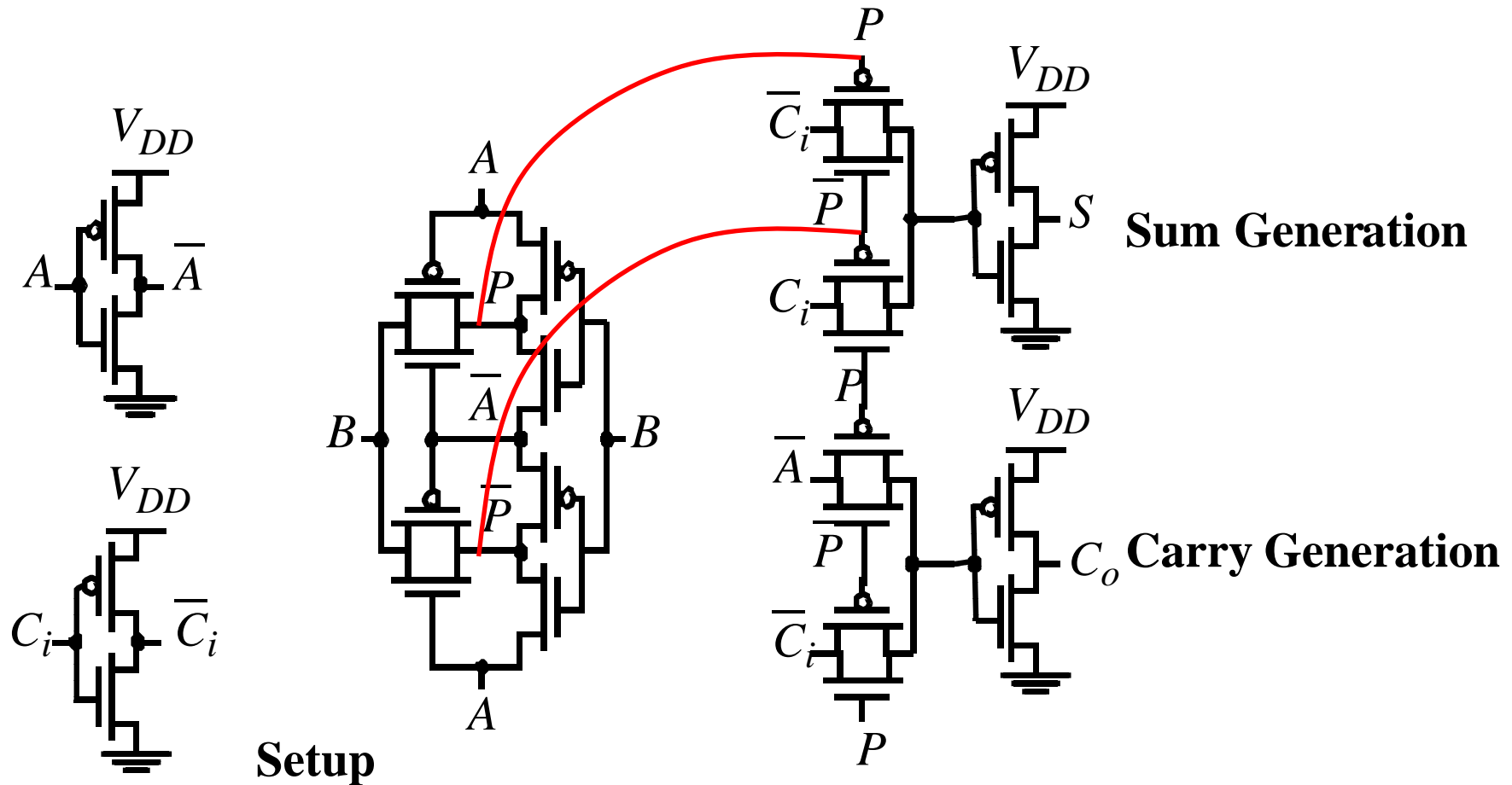
- از مالتی پلکسهای بزرگتر از ۸ به ۱ استفاده نمی شود چون میزان تأخیر در گیت های X سری، متناسب است با مربع تعداد گیت های عبور. این بدان معناست که اگر ۴ یا تعداد بیشتری گیت X با هم سری شوند، این منطق بیش از حد کند می شود

ایجاد توابع منطقی با TG



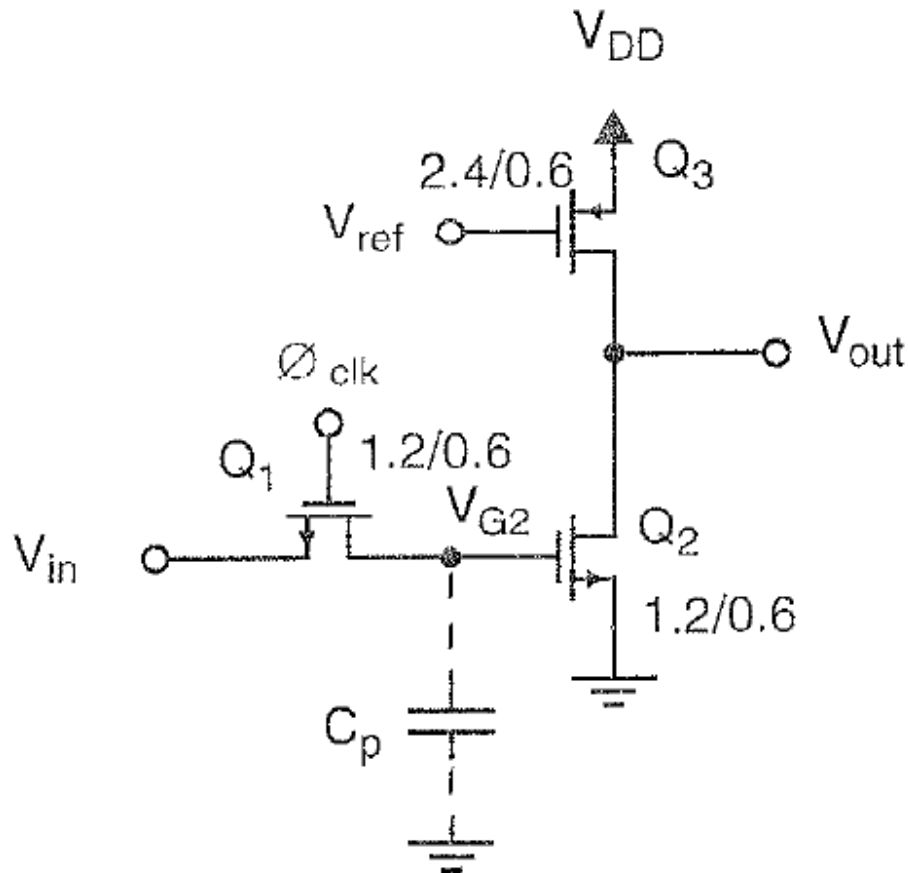
■ یک Clocked Latch بر اساس گیت انتقالی

ایجاد full adder با TG



Similar delays for sum and carry

افت ولتاژ گیت های X کانال n

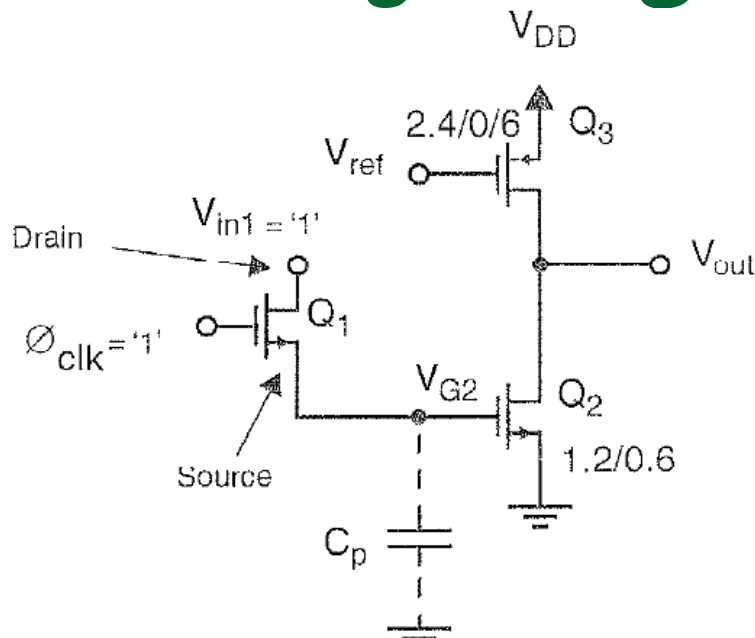


- فرض $V_{in}=0$ و ϕ بالا می رود
- گیت انتقالی شدیداً در ناحیه خطی است و معادل مقاومت R_{TR} است

$$R_{TR} = \frac{1}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})}$$

V_{G-2} دقیقاً مساوی با V_{in} خواهد بود

افت ولتاژ گیت های X کانال n



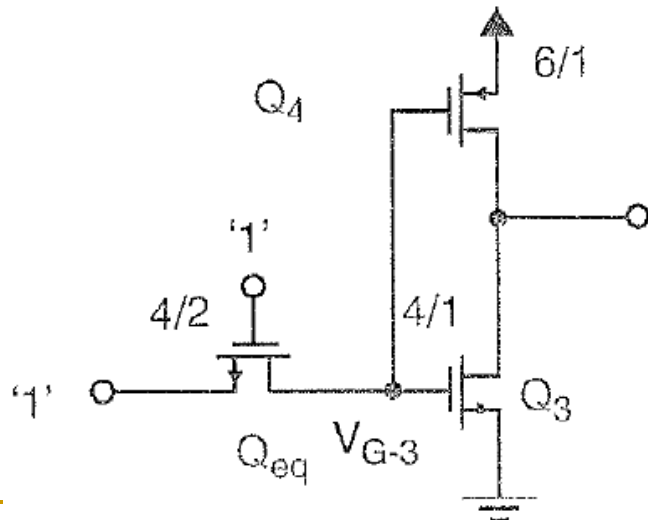
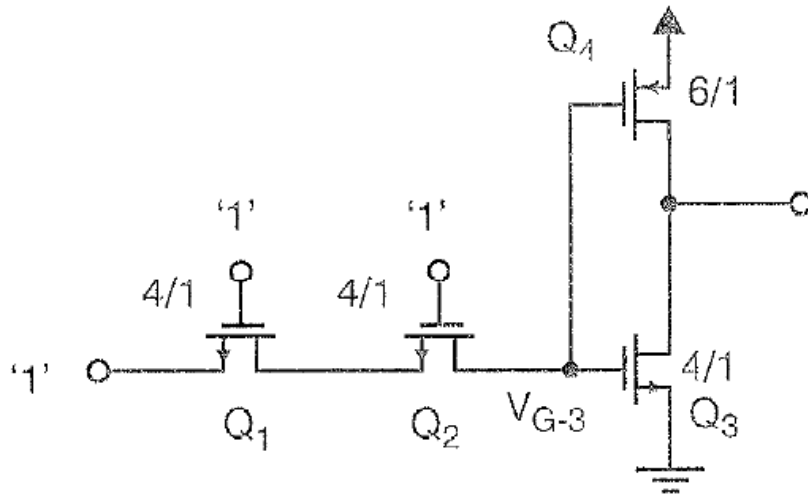
■ حال فرض کنید V_{in} به سمت V_{DD} برود آنگاه سمت V_{in} در Q_1 تبدیل به درین می شود و Q_1 در ناحیه اشباع است، (هر دو پایه گیت و درین آن دارای ولتاژ یکسان است).

Q_1 بصورت یک بافر درین مشترک عمل می کند و خازن C_p به سرعت شارژ شده و V_{G-2} به $V_{DD} - V_{tn}$ افزایش می یابد.

با افزایش V_{G-2} ولتاژ مؤثر گیت Q_1 کاهش می یابد و موجب می شود V_{G-2} کندتر و کندتر تغییر کند، به ویژه در انتهای این گذار. نهایتاً، ولتاژ مؤثر گیت Q_1 صفر شده ($V_{GS-1} - V_{tn} = 0$) و Q_1 خاموش خواهد شد، زمانی که $V_{GS-1} = V_{tn}$ یا به طور معادل $V_{G-2} = V_{DD} - V_{tn}$. از این رو V_{G-2} به طور کامل تا V_{DD} بالا نخواهد رفت، بلکه به اندازه یک ولتاژ آستانه افت خواهد داشت. این وضعیت مشکل تر خواهد بود اگر اثر بدنه را نیز در نظر بگیریم که باعث می شود که مقدار V_{tn} تا حدود نیم ولت افزایش یابد

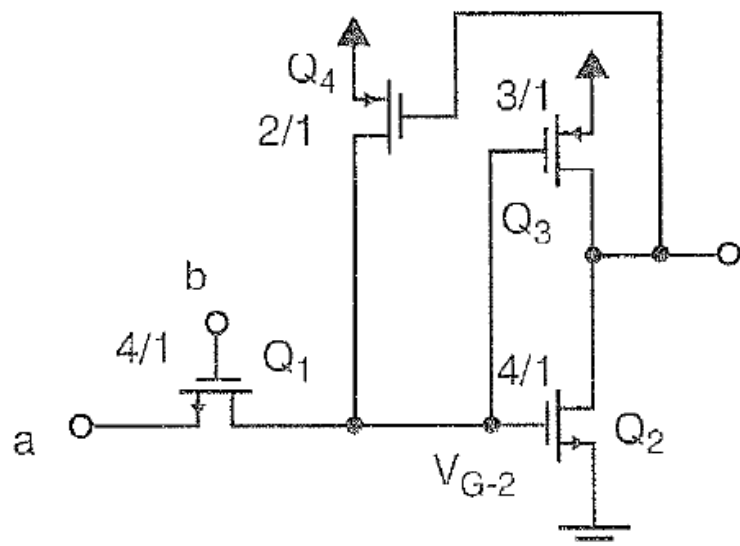
افت ولتاژ گیت های X کانال n

■ گاهی اوقات "۱" قبل از اینکه به ورودی یک گیت برسد، از تعدادی ترانزیستور سری عبور می کند (مثال مالتی پلکسر قبلی) در این حالت می توان با استفاده از قضیه ترانزیستورهای معادل افت ولتاژ بر روی ترانزیستورها را به دست آورد



$$\left(\frac{W}{L}\right)_{eq} = \frac{W_1}{L_1 + L_2} = \frac{1}{2} \left(\frac{W}{L}\right)_I = \frac{4}{2}$$

منطق گیت انتقالی کانال n با نوسان کامل Full-Swing



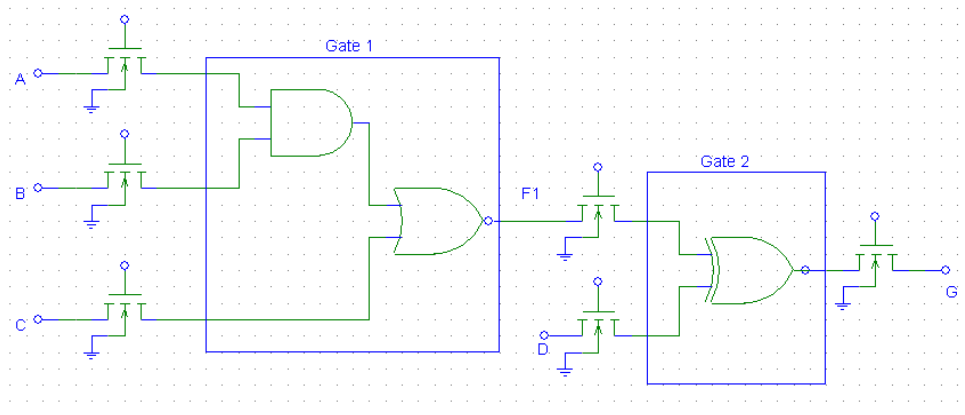
■ زمان عبور "۱" از $Q1$ ، خروجی معکوس کننده به "۰" تغییر می کند و $Q4$ روشن می شود که خروجی ترانزیستور عبور را در تمام مسیر به V_{DD} برده، افت ولتاژ را از شبکه حذف می کند.

$Q4$ باید به اندازه کافی کوچک باشد (W/L کوچک)، طوری که وقتی خروجی $Q1$ از "۱" به "۰" تغییر می کند،

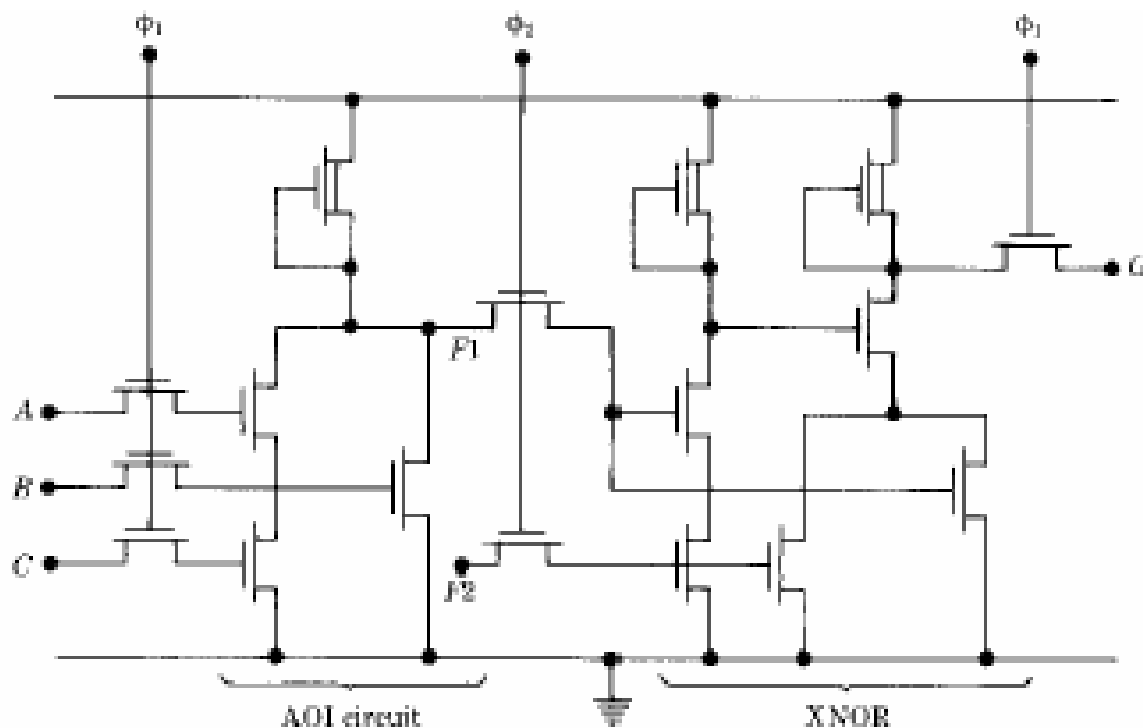
امپدانس $Q1$ کمتر از امپدانس $Q4$ باشد و ورودی معکوس کننده به ولتاژی کمتر از ولتاژ آستانه معکوس کننده کشیده شود. در غیر این صورت خروجی های "۰" شبکه ترانزیستور عبور منتشر نخواهد شد.

افزودن $Q4$ تضمین می کند که وقتی خروجی $Q1$ "۱" است ترانزیستور بار کانال p بطور کامل خاموش می ماند. در غیر این صورت، معکوس کننده توان dc اتلاف خواهد کرد. مزیت دیگر: به معکوس کننده Hysteresis اضافه می کند (زمانی که خروجی ترانزیستور عبور از "۱" به "۰" تغییر می کند ولتاژ آستانه معکوس کننده را کوچکتر می کند)

مدار منطقی مرکب سنکرون

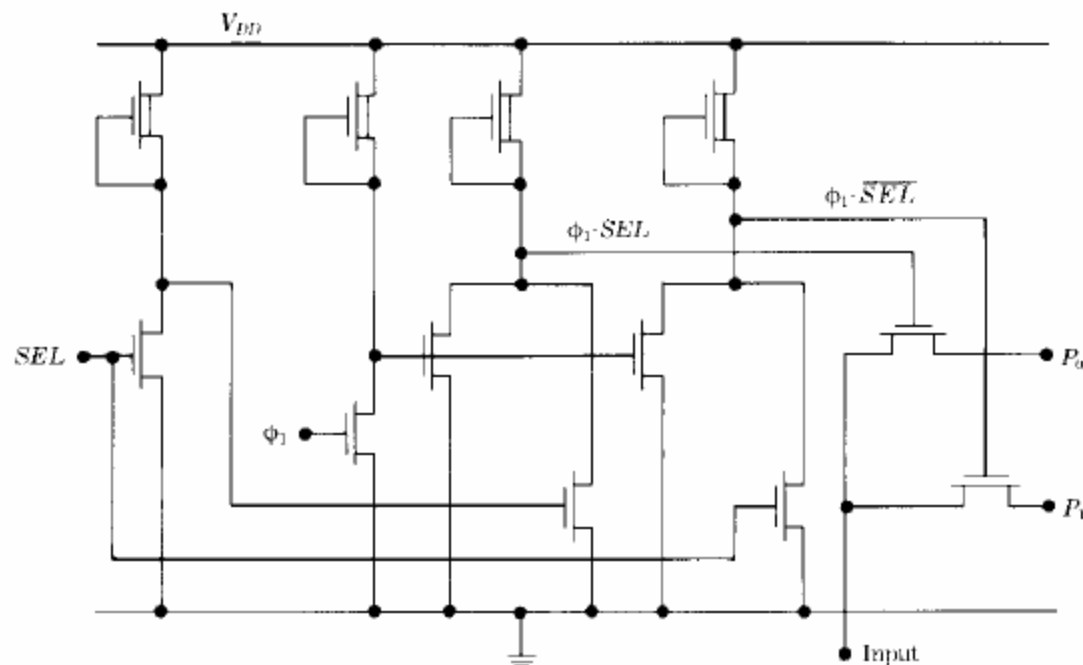
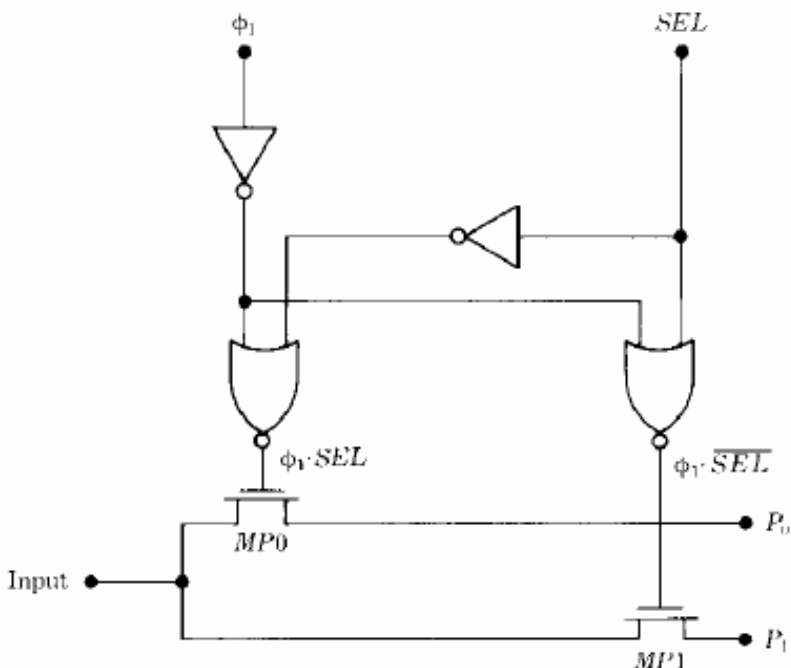


■ با استفاده از این تکنیک مدارهای بسیار پیچیده و بزرگتری بر اساس گیت های X می توان ساخت:

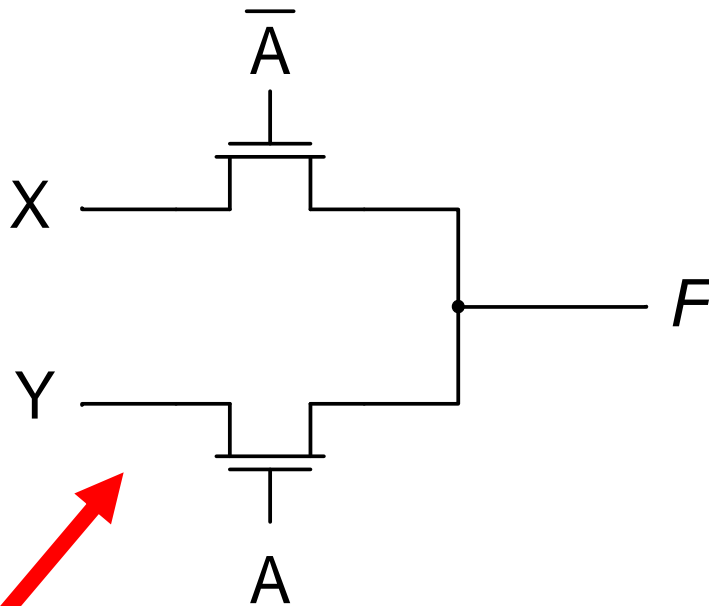


مدار منطقی مرکب سنکرون

■ یک تکنیک بسیار خوب ترکیب پالس ساعت و متغیرهای منطقی است (سیگنالهای مرکب) که مصرف را کم می کند



Pass-Transistor Logic

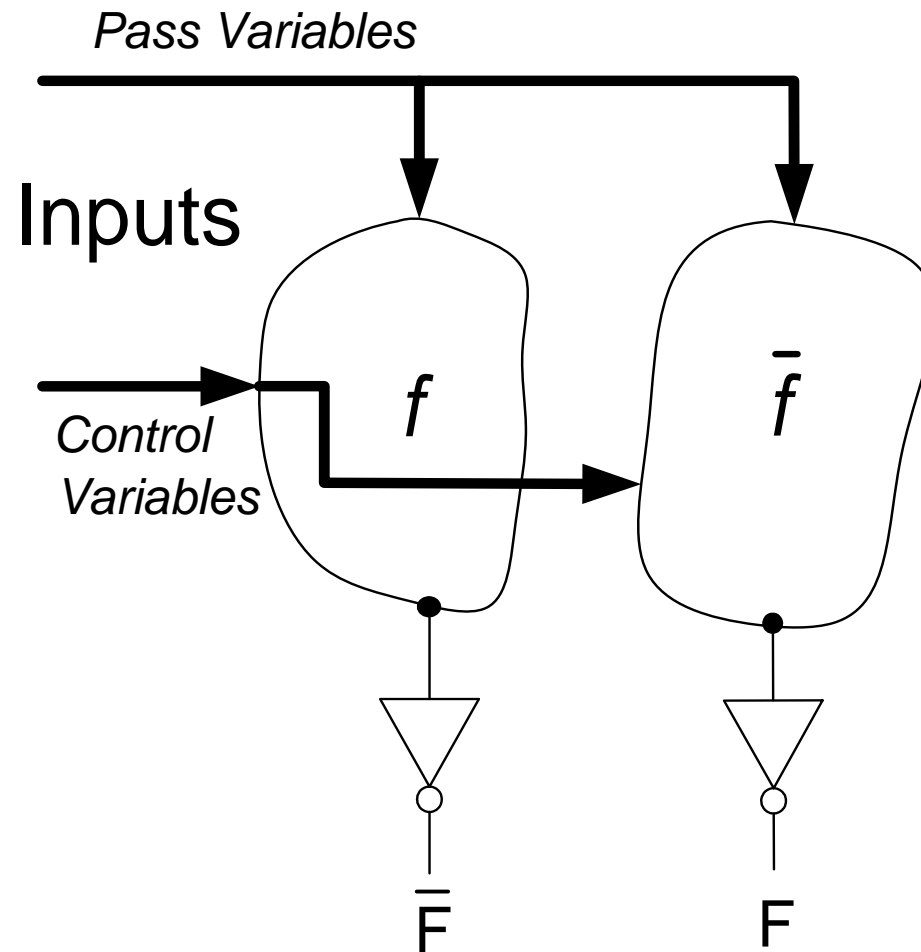


General topology of pass-transistor function generator

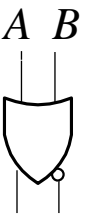
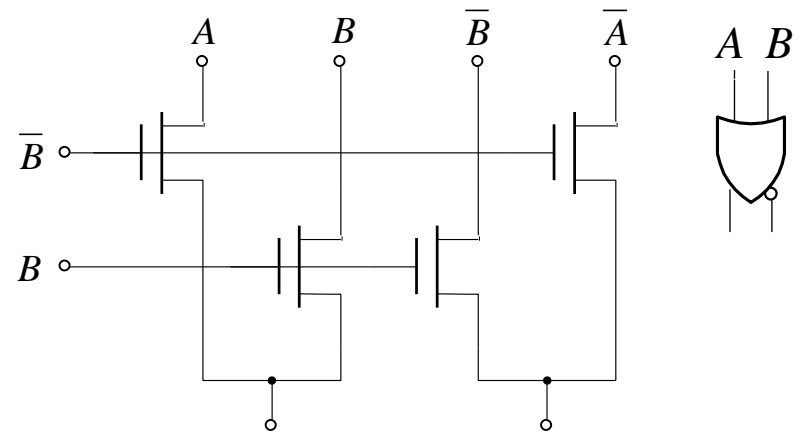
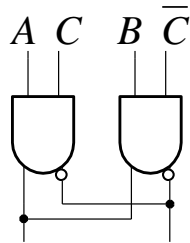
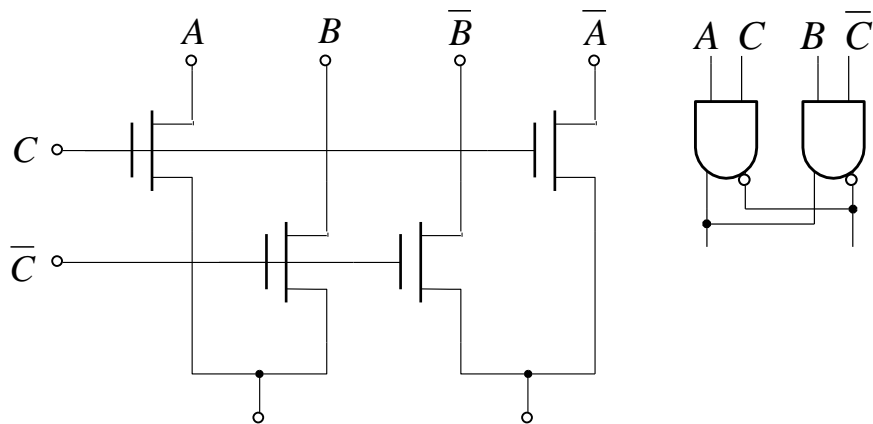
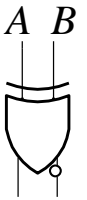
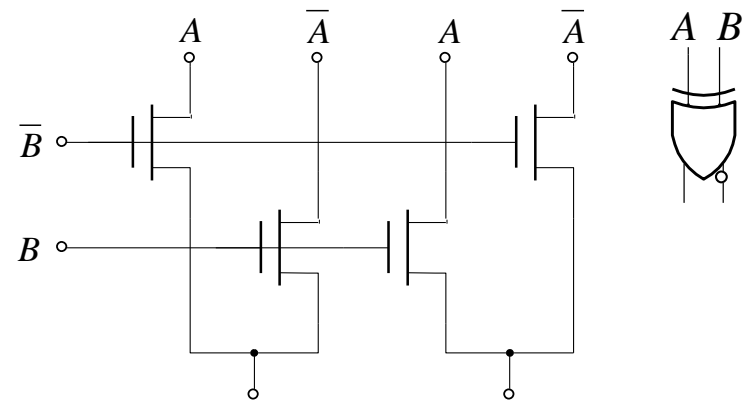
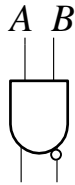
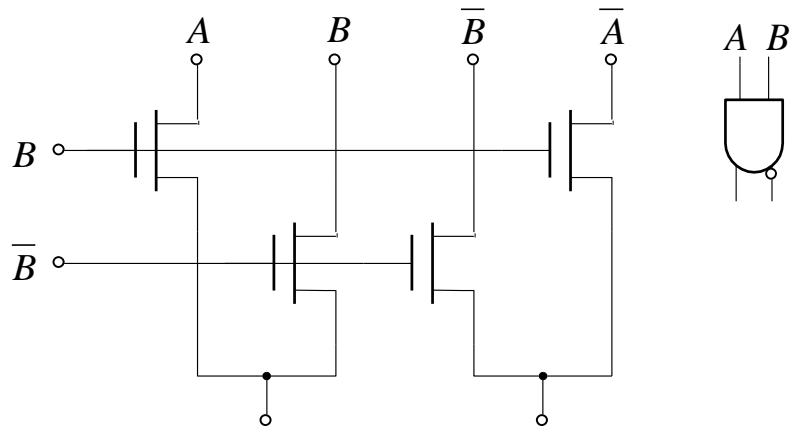
Karnaugh map of 16 possible functions that can be realized

X	Y	F
0	0	0
0	1	A
1	0	\bar{A}
1	1	1
0	B	AB
0	\bar{B}	$A\bar{B}$
1	B	$\bar{A} + B$
1	\bar{B}	$\bar{A} + \bar{B}$
B	0	$\bar{A}B$
B	1	$\bar{A}\bar{B}$
B	0	A+B
B	1	$A + \bar{B}$
B	\bar{B}	\bar{B}
B	B	$A \oplus B$
B	\bar{B}	$A \oplus B$
B	B	B

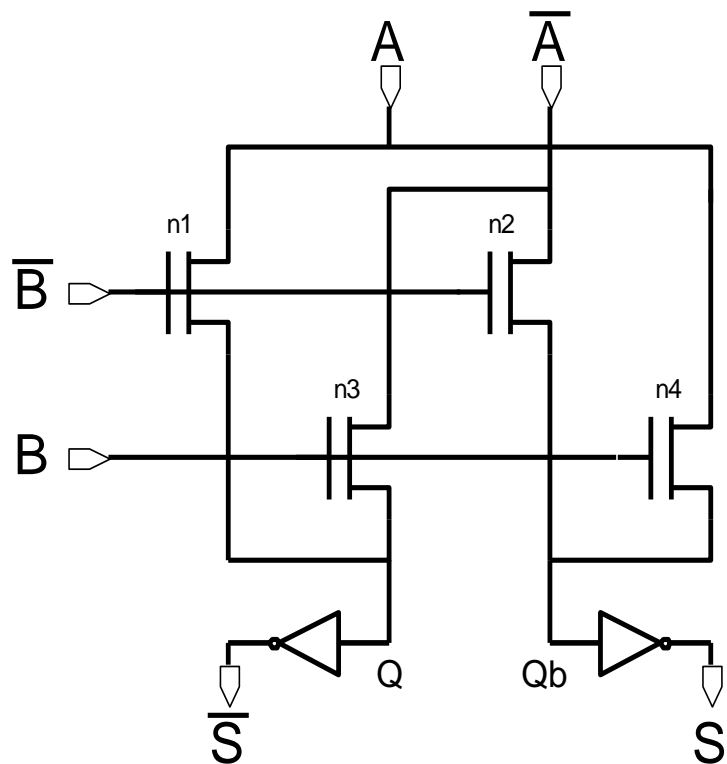
Complementary Pass-Transistor Logic (CPL)



Basic logic functions in CPL

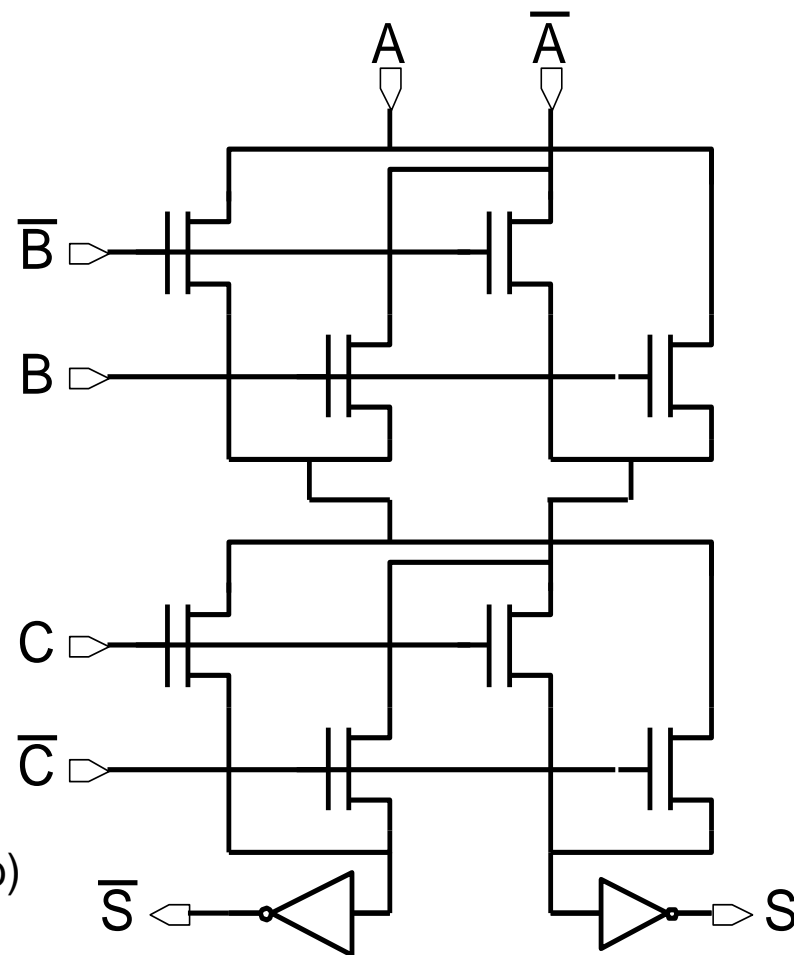


CPL Logic



XOR gate

(a)

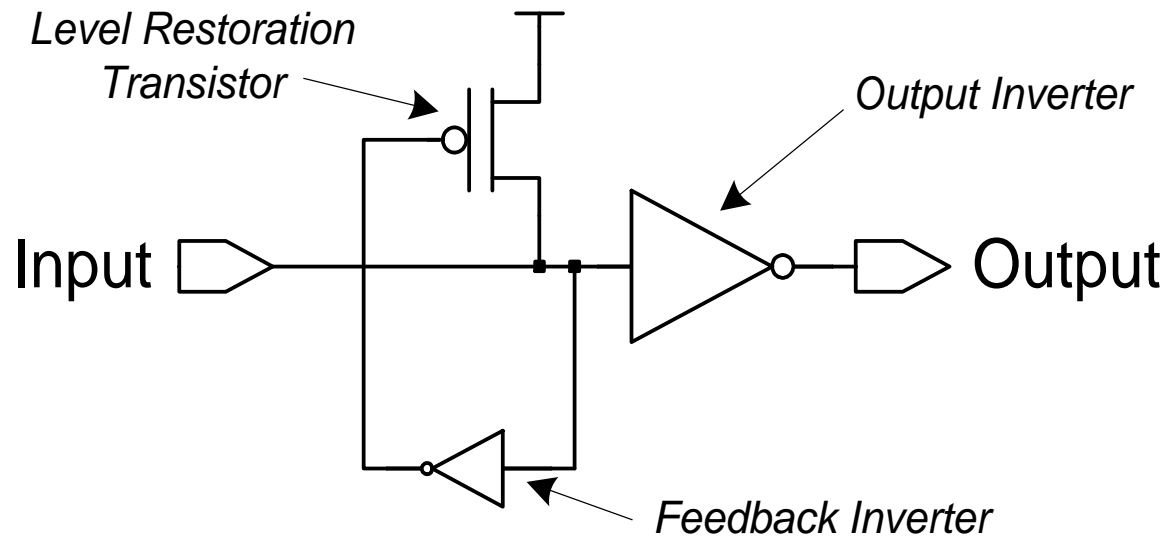


(b)

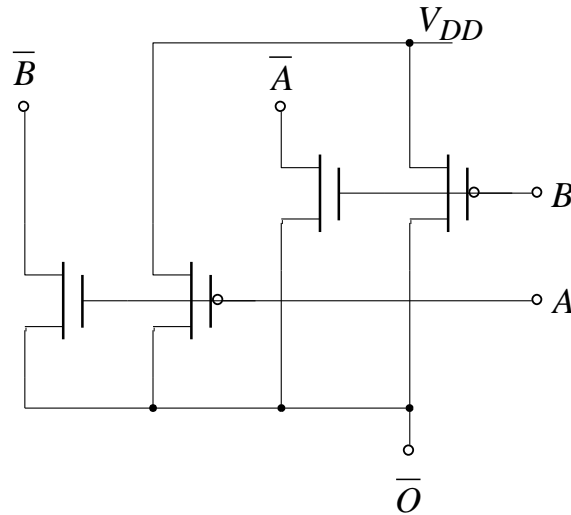
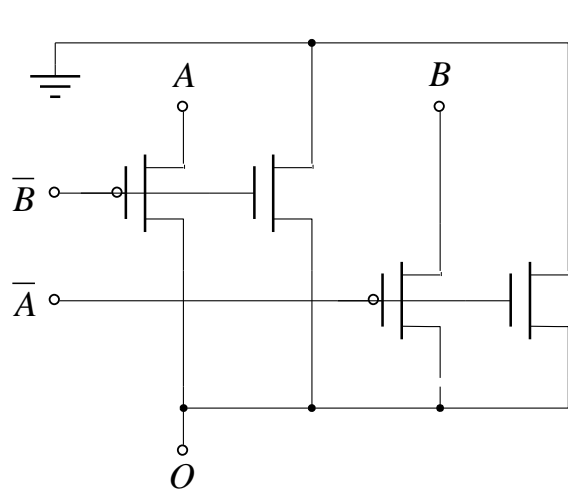
Sum circuit

CPL provides an efficient implementation of XOR function

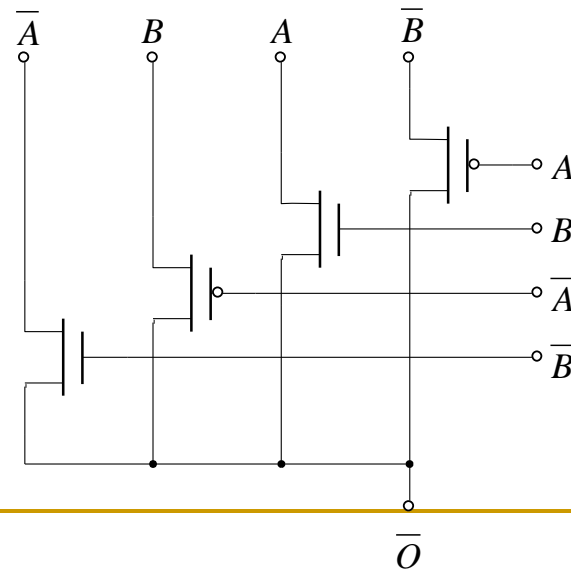
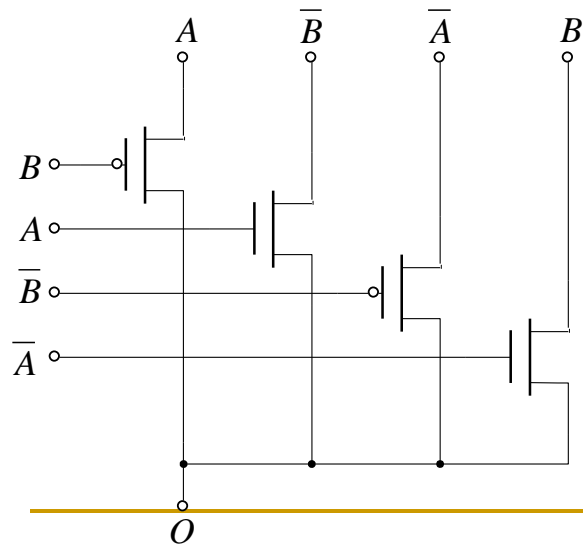
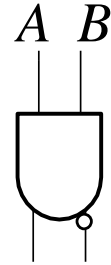
CPL Inverter



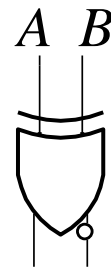
Double Pass-Transistor Logic (DPL)



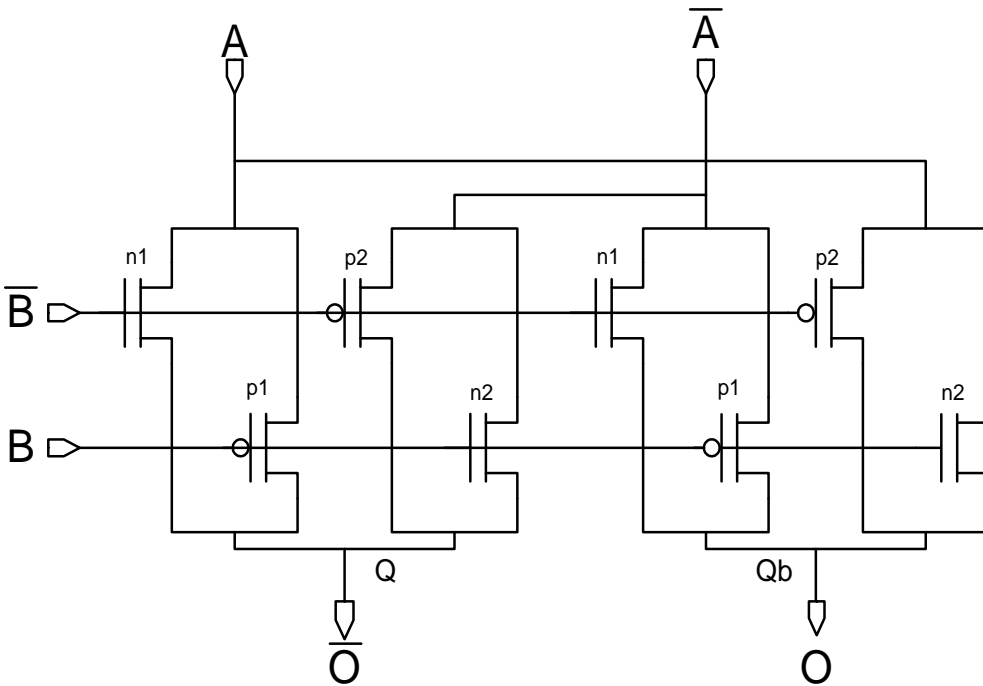
AND/NAND



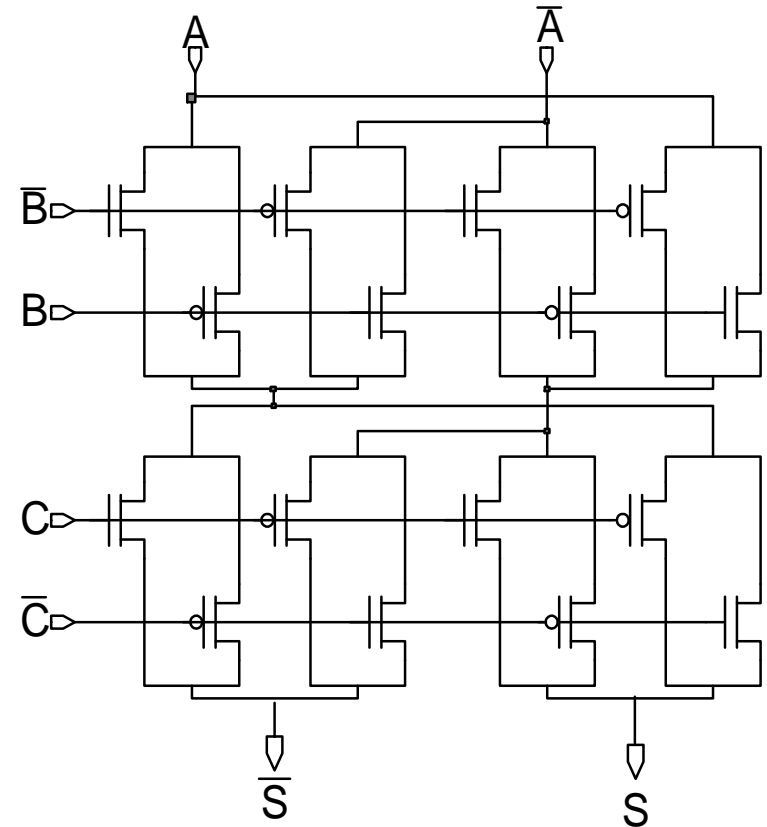
XOR/XNOR



Double Pass-Transistor Logic (DPL)



(a) XOR

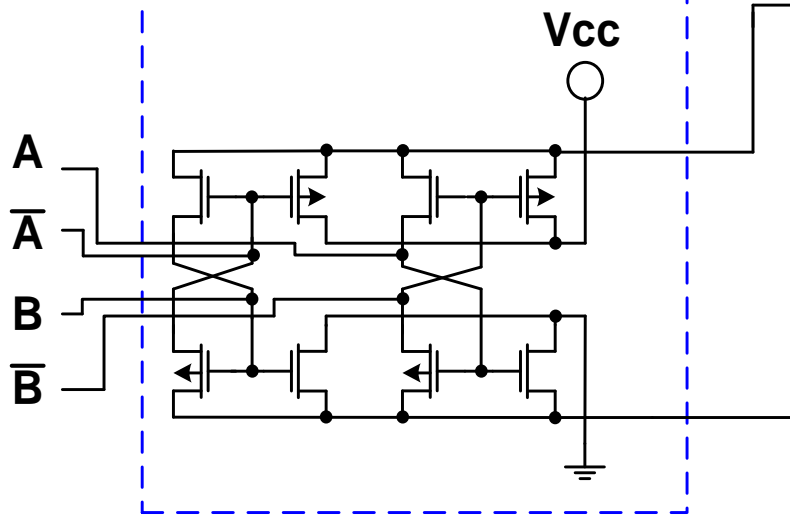
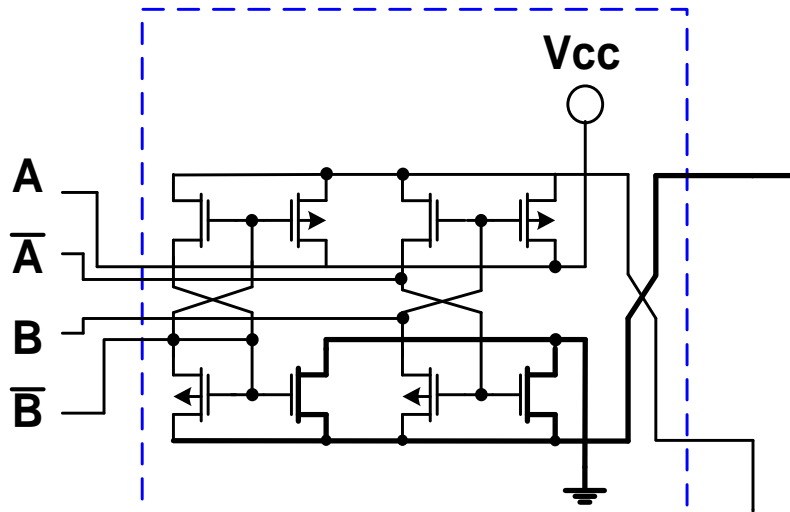


(b)

One bit full-adder:
Sum circuit

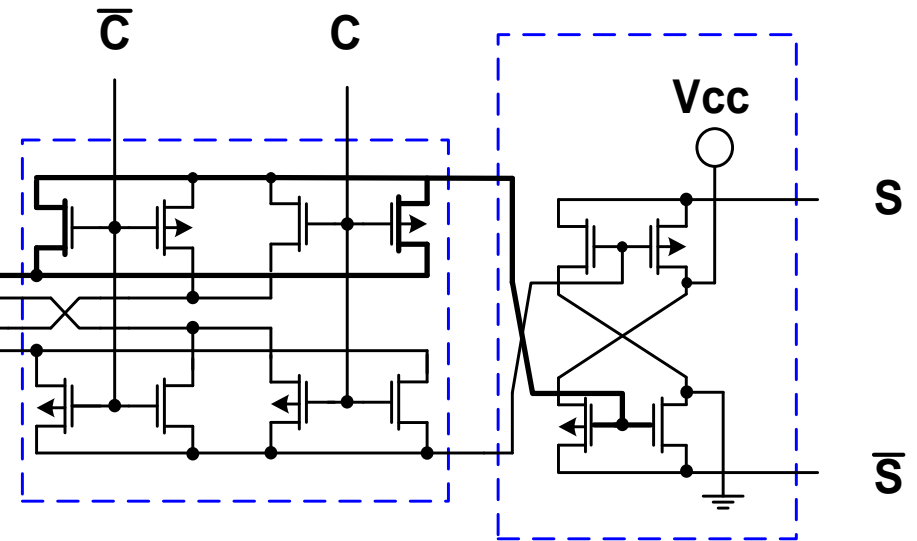
Double Pass-Transistor Logic (DPL)

AND/NAND



OR/NOR

DPL Full Adder



Multiplexer

Buffer

The critical path traverses two transistors only (not counting the buffer)

Double Pass-Transistor Logic (DPL)

DPL is a modified version of CPL that meets the requirement of reduced supply voltage designs.

In DPL circuits full swing operation is achieved by simply adding PMOS transistors in parallel with the NMOS transistors

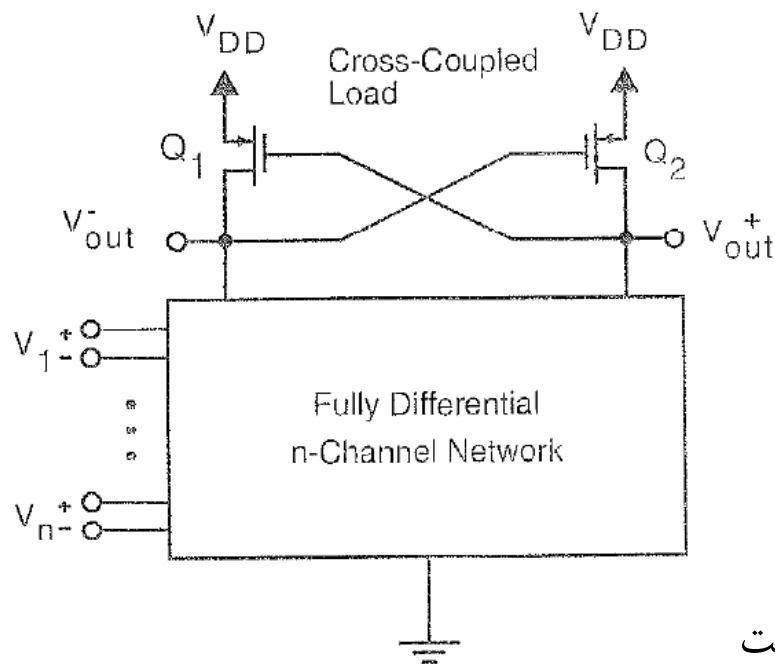
The problems of noise margin and speed degradation at reduced supply voltages associated in CPL circuits are avoided

DPL attributes

Strengths	weaknesses
High speed operation	Limited logic depth
Avoids buffer, redrive delay	Limited load capacity
Avoids threshold voltage drops within tree	Redundant device structure
Balance reduces data-dependent delay	

منطق کاملاً تفاضلی

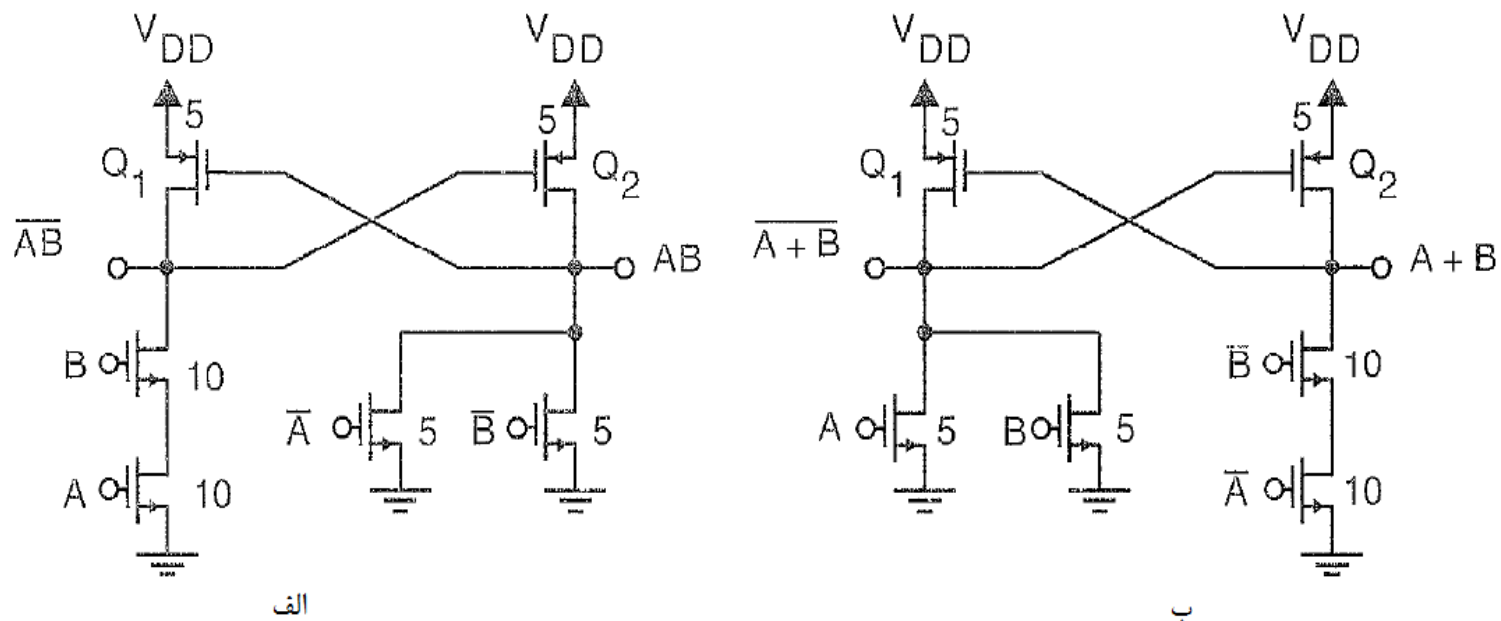
Differential Cascade Voltage Switch Logic (DCVSL)



- هر سیگنال ورودی با تفاضل ولتاژ بین دو سیم بیان می شود.
- هر گیت منطقی دو خروجی خواهد داشت و مقدار منطقی نیز بر اساس تفاضل بین این دو خروجی بیان خواهد شد
- سطوح معکوس منطقی به سادگی با جابجا کردن سیم ها و بدون دخالت هیچ گونه تأخیر زمانی بدست خواهد آمد
- موجب حذف معکوس کننده ها در بسیاری از مدارهای محاسباتی از قبیل مدارهای تولید نقلی و... می شود
- مزیت دوم: شبکه های بار در این مدارها تنها از دو ترانزیستور کانال p تزویجی تشکیل شده است که موجب کاهش مساحت است
- مزیت دیگر: حساسیت کمتری نسبت به نویزهای تخریبی (به ویژه از طرف منبع تغذیه و یا زمین) می باشند.
- ایراد: چون دو سیم باید برای هر سیگنال مورد استفاده قرار گیرد، مساحت اشغال شده توسط اتصالات میانی بیشتر خواهد بود
- هیچ گونه اتلاف توان مصرفی dc
- ترانزیستورهای کانال n باید به حد کافی عریض باشند که تغییر وضعیت گیت انجام شود

طراحی منطق کاملا تفاضلی (DCVSL)

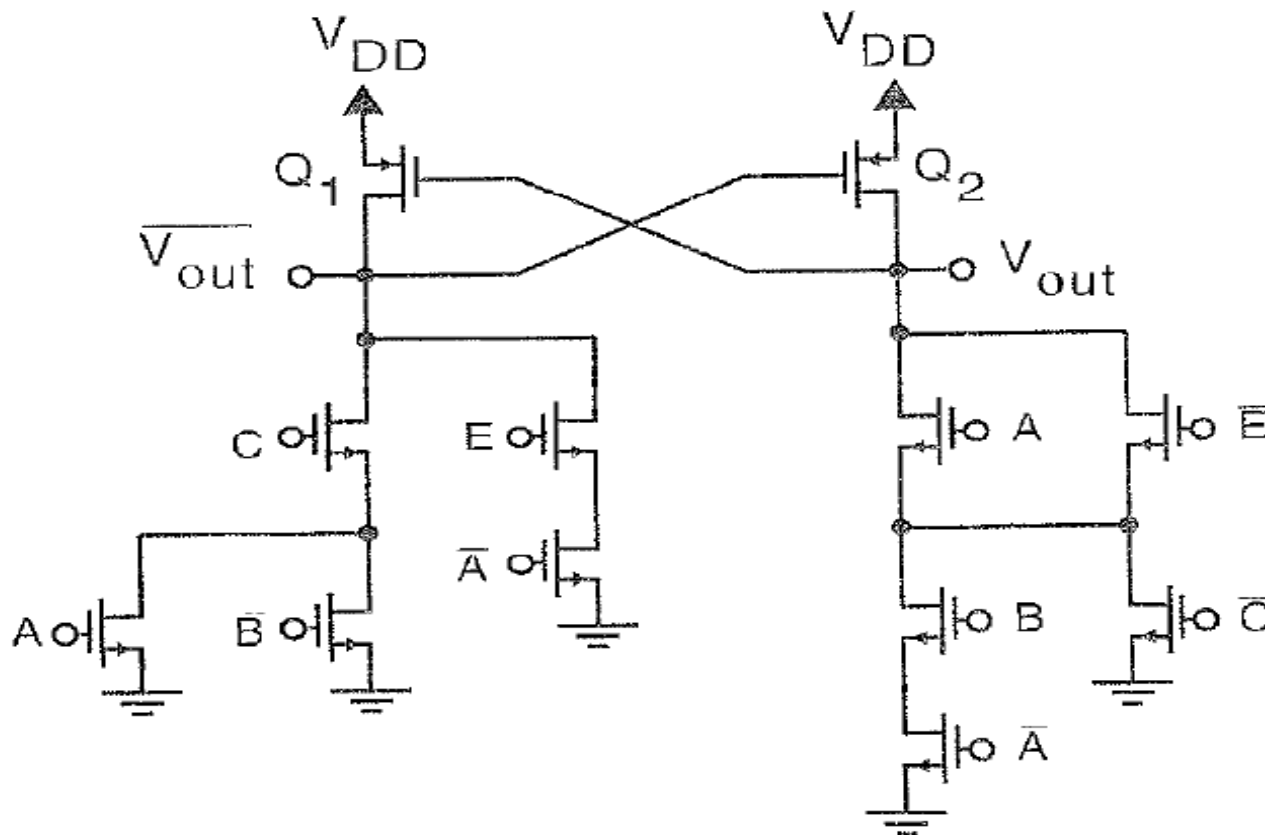
- روش های متعددی به منظور طراحی شبکه های تحریک کانال n وجود دارد
- یک روش مشابه طراحی بلوک n در cmos برای سمت خروجی معکوس و شبکه مکمل آن البته با ورودیهای مکمل برای خروجی دیگر



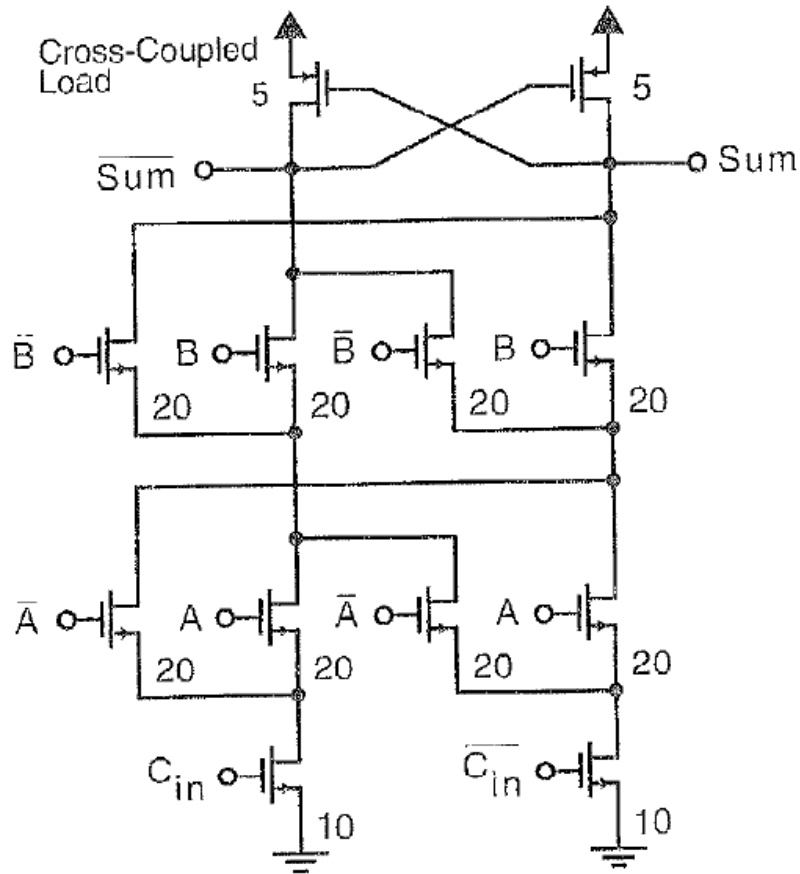
- توجه: گیت ها در ساختار یکسان هستند و فقط با تعویض ورودی و خروجی ها می توانند بجای هم استفاده شوند

طراحی منطق كاملا تفاضلي (DCVSL)

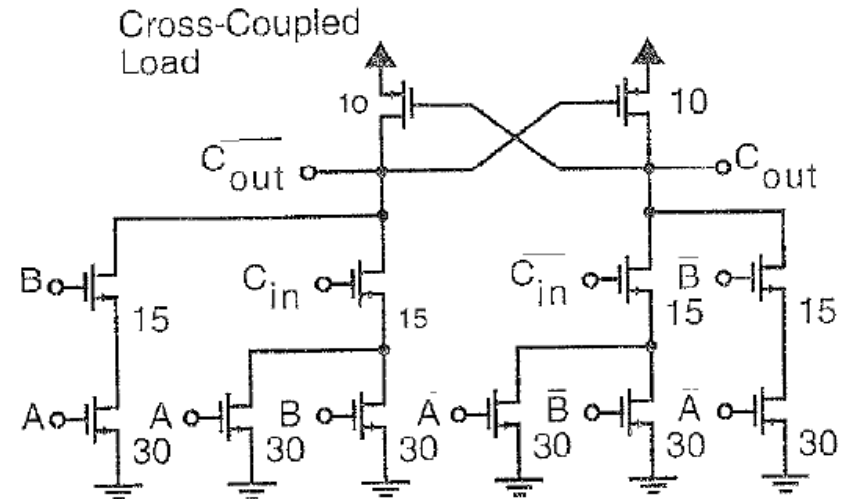
■ مثال ديگر: پياده سازي تابع $V_{out} = (A + \bar{B})C + \bar{A}E$



طراحی منطق کاملاً تفاضلی (DCVSL)



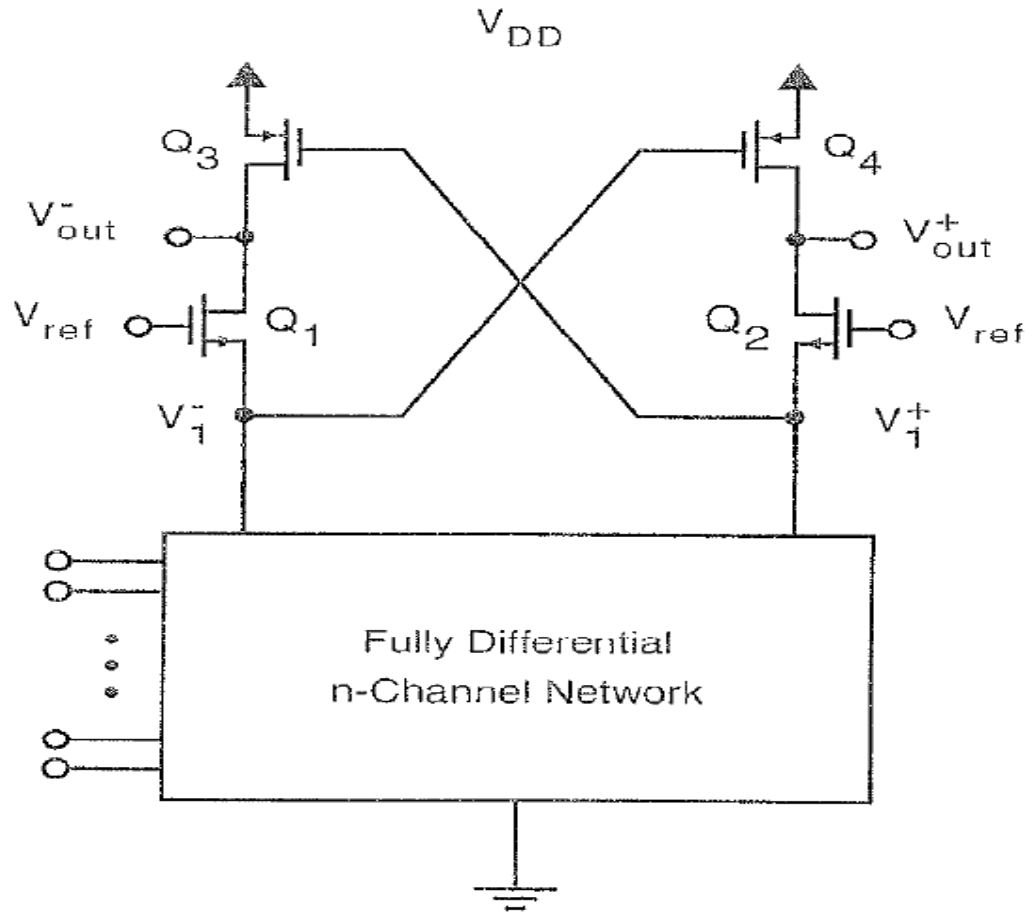
الف



ب

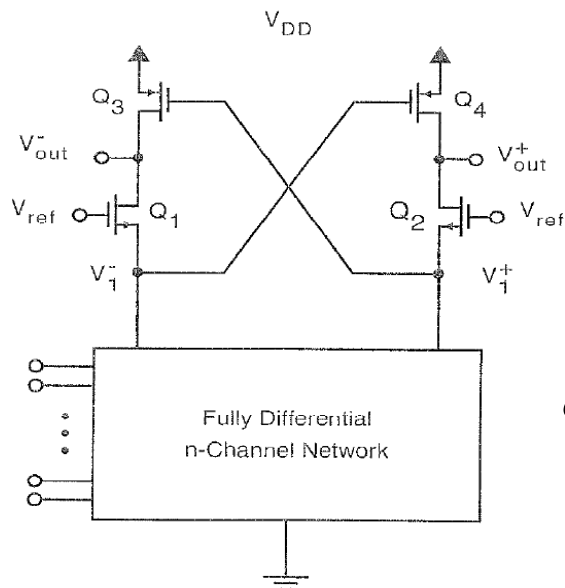
یک تمام جمع کننده تمام تفاضلی (الف) مدار تولید Sum و (ب) مدار تولید نقلی

منطق سطح مجزای تفاضلی CMOS



این منطق از بار تزویجی بدون اتلاف توان dc و بار روشن متوالی با اتلاف توان dc مصالحه شده استفاده می کند و منطق DSL یا Differential Split-Level logic نامیده می شود

منطق سطح مجزای تفاضلی CMOS



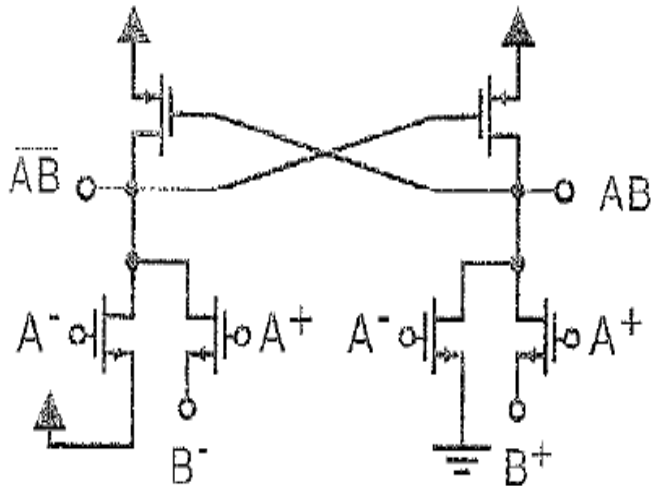
بارهای منطق DSL ویژگی های هر دو نوع بارهای متوالی و بارهای تزویجی را به طور همزمان دارند هر دو خروجی به طور همزمان شروع به تغییر می کنند و بلافاصله پس از شروع تغییر با فیدبک مثبت عمل لچ شدن تسریع می شود بارها در این منطق اتلاف توان dc دارند اما بسیار کمتر از گیت های شبه NMOS است

مزیت مهم دیگر این است که گره های V_1^+ و V_1^- ، و تمام گره های درونی شبکه تحریک کانال n دارای تغییرات ولتاژی بین بیش از صفر ولت و $V_{ref} - V_{tn}$ می باشند که این کاهش سطوح ولتاژ موجب افزایش سرعت گیت های منطقی می شود

آخرین مزیت این است که بیشترین ولتاژ درین- سورس بر روی ترانزیستورهای کانال n تقریباً نصف شده است که به شدت موجب کاهش اثرات کانال کوتاه این ترانزیستورها می گردد و اجازه می دهد که بتوان طول کانال آنها را کوچکتر از حد معمول در نظر گرفت که به نوبه خود باعث افزایش بیشتر در سرعت می شود.

منطق ترانزیستور عبور تفاضلی

Differential Pass-Transistor Logic



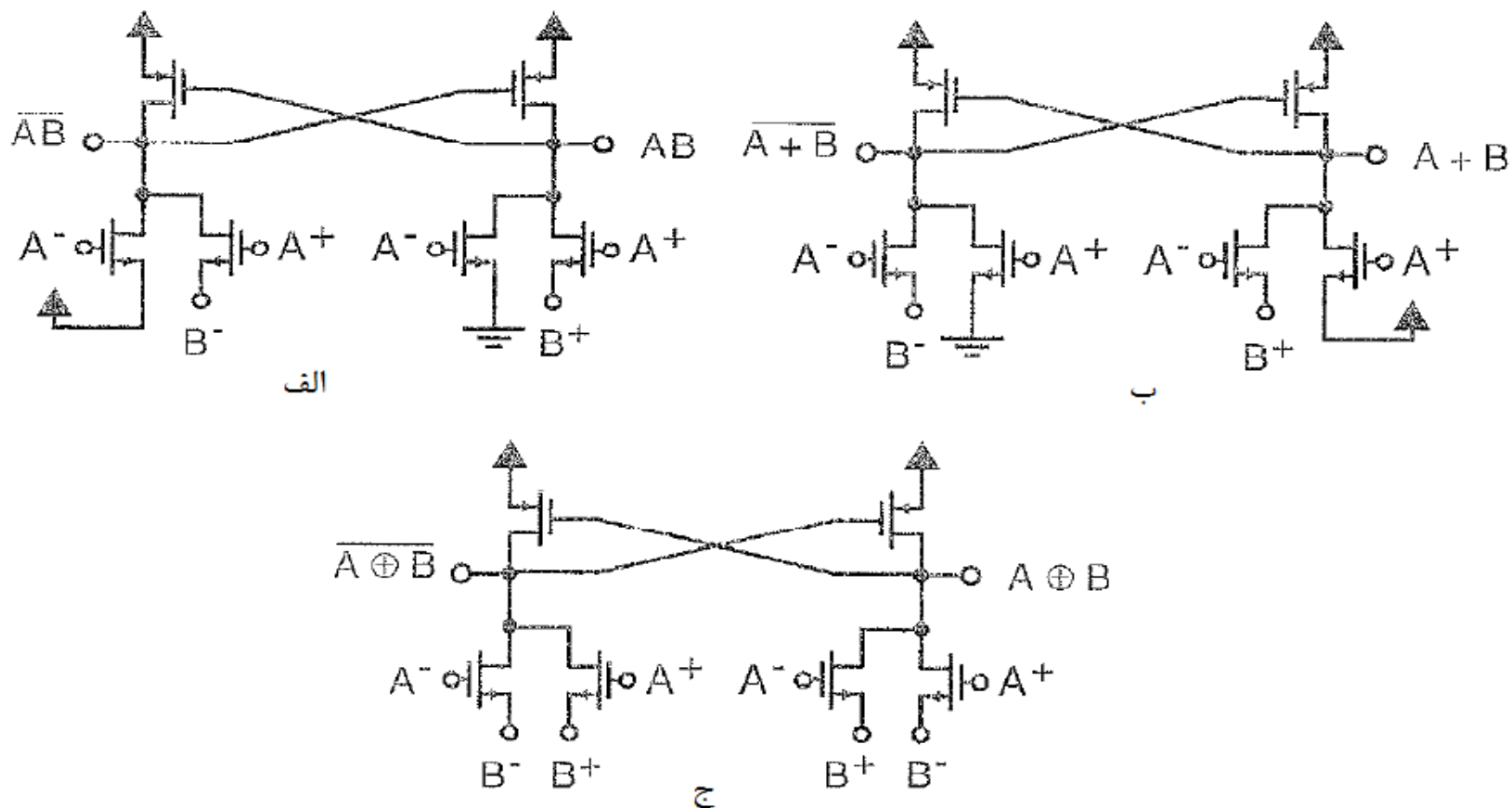
شبکه تحریک کانال n با شبکه ترانزیستورهای عبور تفاضلی کانال n تعویض شده است

مزایا: ۱- برای اکثر توابع منطقی، شبکه ترانزیستور عبور در هر دو طرف بار تزویجی که به طور همزمان تحریک می شوند موجود است و لازم نیست که منتظر بمانیم که یک طرف پایین برود تا طرف دیگر بالا برود بنابراین سرعت را افزایش می دهد

۲- لزوم نسبت ابعاد ترانزیستورها را به منظور داشتن عملکرد صحیح از بین می برد
 ۳- بارهای تزویجی، سطوح سیگنال ها را به V_{DD} کامل اصلاح می کنند و بنابراین افت ولتاژها را که معمولاً در استفاده از ترانزیستورهای عبور کانال n اتفاق می افتد جبران می سازد

منطق ترانزیستور عبور تفاضلی

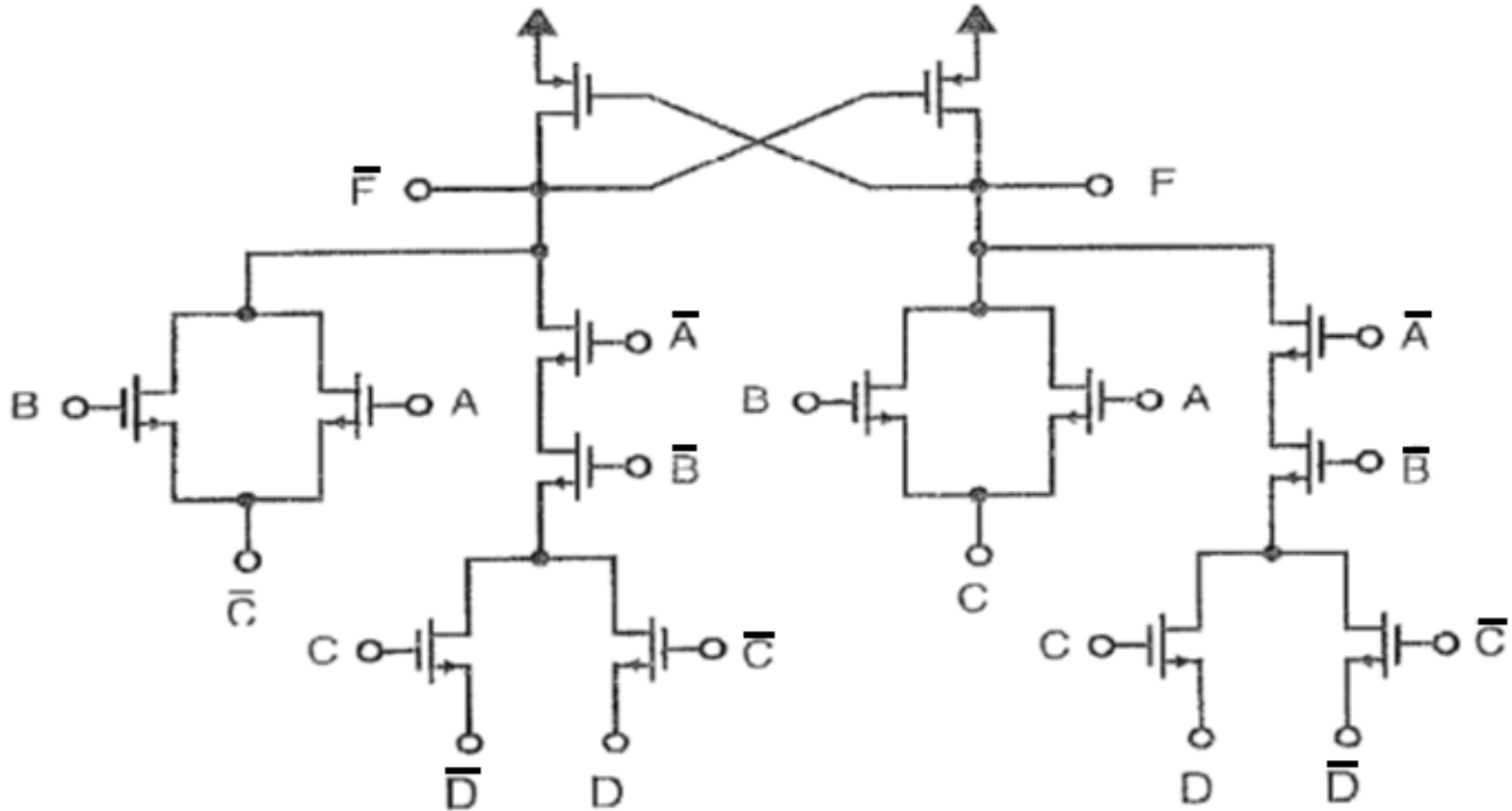
Differential Pass-Transistor Logic



چند تابع منطقی بر اساس بارهای تزویجی و شبکه های ترانزیستور عبور تفاضلی (الف) گیت AND/NAND، (ب) گیت OR/NOR و (ج) گیت XOR/XNOR.

منطق ترانزیستور عبور تفاضلی

Differential Pass-Transistor Logic



پیاده سازی تابع $F = A'B'C' + C(A+B+D)$ با منطق ترانزیستور عبور تفاضلی