

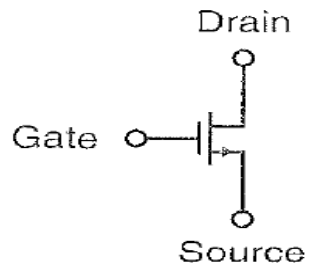
طراحی به شیوه سنتی مدارهای MOS

Nasser Mozayani

School of Computer Engineering

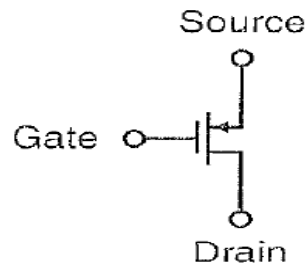
Iran University of Science and Technology

طراحی مدارات MOS



ترانزیستور NMOS

الف



ترانزیستور PMOS

ب

$$V_{tn} \approx 0.7V$$

$$V_{tp} \approx -0.7V$$

$$V_{eff} = V_{GS} - V_{tn} > 0$$

$$V_{eff} = V_{SG} - |V_{tp}| = V_{SG} + V_{tp} > 0$$

- برای یک ترانزیستور NMOS داریم

- و برای یک ترانزیستور PMOS داریم

$$I_D = \mu_n \frac{W}{L} C_{ox} \left[(V_{GS} - V_{tn}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

برای $V_{DS} < V_{eff}$

$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{GS} - V_{tn})^2$$

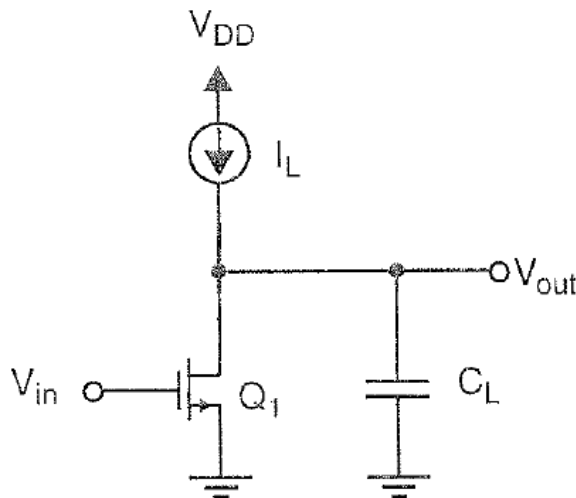
برای $V_{DS} > V_{eff}$

فناوری شبه nMOS

- فناوری شبه NMOS: ترانزیستورهای کانال n با یک ترانزیستور کانال p
- با بارگذاری خازنی کم نسبتاً سریع
- یک مدار مجتمع نوین حاوی میلیونها گیت نمی تواند فقط با استفاده از گیت های شبه NMOS پیاده سازی شوند به دلیل مصرف استاتیک
- با این وجود این مدارها ساده هستند، جای کمی می گیرند و همیشه بار کوچکی برای طبقات قبلی خود محسوب می شوند

فناوری شبه nMOS

- فناوری شبه NMOS یک تقویت کننده سورس مشترک با بار منبع جریان
- اگر ولتاژ ورودی گیت کمتر از ولتاژ آستانه Q_1 باشد، آنگاه Q_1 قطع میشود و I_L خازنهای بار را تا سطح ولتاژ بالا (بطور ایدآل V_{DD}) شارژ خواهد کرد
- اگر ورودی بالا باشد Q_1 در ابتدا به طور چشمگیری جریان بیشتری را نسبت به I_L هدایت خواهد کرد و خازن بار تا سطح ولتاژ پایین تخلیه می شود. سپس V_{DS-1} کمتر از V_{GS-1} مؤثر خواهد بود، و Q_1 به ناحیه خطی وارد می شود که باعث می شود که جریان آن تا حد I_L کاهش یابد و خروجی نزدیک به صفر ولت خواهد شد

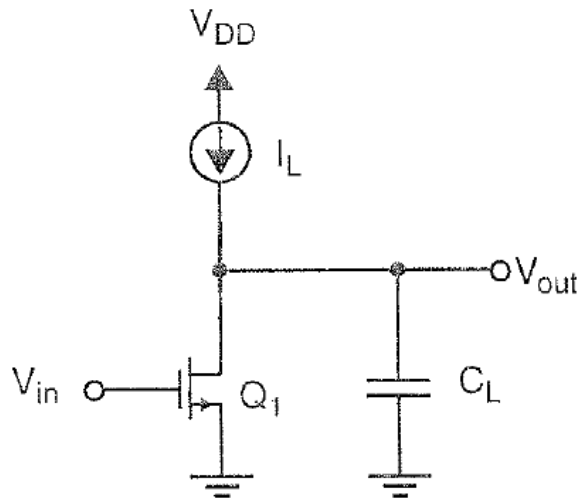


The diagram shows the PMOS transistor from the previous circuit being replaced by an equivalent current source. The current source is represented by a circle with a downward-pointing triangle and is labeled $I_L = \frac{\mu_p C_{ox} W}{2L} V_{eff}^2$. The gate of the transistor is connected to V_{bias} and the source is connected to ground. The drain is connected to V_{DD} . The equivalent circuit is shown to the right of the transistor, with an equals sign between them.

استفاده از یک ترانزیستور کانال p برای ایجاد یک بار منبع جریان

فناوری شبه nMOS

- برای تضمین اینکه V_{OL} به اندازه کافی به صفر ولت نزدیک باشد Q_1 را به قدر کافی عریض در نظر می گیرند
- در این صورت وقتی خروجی در ناحیه گذر (ولتاژ از بالا به پایین) است و در حدود V_{TH} است، جریانش بسیار بیشتر از مقدار I_L می شود
- هر چند این امر منجر می شود که زمان صعود بطور چشمگیری بیشتر از زمان نزول شود



- به این ترتیب، بیشتر گیت های با بار منبع جریان توانایی تحریک ضعیفی برای گذرهای خروجی بالا رونده دارند، مگر اینکه توسط بافرها تقویت شوند

$$I_L = \frac{\mu_p C_{ox} W}{2L} V_{eff}^2$$

فناوری شبه nMOS

- رابطه جریان ترانزیستور نوع p در ناحیه فعال:

$$I_D = \frac{\mu_p C_{ox} W}{2L} (V_{SG} + V_{tp})^2$$

(این معادله امپدانس خروجی r_{ds} را در نظر نمی گیرد)

$$= \frac{\mu_p C_{ox} W}{2L} V_{eff}^2$$

ولتاژ درین نباید بیش از مقدار $|V_{tp}|$ (حدود ۰.۸ الی ۰.۹ ولت) از ولتاژ گیت بزرگتر باشد.

اگر $V_{DD} = 3.3V$ و V_{bias} نصف آن یعنی ۱.۶۵ ولت باشد، آنگاه مادامی که ولتاژ درین تقریباً کمتر از ۲.۴۵ ولت است رابطه بالا به کار می رود

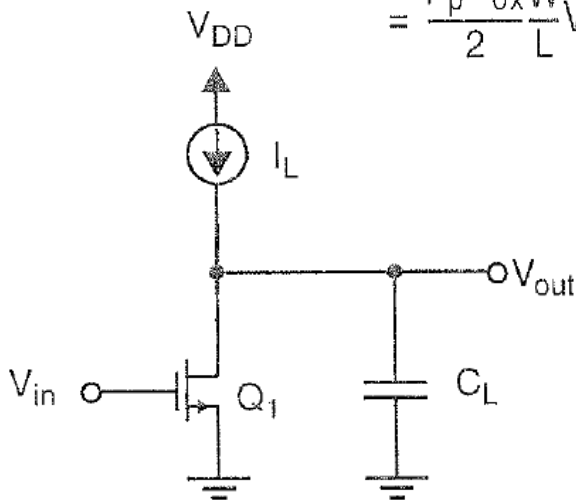
$$V_{SG} = V_{DD} - V_{bias} = 1.65V$$

$$V_{eff} = V_{SG} + V_{tp} \approx 0.75V$$

بنابراین تا زمانی که این ولتاژ بیشتر از ۰.۷۵ ولت یا بیشتر باشد،

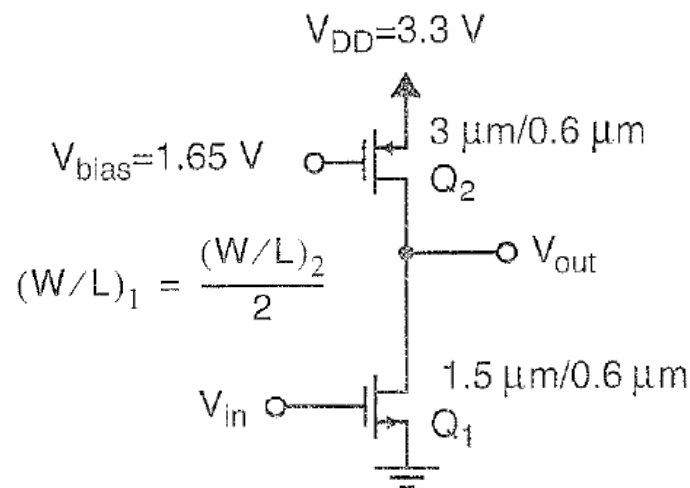
$$I_D = I_L \text{ مستقل از ولتاژ دو سر ترانزیستور است.}$$

به این ترتیب، مادامی که ولتاژ خروجی گیت کمتر از ۲.۴۵ ولت یا حدود آن باشد، می توان از ترانزیستور کانال p برای ایجاد یک منبع جریان تقریبی استفاده کرد. این حالتی است که در اکثر موارد هنگام تغییر منطق خروجی رخ می دهد. زمانی که ولتاژ خروجی تقریباً بیشتر از ۲.۴۵ ولت شود، آنگاه جریان بار شروع به افت می کند و مدل دقیق تر، یک منبع جریان به صورت موازی با یک مقاومت خواهد بود.



ولتاژ آستانه معکوس کننده (V_{TH})

- Q_1 قطعاً در ناحیه فعال است چون در حالت $V_{in} = V_{out}$ ولتاژ گیت-درین Q_1 صفر است.
- همچنین می توان فرض کرد که Q_2 هم در ناحیه فعال قرار دارد. این مسئله مادامی که ولتاژ آستانه گیت منطقی، کمتر از ۲.۴۵ ولت باشد در معکوس کننده هایی که به درستی طراحی شده اند رخ می دهد. اگر چنین نباشد، اندازه ترانزیستورها به خوبی انتخاب نشده است و گیت غیر قابل استفاده خواهد بود



- فرض $V_{GS-1} = V_{in} = V_{th}$ و $V_{SG-2} = V_{DD}/2$

$$I_{D-2} = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 \left(\frac{V_{DD}}{2} + V_{tp} \right)^2$$

$$I_{D-1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{th} - V_{tn})^2$$

$$I_{D-1} = I_{D-2} \Rightarrow$$

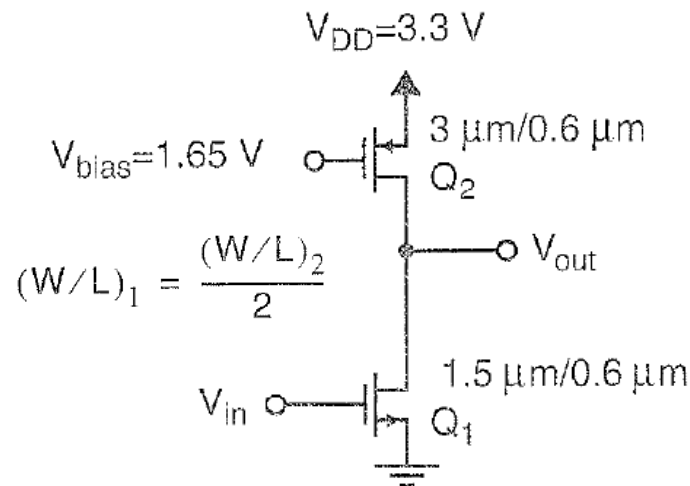
$$V_{th} = V_{tn} + \sqrt{\frac{\mu_p (W/L)_2}{\mu_n (W/L)_1}} \left(\frac{V_{DD}}{2} + V_{tp} \right)$$

ولتاژ آستانه معکوس کننده (V_{TH})

■ مثال

برای $\mu_n/\mu_p = 4.2$ ، $V_{tn} = 0.8 \text{ V}$ و $V_{tp} = -0.9 \text{ V}$ ، V_{th} را برای معکوس کننده پیدا کنید.

پاسخ: برای $(W/L)_2/(W/L)_1 = 2$ با استفاده از رابطه زیر: $V_{th} = 1.32 \text{ V}$.



$$V_{th} = V_{tn} + \sqrt{\frac{\mu_p (W/L)_2}{\mu_n (W/L)_1}} \left(\frac{V_{DD}}{2} + V_{tp} \right)$$

ولتاژ بالای خروجی (V_{OH})

با فرض ورودی "0" (کمتر از V_{tn}) آنگاه Q_1 کاملاً قطع خواهد شد.
 در این شرایط، ولتاژ سورس-درین Q_2 بسیار کوچک خواهد بود.
 در این مورد داریم $V_{SD2} \ll V_{eff-2}$ و Q_2 شدیداً در ناحیه خطی است. جریان Q_2 از رابطه زیر محاسبه می گردد.

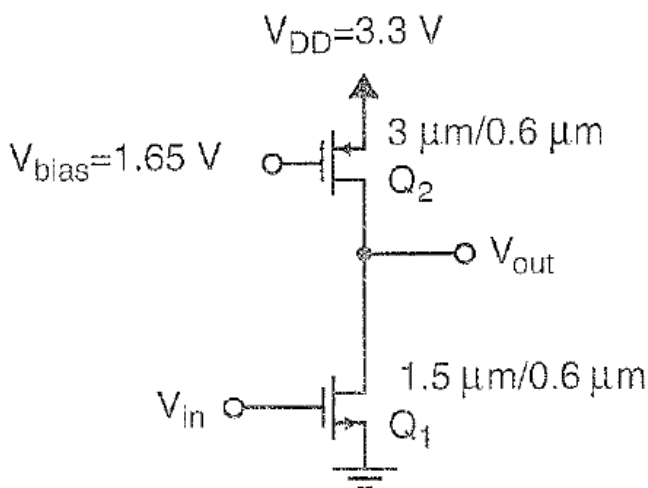
$$I_{D2} \cong \mu_p C_{ox} \left(\frac{W}{L} \right)_2 V_{eff-2} V_{SD-2}$$

از آنجا که

$$V_{eff-2} = V_{SG-2} + V_{tp} = V_{DD}/2 + V_{tp} = 0.75 \text{ V}$$

پس می توان Q_2 را با مقاومت r_{ds-2} مطابق زیر تقریب زد.

$$r_{ds-2} = \frac{1}{\mu_p C_{ox} (W/L)_2 V_{eff-2}}$$



ولتاژ بالای خروجی (V_{OH})

چون Q_1 قطع است، هیچ جریانی از Q_2 رد نخواهد شد، و $V_{SD-2} = 0$
که نشان می دهد $V_{out} = V_{OH} = V_{DD}$

رابطه مقاومتی تنها زمانی معتبر است که V_{SD-2} به 0 V نزدیک باشد یا به طور معادل، V_{out} به V_{DD} نزدیک باشد و زمانی که خروجی در ناحیه گذر و در حدود V_{th} است (هنگامی که از "0" به "1" تغییر می کند) معتبر نیست

ولتاژ بالای خروجی (V_{OH})

مثال

با فرض

$$\mu_n C_{ox} = 188 \mu A/V^2, \mu_p C_{ox} = 188 \mu A/V^2,$$

و این که خازن بار 1 Pf است، چه مدت طول می کشد که ولتاژ خروجی در پایان انتقال از "0" به "1"، از 3.0 V به 3.2 V، تغییر کند؟

فرض کنید $(W/L)_2 = (3\mu m / 0.6\mu m)$.

$$r_{ds-2} = \frac{1}{44.5 \times 10^{-6} (3/0.6) 0.75} = 5.99 \text{ k}\Omega$$

پاسخ:

$$\Delta t = \tau \ln \left[\frac{V_{out}(\infty) - V_{out}(t_1)}{V_{out}(\infty) - V_{out}(t_2)} \right]$$

$$V_{out}(t_1) = 3.0 \text{ V}, V_{out}(\infty) = 3.3 \text{ V}, \tau = r_{ds-2} C_L = 5.99 \text{ ns}$$

$$V_{out}(t_2) = 3.2 \text{ V} \text{ با جایگذاری این مقادیر بدست می آوریم } \Delta t = 2.4 \text{ ns}$$

ولتاژ پایین خروجی (V_{OL})

وقتی ورودی "۱" است، $V_{GS-1} = V_{DD} = 3.3 \text{ V}$. پس Q_1 کاملاً روشن خواهد بود. با فرض اینکه اندازه ترانزیستور به درستی انتخاب شده باشد، خروجی یک ولتاژ پایین خواهد بود. بنابراین Q_2 در ناحیه فعال و مانند یک منبع جریان عمل خواهد کرد

$$I_L = I_{D-2} \cong \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 V_{off-2}^2$$

همچنین، چون V_{out} کوچک است، V_{DS-1} بسیار کوچکی داریم (به عبارت دیگر بسیار کمتر از ولتاژ گیت موثرش، که $V_{GS-1} - V_{tn}$ یا 2.5 V است) و Q_1 شدیداً در ناحیه خطی است. بنابراین می توان Q_1 را با مقاومتی به اندازه زیر تقریب زد.

$$r_{ds-1} = \frac{1}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})}$$

بنابراین

$$V_{OL} = I_{D-2} r_{ds-1} = \frac{1}{2} \frac{\mu_p (V_{DD}/2 + V_{tp})^2 (W/L)_2}{\mu_n (V_{DD} - V_{tn}) (W/L)_1}$$

ولتاژ پایین خروجی (V_{OL})

مثال:

با استفاده از پارامترهای مثال قبل، V_{OL} و حاشیه های نویز معکوس کننده شبه NMOS را محاسبه کنید.

پاسخ:

$$V_{OL} = \frac{1}{2} \left(\frac{44.5}{188} \right) \frac{0.75^2}{(3.3 - 0.8)} = 0.053 \text{ V}$$

از مثال قبل داریم $V_{th} = 1.32 \text{ V}$ ، و از بخش قبلی داریم $V_{OH} = 3.3 \text{ V}$. به این ترتیب،
 $NM_L = V_{th} - V_{OL} = 1.27 \text{ V}$ و $NM_H = V_{OH} - V_{th} = 1.98 \text{ V}$

پاسخ گذرا

- سرعت گیت محدود است زیرا ترانزیستورها فقط می توانند مقدار محدودی جریان شارژ یا دشارژ خازن های پارازیتی را تأمین کنند.
- خازن پارازیتیک از سه جزء تشکیل شده است:
 - خازن ورودی گیت هایی که با خروجی تحریک شده اند
 - خازن ناشی از اتصالات میانی
 - خازن ناشی از نقاط اتصال بایاس معکوس در گره خروجی گیت
- عوامل تأخیر دیگری نیز وجود دارد مربوط به تغییر وضعیت گره های داخلی گیت قبل از اینکه خروجی بتواند تغییر وضعیت دهد.
- اغلب زمانی که یک گیت فقط چند گیت دیگر را تحریک می کند، خازن نقاط اتصال در گره خروجی می تواند مؤلفه غالب باشد و این خازن به شدت غیر خطی است. تخمین اندازه آن نیز در زمان طراحی مشکل است زیرا مساحت نقاط اتصال، قبل از آن که چینش انجام شده باشد، مشخص نمی شود و تنها می توان برآوردی از آن ارائه کرد. به این دلایل، بسیار مهم است که طراح تضمین کند که مدارهای مجتمع، صرف نظر از اطلاع دقیق از تأخیر های گیت، کاربردی باشند. همچنین بهتر است که طراح بر چینش مدار نظارت داشته باشد تا مطمئن شود که مساحت اتصال گره های بحرانی حداقل باشند.

زمان صعود

■ زمان را از نقطه ای که ورودی وارد مرحله تغییر از ۱ به ۰ می شود تا زمانی که خروجی به ۷۰٪ تغییر، یعنی حدوداً 2.3 V ، می رسد محاسبه می کنیم.

■ در طی ۷۰٪ زمان صعود، Q_1 قطع می شود و به این ترتیب از آن صرف نظر می شود. در ابتدا Q_2 در ناحیه فعال است و جریان آن تقریباً برابر است با:

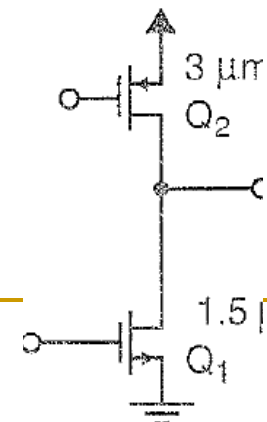
$$I_{D-2} = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 V_{\text{eff}-2}^2 = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_2 \left(\frac{V_{DD}}{2} + V_{tp} \right)^2$$

■ این مسئله تا زمانی که ولتاژ دو سوی Q_2 به $V_{\text{eff}-2} = 0.75\text{ V}$ یا معادل آن یعنی زمانی که به $V_{\text{out}} = 2.55\text{ V}$ برسد، صادق خواهد بود.

■ چون خروجی باید به 2.3 V برسد تا از تغییر ۷۰٪ بگذرد، ترانزیستور Q_2 در طی زمان صعود ۷۰٪ در ناحیه فعال باقی خواهد ماند. بنابراین I_{D-2} در مقدار بالا ثابت باقی خواهد ماند. بنابراین رابطه (۴-۲۴) را داریم که در آن C_L خازن بار کل بر حسب فاراد است

$$\Delta t = \frac{C_p \Delta V_n}{I_{ch}}$$

$$t_{+70\%} = \frac{C_L}{I_{D-2}} \Delta V_{\text{out}} = \frac{2C_L 2.3}{\mu_p C_{ox} (W/L)_2 [(V_{DD}/2) + V_{tp}]^2}$$



زمان صعود

■ مثال

■ زمان تقریبی صعود معکوس کننده شبه NMOS شکل قبل به ازاء $C_L = 0.2 \text{ pF}$ با فرض $\mu_p C_{OX} = 44.5 \text{ } \mu\text{A/V}^2$ چقدر است؟

■ پاسخ:

با استفاده از رابطه قبل و با در نظر داشتن

$$V_{DD} = 3.3 \text{ V} \text{ و } V_{tp} = -0.9 \text{ V}, (W/L)_2 = 3 \text{ } \mu\text{m}/0.6 \text{ } \mu\text{m}$$
$$\text{داریم } t_{+70\%} = 5.7 \text{ ns}$$

زمان نزول

■ در زمان تغییر ورودی از 0 به یک، ورودی V_{DD} می شود $\Leftarrow Q_1$ شدیداً روشن شود.

■ زمان نزول : خروجی از 3.3 V به 1.0 V (70٪) کاهش می یابد

■ در بخش عمده ای از این زمان، جریان Q_1 بسیار بزرگتر از جریان Q_2 است و لذا می توان از Q_2 صرف نظر کرد.

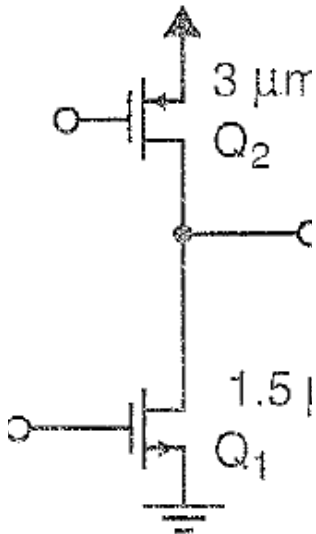
■ در ابتدا Q_1 در ناحیه فعال است تا زمانی که $V_{DG-1} < -V_{tn}$

یا معادل آن $V_{DS-1} < V_{eff-1} = V_{GS-1} - V_{tn}$ باشد.

این مسئله زمانی رخ می دهد که خروجی (برای $V_{tn} = 0.8\text{ V}$) به 2.5 V ولت دشارژ شده است

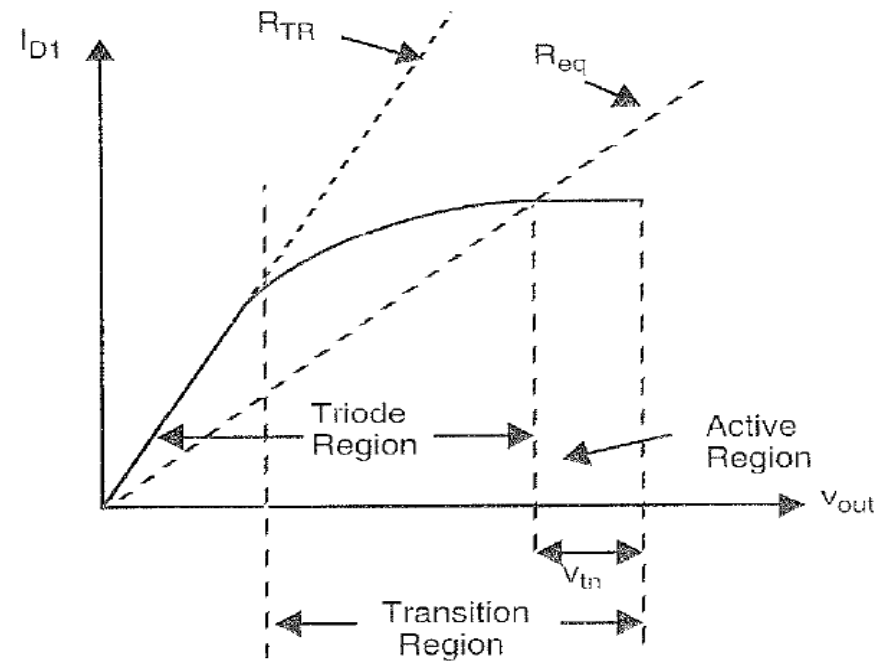
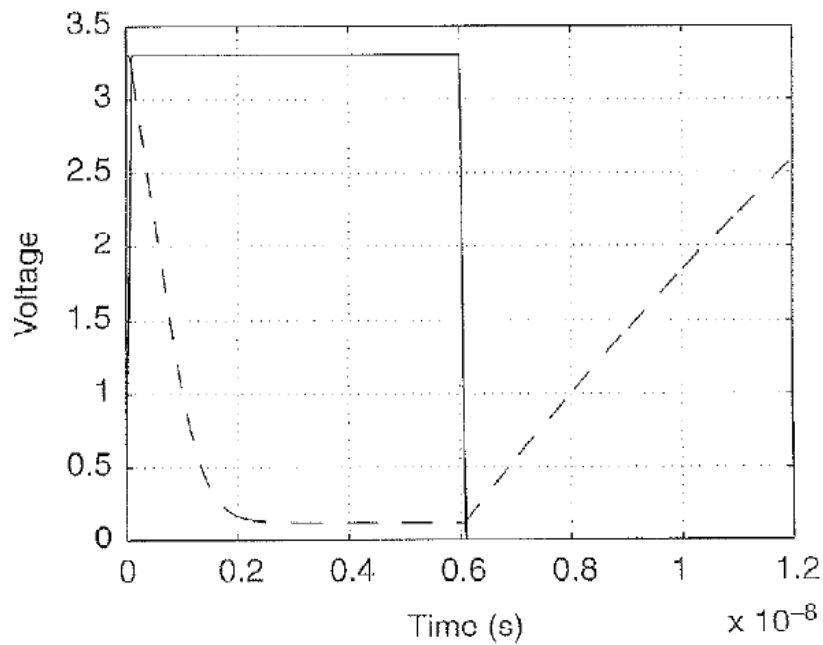
■ سپس، Q_1 در بیشتر زمان نزول وارد ناحیه خطی می شود

محاسبه تحلیلی زمان نزول امکان دارد و روابط آن موجود است اما در طی طراحی استفاده کمی دارد. در عوض، پیدا کردن فرمولی برای مقاومت تقریباً معادلی که زمان نزول مشابهی را ارائه می کند، مطلوب است



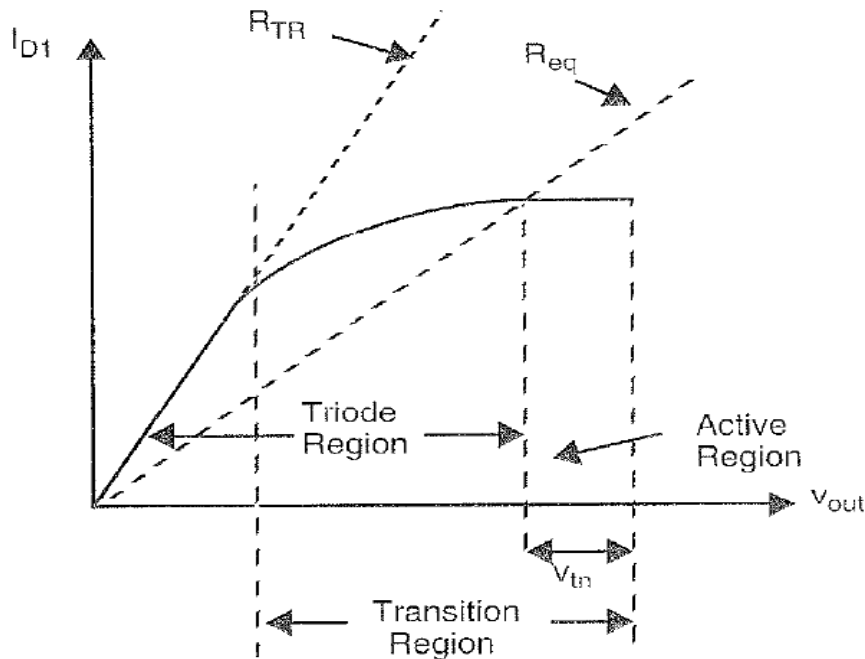
زمان نزول

- در زمان نزول جریان کلا غیر خطی است و لازم است تقریبی از آن را بدست آوریم



زمان نزول

- زمانی که V_{DS-1} کوچک است (Q_1 شدیداً خطی است) معادل مقاومت R_{TR} است



$$R_{TR} = \frac{1}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})}$$

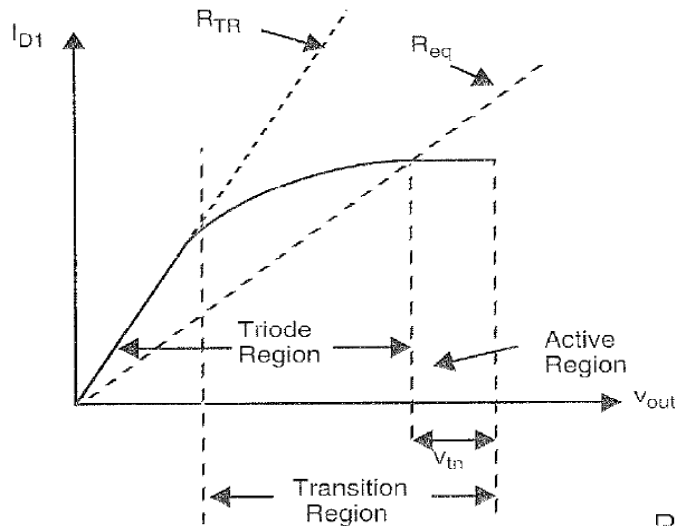
- ولتاژ محل تقاطع منحنی های R_{eq} و Q_1 برابر است با $V_{DD} - V_{tn}$

جریان در محل تقاطع همان جریان Q_1 در ناحیه فعال است، یعنی

$$I_{D-1} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_{DD} - V_{tn})^2$$

$$R_{eq} = \frac{V_{DD} - V_{tn}}{\frac{\mu_n C_{ox}}{2} (W/L)_1 (V_{DD} - V_{tn})^2} = \frac{2}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})}$$

زمان نزول



- مقاومت معادل با Q_1 تقریباً دو برابر R_{TR} است که همان مقاومت خطی Q_1 است

$$R_{TR} = \frac{1}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})}$$

$$R_{eq} = \frac{V_{DD} - V_{tn}}{\frac{\mu_n C_{ox}}{2} (W/L)_1 (V_{DD} - V_{tn})^2} = \frac{2}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})}$$

- در عمل مشاهده می شود که زمان های گذر کمی بیش از ۲۰ درصد کندتر از این است بنابراین بعضی از طراحان رابطه بالا را بصورت زیر اصلاح میکنند:

$$R_{eq} = \frac{2.5}{\mu_n C_{ox} (W/L)_1 (V_{DD} - V_{tn})}$$

زمان نزول

■ مثال

با استفاده از تقریب مقاومت معادل، زمان نزول معکوس کننده شبه NMOS را با فرض این که خروجی 70٪ تغییر می کند و خازن بار 0.2 pF است محاسبه کنید.

■ پاسخ:

با فرض $\mu_p C_{OX} = 188 \mu A/V^2$ و $(W/L)_1 = 2.5$ داریم $R_{eq} = 1.7 k\Omega$.
به این ترتیب، $\tau = C_L R_{eq} = 0.34 ns$. ضمناً می دانیم:

$$V_{out}(\infty) = 0.05 V \text{ و } V_{out}(t_2) = 1.0 V, V_{out}(t_1) = 3.3 V$$

بدست می آید: $t_{-70\%} = 0.42 ns$

$$t_F = \tau \ln \left[\frac{V_{out}(\infty) - V_{out}(t_1)}{V_{out}(\infty) - V_{out}(t_2)} \right]$$

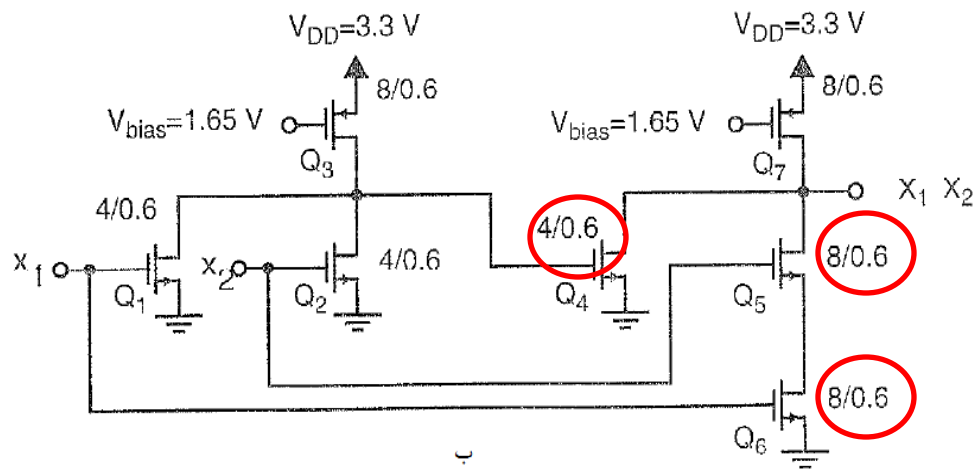
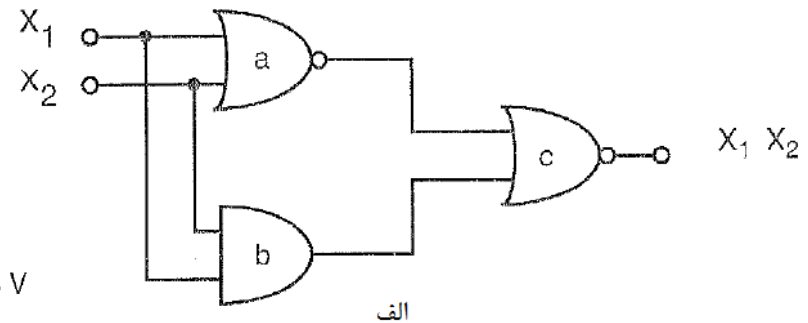
■ زمان نزول بدست آمده از شبیه ساز اسپایس برابر 0.94 ns است. دلیل اصلی اختلاف این است که جریان عبوری از ترانزیستور بار Q_2 نادیده گرفته شده است

گیت های منطقی شبه NMOS

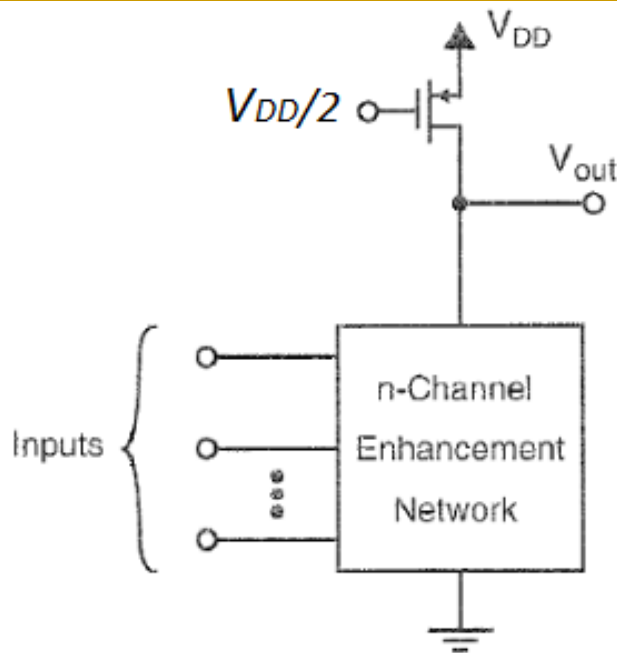
■ تاکید روی تقریب مقاومت معادل و انتخاب اندازه ترانزیستورها

■ مثال گیت XOR

$$\begin{aligned}
 y &= x_1 \oplus x_2 = x_1 \bar{x}_2 + \bar{x}_1 x_2 \\
 &= \overline{x_1 x_2 + x_1 \bar{x}_2} \\
 &= \overline{x_1 x_2 + x_1 + x_2}
 \end{aligned}$$



نسبت W/L

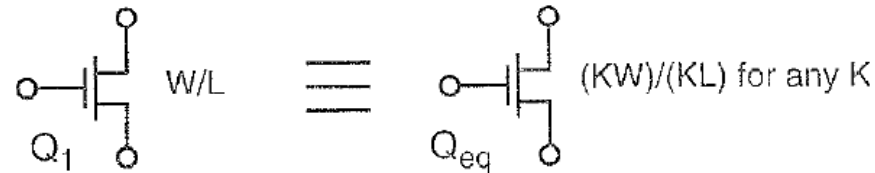


■ امپدانس شبکه ترانزیستورهای تحریک در حالت low نباید بزرگتر از امپدانس یک ترانزیستور افزایشی نوع n باشد که W/L آن حداقل نصف W/L ترانزیستور بار است

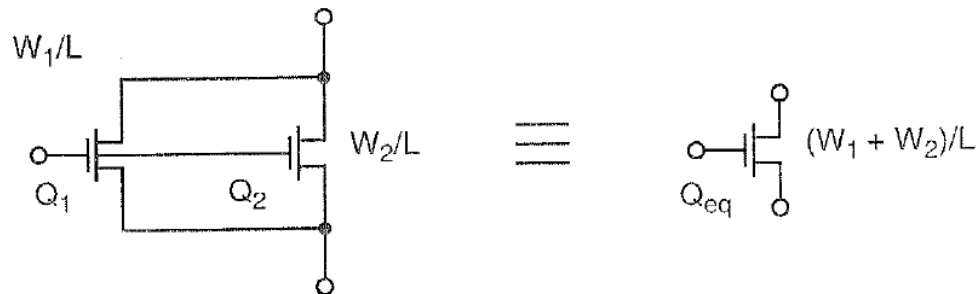
- حداکثر W/L ترانزیستورهای محرک به خاطر تمایل به سرعت بیشتر محدود می شود
- به دو دلیل بزرگتر کردن آنها از حد مورد نیاز، سبب آهسته تر شدن منطق می شود
 - خازنهای پارازیت گره های داخلی گیت را افزایش می دهد
 - خازن بار خروجی گیت های پیشین را افزایش می دهد
- بزرگ در نظر گرفتن بیش از حد W/L سبب عمل کردن نا صحیح گیت نمی شود.

ترانزیستورهای معادل

- دو ترانزیستور زمانی معادلند که نسبت W/L هایشان مستقل از مقادیر مطلق W یا L ، برابر باشد



- دو ترانزیستور با طول یکسان که بطور موازی متصلند، معادل ترانزیستوری هستند که عرضی برابر با مجموع عرضهای دو ترانزیستور دارد



- اثبات در ناحیه اشباع:

$$I_T = I_{D-1} + I_{D-2} = \frac{\mu C_{ox}(W_1 + W_2)}{2L} (V_{GS} - V_t)^2$$

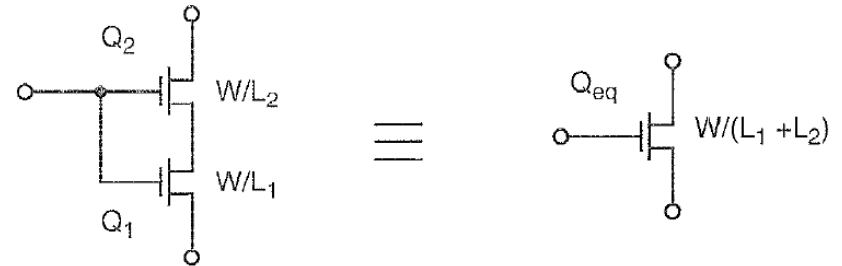
- اثبات در ناحیه خطی مشابه است

- اگر طول ترانزیستورها برابر نباشد، آنگاه W و L یکی از ترانزیستورها می تواند مقیاس بندی شود تا طول ها برابر شوند

ترانزیستورهای معادل

- دو ترانزیستور که عرض‌های مشابه دارند، بصورت سری متصلند و گیت هایشان بهم متصل است، معادل ترانزیستوری هستند که طول آن برابر مجموع طول‌های هر یک از آنها به تنهایی است

$$V_{GS-2} = V_{GS-1} - V_{DS-1}$$



$$I_{D-1} = \mu C_{ox} \frac{W}{L_1} \left[(V_{GS-1} - V_t) V_{DS-1} - \frac{V_{DS-1}^2}{2} \right]$$

$$I_{D-2} = \frac{\mu C_{ox} W}{2 L_2} (V_{GS-1} - V_{DS-1} - V_t)^2$$

$$= \frac{\mu C_{ox} W}{2 L_2} [(V_{GS-1} - V_t) - V_{DS-1}]^2$$

$$I_{D-2} = \frac{\mu C_{ox} W}{2 L_2} [(V_{GS-1} - V_t)^2 - 2(V_{GS-1} - V_t)V_{DS-1} + V_{DS-1}^2]$$

$$I_{D-1} = I_{D-2}$$

$$\left(\frac{W}{L_1} + \frac{W}{L_2} \right) (V_{GS-1} - V_t) V_{DS-1} - \left(\frac{W}{L_1} + \frac{W}{L_2} \right) \frac{V_{DS-1}^2}{2} = \frac{1}{2} \frac{W}{L_2} (V_{GS-1} - V_t)^2$$

$$\Rightarrow (V_{GS-1} - V_t) V_{DS-1} - \frac{V_{DS-1}^2}{2} = \frac{1}{2} \frac{L_1}{L_1 + L_2} (V_{GS-1} - V_t)^2$$

$$I_{D1} = \frac{\mu C_{ox}}{2} \frac{W}{L_1 + L_2} (V_{GS-1} - V_t)^2$$

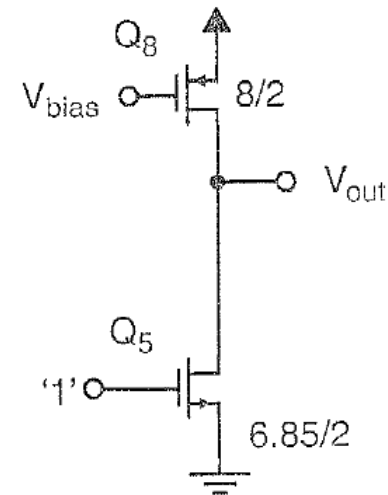
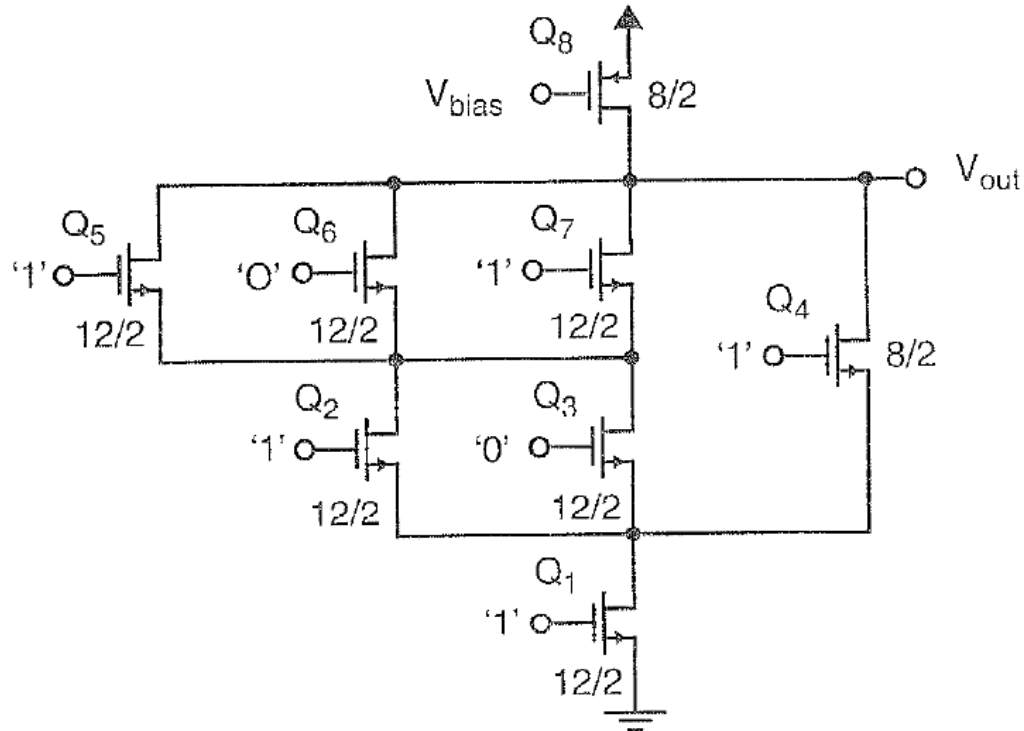
ترانزیستورهای معادل

- اثبات در ناحیه خطی مشابه است
- اگر عرض ترانزیستورها برابر نباشد، آنگاه W و L یکی از ترانزیستورها می تواند مقیاس بندی شود تا عرض ها برابر شوند

ترانزیستورهای معادل

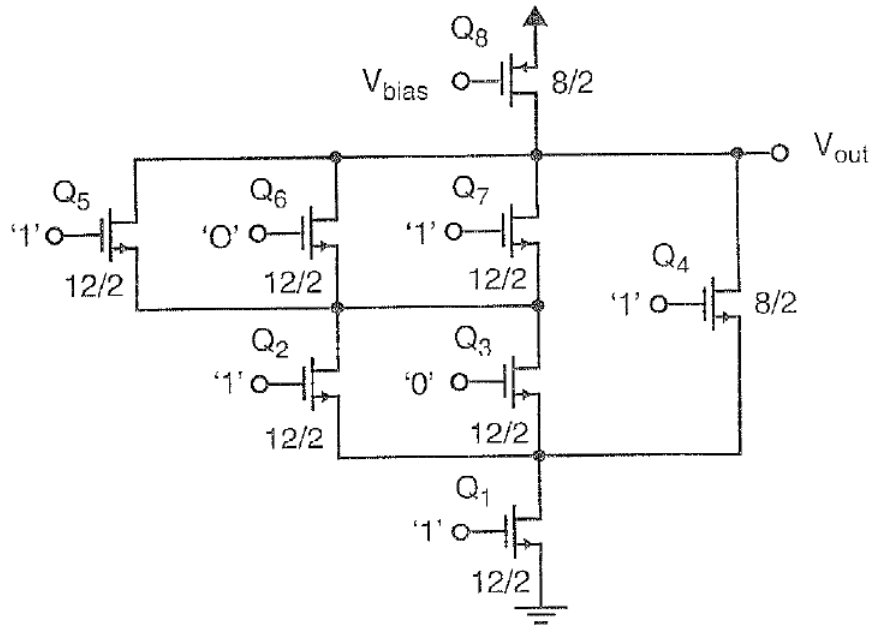
■ مثال

شبکه ترانزیستورهای تحریک شکل زیر را با یک ترانزیستور معادل جایگزین کنید

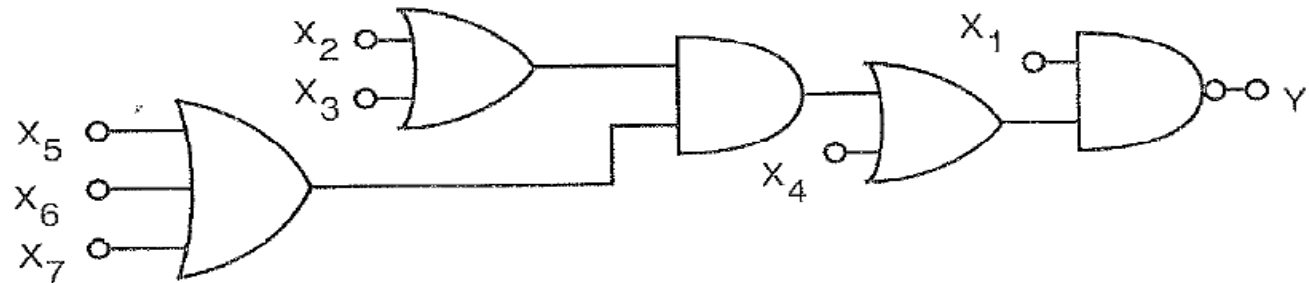


ارزیابی تابع منطقی یک گیت NMOS

■ مثال



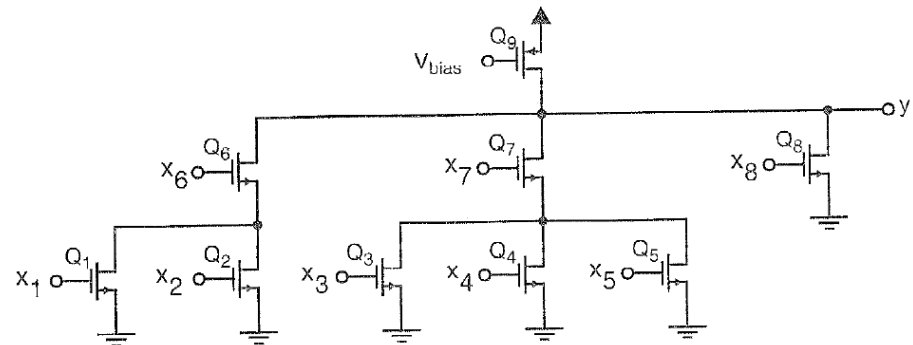
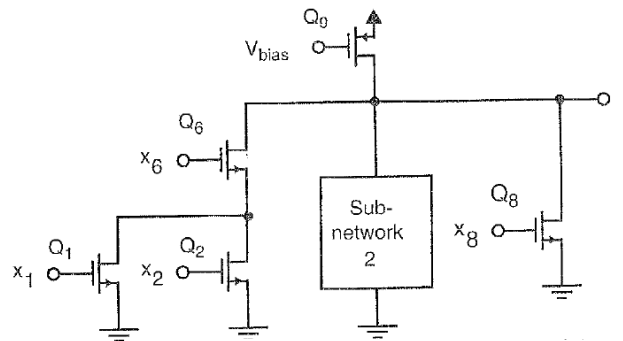
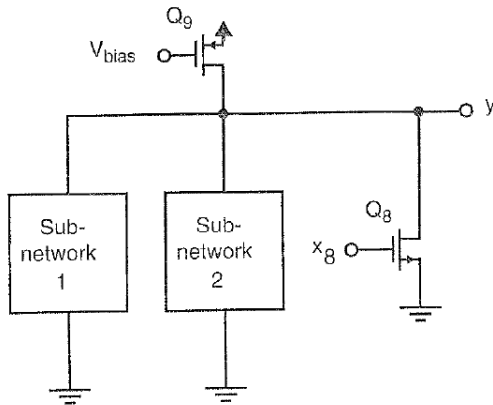
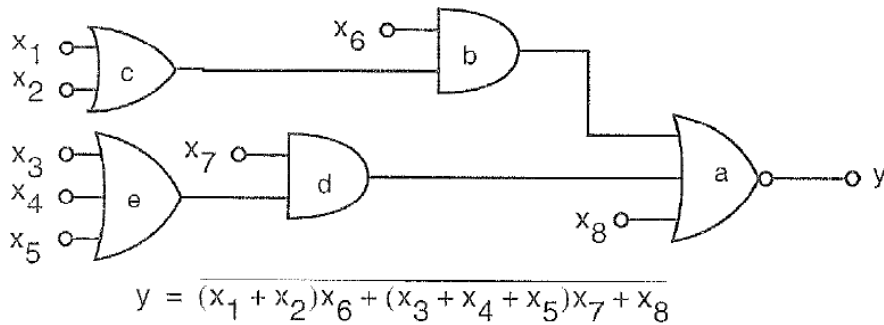
$$V_{out} = \overline{x_1(x_4 + (x_2 + x_3)(x_5 + x_6 + x_7))}$$



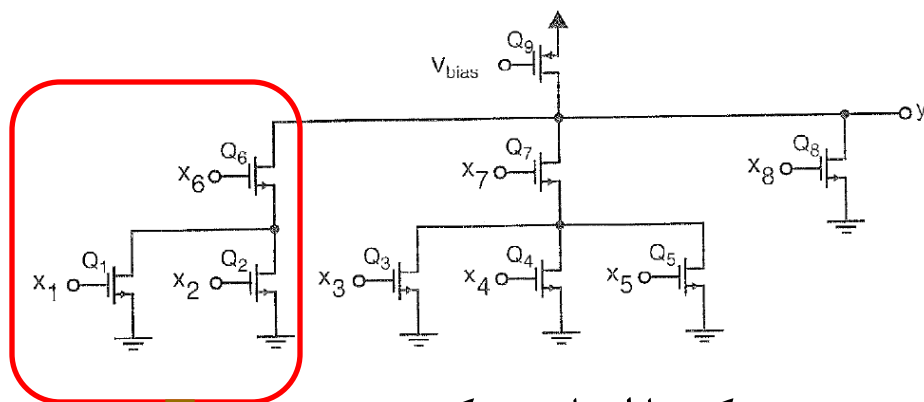
ایجاد گیت های شبه NMOS پیچیده

■ مثال

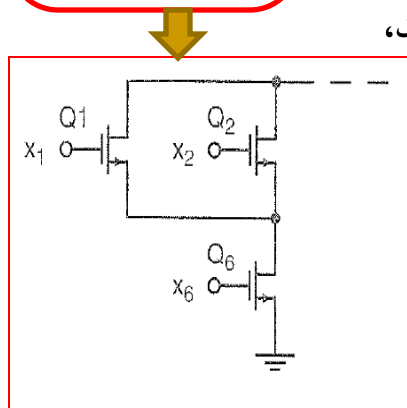
مدار منطقی شکل روبرو را با یک
گیت NMOS ایجاد کنید



ایجاد گیت های شبه NMOS پیچیده



توجه: لزوماً زیر شبکه ها
منحصر بفرد نیست



زمانی که توابع and را با اتصالات سری زیر شبکه ها ایجاد می کنید،

زیر شبکه های پیچیده تر را نزدیک به زمین قرار دهید.

این امر سبب می شود که خازن های پارازیتیک معرفی شده

در اتصالات ترانزیستور تا حد امکان به زمین نزدیک باشد،

که به نوبه خود به این معنی است که آنها با کوچکترین

مقاومت معادل ممکن، دشارژ می شوند.

این اصل بویژه برای گیت های دینامیک اهمیت دارد

هرگز گیت های NMOS ای را که بیش از چهار ترانزیستور تحریک سری داشته باشند

ایجاد نکنید چرا که به شدت سرعت گیت را کاهش می دهند.

انتخاب ابعاد ترانزیستور

- نسبت W/L ترانزیستور معادل با شبکه تحریک کانال n باید حداقل نصف نسبت W/L بار باشد
(با فرض اینکه ترانزیستور بار کانال p و گیت آن به $V_{DD}/2$ وصل باشند)
- با این محدودیت ها نسبت W/L ترانزیستورهای شبکه تحریک باید تا حد ممکن کوچک باشد
- نسبت W/L ترانزیستور بار کانال p بر اساس مصالحه بین سرعت و اندازه در برابر اتلاف توان انتخاب شده است. هر چه W/L ترانزیستور بار بزرگتر باشد، گیت سریع تر خواهد بود، بویژه زمانی که این ترانزیستور تعداد زیادی گیت های دیگر و یا یک باس را تحریک می کند. متأسفانه این مسئله موجب افزایش اتلاف توان و مساحت شبکه تحریک می شود
- نسبت W/L نوعی، می تواند در محدوده $5\mu m/L_{min}$ یا $10\mu m/L_{min}$ باشد که در آن L_{min} حداقل طول کانال است.

انتخاب ابعاد ترانزیستور

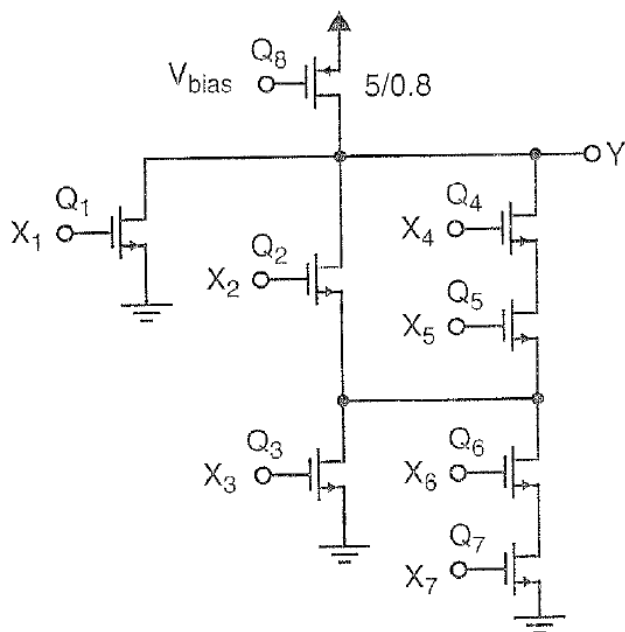
■ زمانی که اندازه ترانزیستور بار انتخاب شد، روش ساده ای می تواند برای انتخاب W/L های ترانزیستور تحریک مورد استفاده قرار گیرد. هر چند که این روش، روشی بهینه برای به حداکثر رساندن سرعت نمی باشد، اما اختلاف سرعت بین گیت ایجاد شده و گیت بهینه، معمولاً ناچیز است. این روش به شرح زیر است:

- $(W/L)_{eq}$ را نصف W/L ترانزیستور بار کانال p در نظر بگیرید
- به ازاء همه ورودی های ممکن، برای هر ترانزیستور Q_i حداکثر تعداد ترانزیستور تحریکی را که با آن سری خواهد شد تعیین کنید. این عدد را به صورت n_i مشخص کنید
- در نظر بگیرید که $(W/L)_i = n_i (W/L)_{eq}$.

انتخاب ابعاد ترانزیستور

مثال

اندازه مناسب برای گیت منطقی شبه NMOS
 نشان داده شده در شکل روبرو را انتخاب کنید



Transistor	Size
Q ₁	2.5 μm /0.8 μm
Q ₂	7.5 μm /0.8 μm
Q ₃	7.5 μm /0.8 μm
Q ₄	10 μm /0.8 μm
Q ₅	10 μm /0.8 μm
Q ₆	10 μm /0.8 μm
Q ₇	10 μm /0.8 μm

این اندازه ها بهینه نیست، مثلاً Q_2 و Q_3 را می توان کمی کوچکتر انتخاب کرد، اما با این صورت اختلاف سرعت عملکرد گیت چندان محسوس نخواهد بود

توان مصرفی

- گیت شبه NMOS که خروجی "۱" دارد هیچگونه اتلاف توان dc ندارد
- گیت شبه NMOS که خروجی "۰" دارد دارای اتلاف توان dc برابر با حاصل ضرب جریان ترانزیستور بار کانال p در ولتاژ منبع تغذیه است:

$$P_d = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right)_p V_{eff-p}^2 V_{DD}$$

- فرض کنید که گیت در نیمی از زمان ها، خروجی "۱" و در نیم دیگر زمان خروجی "۰" دارد:

$$P_d = \frac{\mu_p C_{ox}}{4} \left(\frac{W}{L} \right)_p V_{eff-p}^2 V_{DD}$$

- بعلاوه، هرگاه یک خازن شارژ یا دشارژ می شود، یک اتلاف توان ac هم وجود دارد
- همچنین، بیشتر مدارهای مجتمع برای تحریک پین های خروجی و باس های داخلی به بافرها نیاز دارند که این بافرها اغلب دارای توان مصرفی بیش از توان مصرفی گیت های معمولی می باشد
- در مجموع، یک مدار مجتمع شبه NMOS با ده ها هزار گیت توان بسیار زیادی مصرف می کند

توان مصرفی

■ مثال

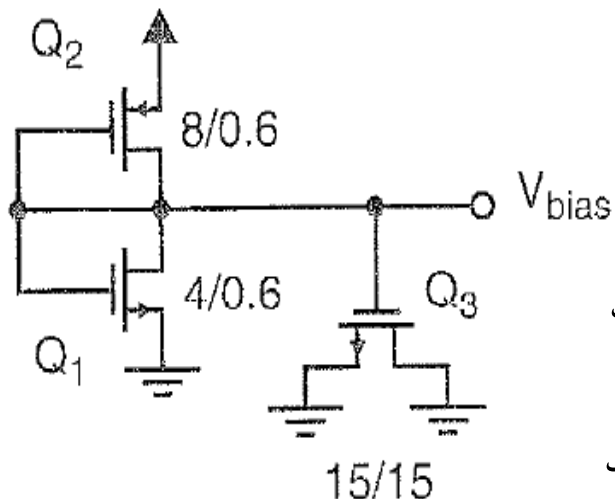
توان مصرفی یک بسته آرایه گیت های شبه NMOS که دارای ۲۰,۰۰۰ گیت می باشد چیست اگر ترانزیستورهای بار کانال p اندازه ای برابر با $(W/L)_p = 4/2$ داشته باشند و بافرهای خروجی در نظر گرفته نشده باشند؟

■ پاسخ :

با فرض $V_{\text{eff-p}} = 0.75\text{v}$ و $\mu_p C_{\text{ox}} = 44.5 \mu\text{A/V}^2$

$$P_{\text{total}} = 20,000 \frac{44.5 \times 10^{-6}}{4} \frac{4}{2} (0.75)^2 3.3 = 0.83 \text{ W}$$

سایر مدارهای شبه NMOS



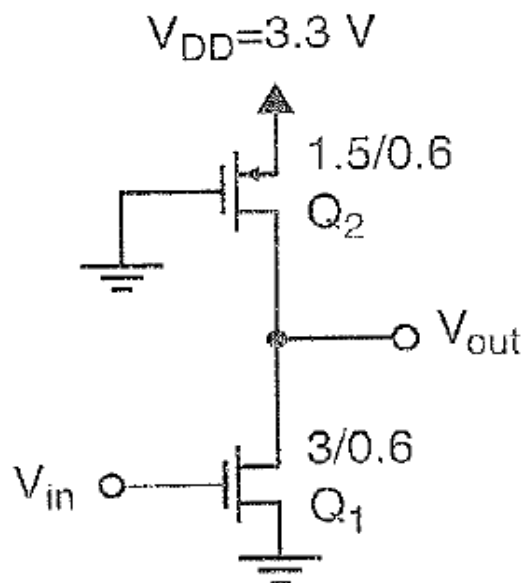
■ ولتاژ بایاس مدارهای شبه NMOS را می توان با استفاده از مدارهای مرجعی از قبیل شکل روبرو ساخت:

نسبت $(W/L)_1$ به $(W/L)_2$ باید مشابه قبل مثلاً $1/2$ باشد

Q_3 برای ایجاد بارگذاری خازنی گنجانده شده که کمک می کند تا نویزی که به V_{bias} تزریق می شود به حداقل برسد

اندازه دقیق آن به تعداد گیت هایی که به این مدار مرجع متصل است وابسته است و می توان آن را با استفاده از شبیه سازی در سطح اسپایس تعیین کرد.

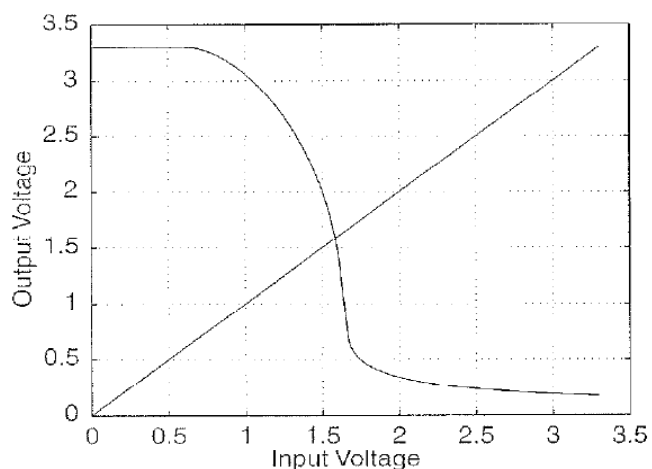
سایر مدارهای شبه NMOS



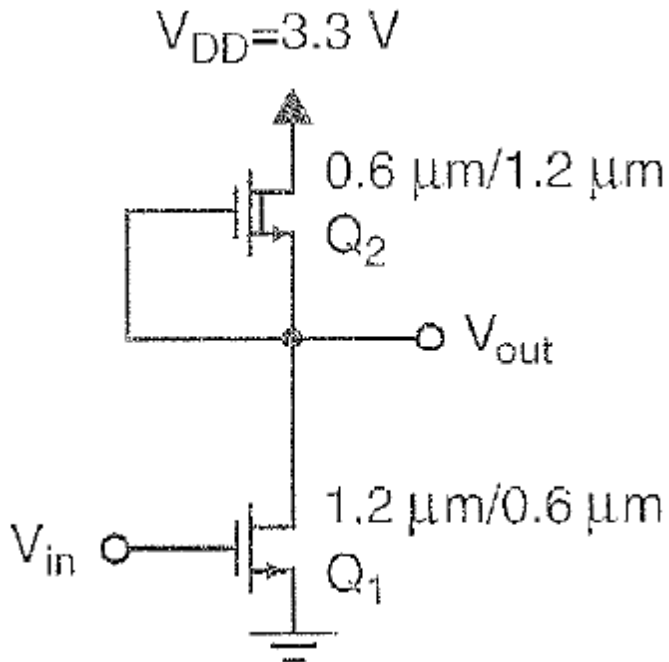
می توان با اتصال گیت Q_2 به زمین، مداری ایجاد کرد که به مدار بایاس نیاز نداشته باشد

توجه: در این حالت اندازه نسبی Q_1 نسبت به Q_2 متفاوت است برای به دست آوردن ولتاژ آستانه گیت مناسب و ولتاژ خروجی پایین انتخاب معمول $(W/L)_{eq} = 2 (W/L)_p$ است

در منحنی انتقالی که با اسپایس بدست آمده ولتاژ آستانه گیت ۱.۵۸ ولت و ولتاژ خروجی پایین ۰.۱۷ ولت است که هر دو از مقادیر معقولی است



منطق NMOS با ترانزیستورهای بار نوع تخلیه ای



■ برای Q2 داریم $V_{td} < 0$ ، یک کانال به ازاء $V_{GS} = 0$ وجود دارد

Q2 به ازاء $V_{DS} > V_{eff-d} = -V_{td}$ در ناحیه اشباع خواهد بود که ممکن است در حدود ۲ ولت یا کمی بیشتر باشد با این فرض جریان درین Q2 بصورت زیر است:

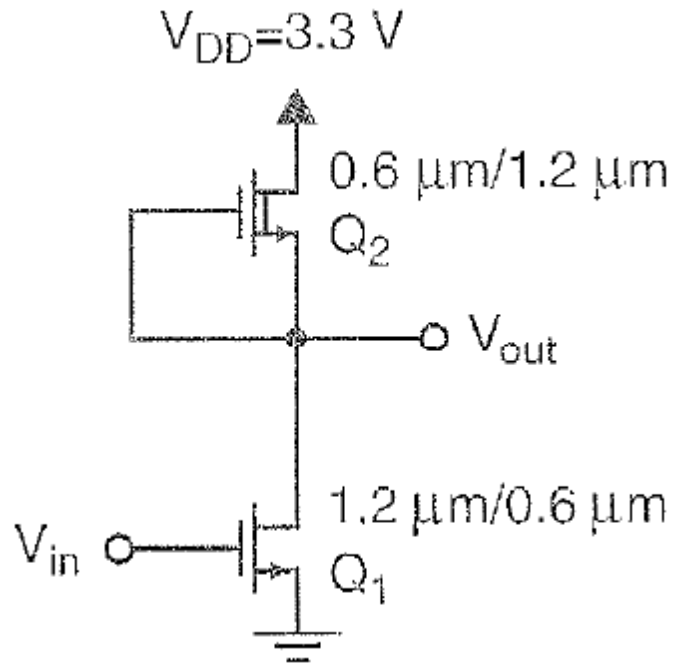
$$I_{D-2} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_2 V_{td}^2$$

■ Q2 تنها یک منبع جریان تقریبی با کیفیت متوسط است زیرا

هنگامی که ولتاژ سورس- زیرلایه تغییر می کند، عرض ناحیه تخلیه بین کانال و زیرلایه تغییر می کند که به نوبه خود سبب می شود که ولتاژ آستانه مطابق رابطه زیر تغییر کند:

$$V_{td} = V_{td-0} + \gamma (\sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|})$$

منطق NMOS با ترانزیستورهای بار نوع تخلیه ای



■ منحنی انتقالی نمونه که با استفاده از اسپایس بدست آمده در شکل زیر نشان داده شده

مقدار $V_{td} = -2\text{V}$ همچنین W/L ترانزیستور تحریک، چهار برابر W/L ترانزیستور بار در نظر گرفته شده است

ولتاژ آستانه گیت ۱.۴۴ ولت است که معقول بدست آمده

