### Plano de Aula 6 – Introdução ao uso de TLB no contexto de memória virtual

**Público Alvo**

Alunos que não tenham conhecimento prévio do uso de TLB no contexto de Memória Virtual (MV).

**Motivação**

Embora os alunos já tenham tido aulas sobre Memória Virtual, incluindo o uso da tabela de páginas e a atividade de paginação com o disco, falta fixar o uso de otimizações que se fazem necessárias quando a memória virtual é empregada. Uma aula prática, exercitando tais situações/recursos da MV ajudará na fixação desse conhecimento.

**Objetivo geral**

Continuar a apresentação dos conceitos fundamentais de memória virtual, fixando a necessidade de TLB e o impacto no desempenho.

**Objetivos Específicos**

O aluno deverá ser capaz de:

1. Compreender o funcionamento da TLB.
2. Compreender a melhoria no desempenho devido à adição da TLB.
3. Descrever as políticas de substituição da TLB.
4. Identificar o conceito de memória cache existente na TLB, apresentando a melhoria de desempenho devido a diminuição de acessos a memória principal.

**Desenvolvimento**

A aula será desenvolvida com as atividades práticas usando o OA Amnesia em um computador. Cada atividade descrita a seguir aborda um ou mais objetivos a serem atingidos.

1. Motivar o conceito de TLB

[Atividades\Motivar o conceito de TLB.docx](Atividades/Motivar%20o%20conceito%20de%20TLB.docx)

1. Adicionar a TLB

[Atividades\Adicionar a TLB.docx](Atividades/Adicionar%20a%20TLB.docx)

2.1) Reforçar o conceito de TLB

[Atividades\Reforçar o conceito de TLB.docx](Atividades/Reforçar%20o%20conceito%20de%20TLB.docx)

1. Política de substituição FIFO na TLB
   1. **Motivação**: Como a TLB é uma cache, a mesma pode não ter espaço disponível para mais uma entrada de endereço de página virtual-> endereço de moldura de página. Neste caso uma das entradas da TLB deve ser removida. Para isso, faz-se necessária uma política de substituição para decidir qual entrada da TLB deverá ser excluída da mesma.
   2. **Objetivo**: Compreender como funciona a política de substituição FIFO (*First In First Out*) na TLB.
   3. **Detalhamento**: Utilizar um arquivo de arquitetura com uma TLB pequena, acompanhar a simulação passo a passo, a simulação seguirá os seguintes passos:
      1. Anotar no quadro as “TAGs” que devem entrar na TLB, em sequência. Neste caso a TAG representa o número da página virtual.
      2. Quando a TLB encher, verificar qual “TAG” será removida.
      3. Apresentar a coerência de caches
      4. Acompanhar a simulação até final.
   4. **Arquivos**:
      1. **Arquitetura**: Architecture-10-3-MM-32-VM(PS-4-DM-16-RA-FIFO)-TLB(MS-4-RA-FIFO)
      2. **Rastro**: TR\_8\_read\_10\_cres\_PS\_34.
   5. **Pontos a destacar**:
      1. Apresentar a ocorrência de substituição de páginas na TLB, usando a política de substituição FIFO.
      2. Apresentar que quando é realizado um ***paging*** e a página a ser removida da memória principal está na TLB, ela será removida da TLB, pois a TLB só deve ter traduções de endereço de páginas presentes na memória principal.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Memória / Taxas | Acessos de leitura | Acessos de escrita | Page fault  (Page table) | **Tempo total** |
| Page Table | 5 | 2 | 1 | **130** |
| Principal | 29 | 6 |  | **410** |
| Disk | 1 | 1 |  | **300** |
| TLB | 10 | 9 | 9 | **28** |
|  |  |  |  | **TT: 678** |

* + 1. O resultado final da simulação é:
    2. O foco dessa atividade está no comportamento da política de substituição FIFO.

1. Política de substituição LRU na TLB
   1. **Motivação**: Como a política de substituição FIFO é muito simples e não apresenta bons resultados em diferentes cenários, outras políticas têm resultados melhores, mas pode ser mais caro a sua utilização.
   2. **Objetivo**: Apresentar a política de substituição LRU (*Least Recently Used*) para TLB. Mostrar que a política LRU tem resultados melhores que a FIFO, mas sua construção pura é cara.
   3. **Detalhamento** Utilizar um arquivo de arquitetura com uma TLB pequena, acompanhar a simulação passo a passo. A simulação seguirá os seguintes passos:
      1. Anotar no quadro as “TAGs” que entraram na TLB, colocando as páginas acessadas recentemente, mais abaixo das outras.
      2. Quando ocorrer um acerto na TLB, colocar a TAG abaixo dos presentes.
      3. Quando encher, verificar na TLB qual “TAG” será removida.
      4. Acompanhar a simulação até final
   4. **Arquivos** 
      1. **Arquitetura:** Architecture-10-4-MM-32-VM(PS-4-DM-16-RA-FIFO)-TLB(MS-4-RA-LRU)
      2. **Rastro:** TR\_10\_read\_10\_cres\_PS\_20
   5. Pontos a destacar:
      1. O aluno deve entender o funcionamento da política de substituição LRU
      2. O resultado final da simulação é:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Memória / Taxas | Acessos de leitura | Acessos de escrita | Page fault  (Page table) | **Tempo total** |
| Page Table | 7 | 0 | 0 | **70** |
| Principal | 15 | 2 |  | **190** |
| Disk | 0 | 0 |  | **0** |
| TLB | 10 | 7 | 7 | **24** |
|  |  |  |  | **TT: 214** |

1. Fluxograma de acesso

[Atividades\Fluxograma de acesso.docx](Atividades/Fluxograma%20de%20acesso.docx)

**Síntese**

Essa aula apresentou a TLB, e como a utilização da TLB realiza uma melhoria no desempenho devido à diminuição de acesso à memória principal. Além disso, as políticas de substituição da TLB, as políticas FIFO e LRU foram apresentadas, com foco na funcionalidade de cada política. Por fim foi adicionado uma memória Cache para mostrar os acessos para obtenção do dado ou instrução pode ser localizado na memória Cache. Os acessos à memória cache apresentam uma melhoria de desempenho.

**Recursos**

Os recursos necessários para esta aula são computadores com o OA Amnesia, um projetor multimídia, giz e quadro.

**Avaliação**

Não será realizada nenhuma avaliação após a aula.

**Referências Bibliográficas**

Patterson, D. A., & Hennessy, J. L. (2008). *Computer Organization and Design, Fourth Edition: The Hardware/Software Interface* (4th ed.). Elsevier Science. Retrieved from http://books.google.com.br/books?id=3b63x-0P3\_UC

Stallings, W. (2006). *Computer Organization and Architecture: Designing for Performance*. Pearson Prentice Hall.

Tanenbaum, A. S. (2003). *Sistemas operativos modernos*. Pearson Educaci{ó}n. Retrieved from http://books.google.com.br/books?id=g88A4rxPH3wC