## Lista 06 de Circuitos Lógicos

Leo - DRE: XXXXXXXXX

<sup>1</sup>Universidade Federal do Rio de Janeiro (UFRJ)

leonardongc@poli.ufrj.br

## 1. Receptor

O Emissor possuí 8 estados cada um responsável pela transmissão de 1 bit $(Ack_0, Ack_1, Ack_2, b_0, b_1, b_2, b_3, p)$ , portanto o receptor deve ter também 8 estados:

Os 3 primeiros conferem o "Aperto de mão." do transmissor e do receptor, se por algum motivo não se encaixarem $(Ack_0 = 1, Ack_1 = 0 \text{ e } Ack_2 = 1)$  o receptor volta imediatamente para o primeiro estado.

Em seguida recebe os 4 bits  $b_x$  e efetua simultaneamente o cálculo de paridade(pode ser usado um flipflop adicional para esse cálculo) e então recebe o bit de paridade e pode conferir se houve algum erro na transmissão dos dados.

A recepção dos bits de dados corresponde a exatamente 4 estados, então é lógico que tenham configurações internas similares.

Usaremos flipflops para as saídas.

Sugiro a seguinte tabela de estados e codificação:

Estado	Código	Próximo Estado	FF adicionais
$Ack_0$	010	$R_x = 0:Ack_0, R_x = 1:Ack_1$	
$Ack_1$	011	$R_x = 1:Ack_0, R_x = 0:Ack_2$	
$Ack_2$	001	$R_x = 0 : Ack_0, R_x = 1 : b_0$	
$b_0$	101	$b_1$	$b_0 = R_x$
$b_1$	111	$b_2$	$b_1 = R_x$
$b_2$	110	$b_3$	$b_2 = R_x$
$b_3$	100	p	$b_3 = R_x$
p	000	$Ack_0$	$\overline{R_x} = (b_0 \oplus b_1) \oplus (b_2 \oplus b_3) : b_0, b_1, b_2, b_3 = 1$

Que resultam na seguinte tabela para os bits dos estados:

Código do Estado	$R_x$	$T_{Q_2}$	$T_{Q_1}$	$T_{Q_0}$	FFs de Saída
010	0	0	0	0	
010	1	0	0	1	
011	0	0	1	0	
011	1	0	0	1	
001	0	0	1	1	
001	1	1	0	0	
101	X	0	1	0	$b_0 = R_x$
111	X	0	0	1	$b_1 = R_x$
110	X	0	1	0	$b_1 = R_x$
100	X	1	0	0	$b_1 = R_x$
000	X	0	1	0	$\overline{R_x} = (b_0 \oplus b_1) \oplus (b_2 \oplus b_3): b_0, b_1, b_2, b_3 = 1$

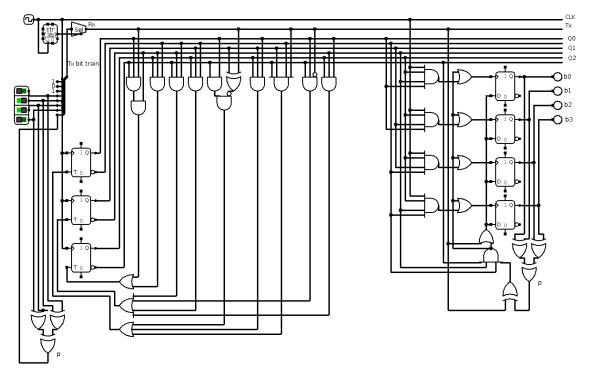


Figura 1. Circuito

que gera os seguintes acionamentos:

$$T_{Q_0} = \overline{Q_2}.Q_0.\overline{(R_x \oplus Q_1)} + Q_2.Q_1 + \overline{Q_2}.Q_1.\overline{Q_0}.R_x$$

$$T_{Q_1} = \overline{Q_2}.\overline{Q_1}.\overline{Q_0} + \overline{Q_2}.Q_0.R_x + Q_2.Q_1.\overline{Q_0} + Q_2.\overline{Q_1}.Q_0$$

$$T_{Q_2} = \overline{Q_2}.\overline{Q_1}.Q_0.R_x + Q_2.\overline{Q_1}.\overline{Q_0}$$

Montando o circuito acima.

## 2. SRAM vs DRAM

Static Random Access Memories são constrídas a partir de latches de portas not, cada latch aramazena 1 bit de forma estável gastando energia para isso, mas oferecendo uma maior velocidade de leitura. Por outro lado *Dynamic Random Access Memories* são construídas a partir de capacitores que precisam ser recarregados em intervalos regulares de milisegundos, seu funcionamento exige menos energia e sua fabricação é mais barata. SRAMs são utilizadas em memórias cahe e DRAMs para volumes de memória rotineiramente.