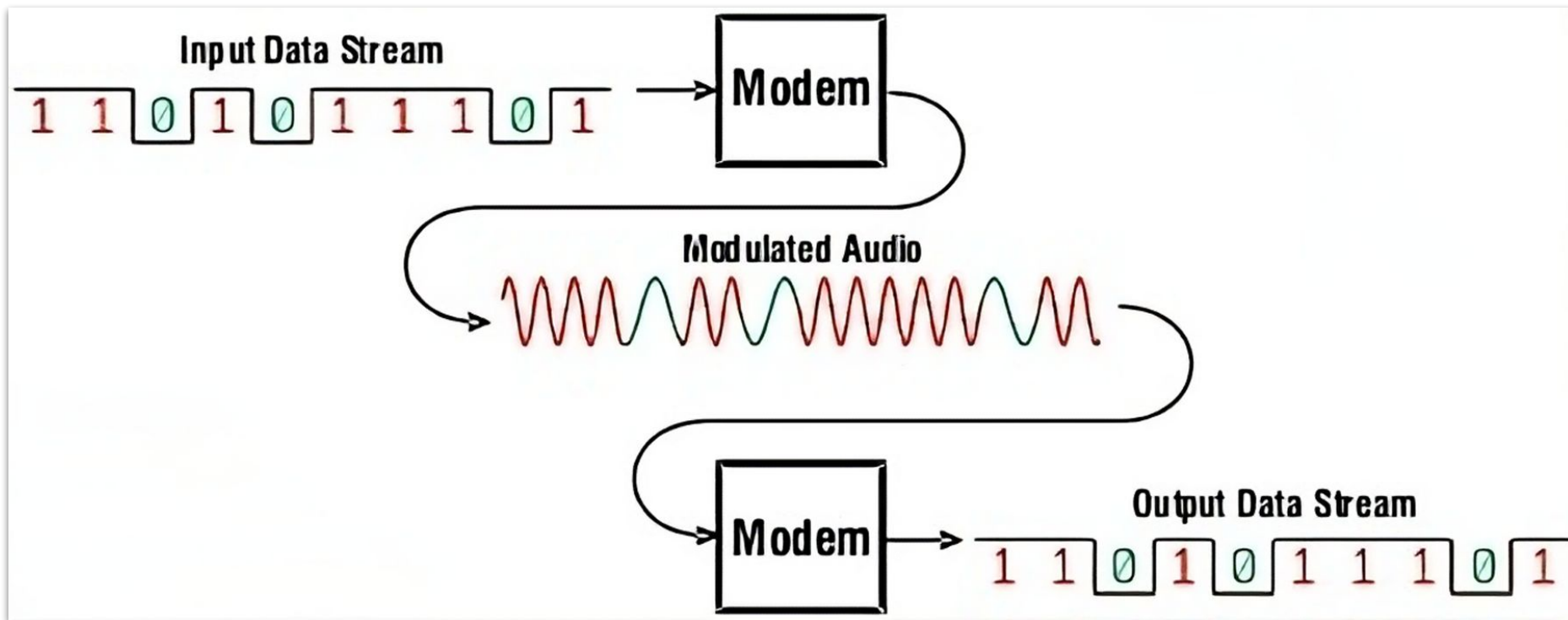


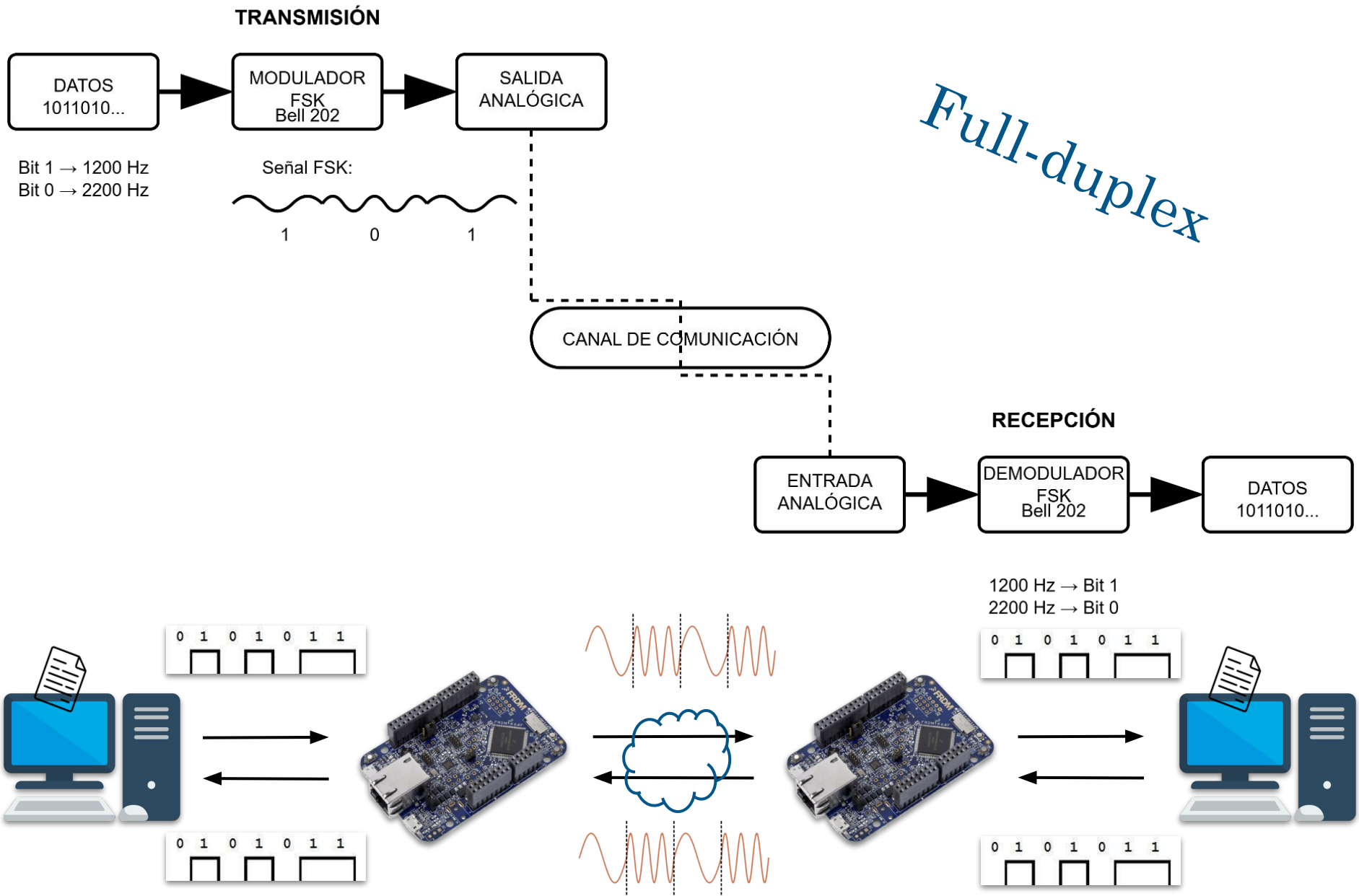
TP3 - Modem FSK

ADC - DAC - FTM - DMA - CMP



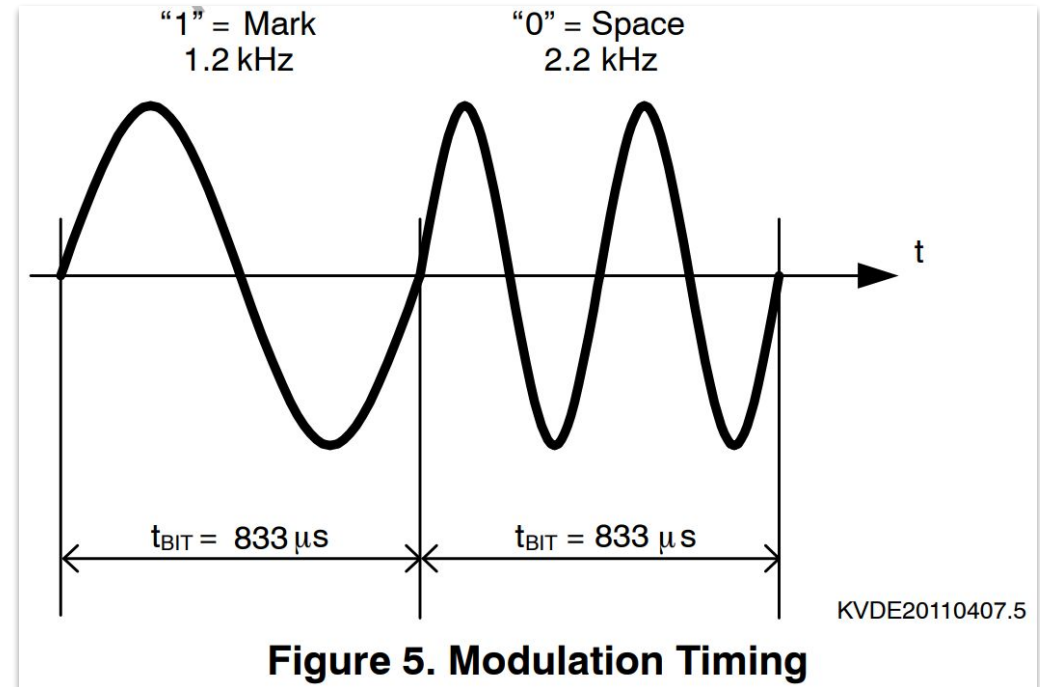
MODEM FSK Bell 202 - Concepto General

Transmisión y Recepción de Datos

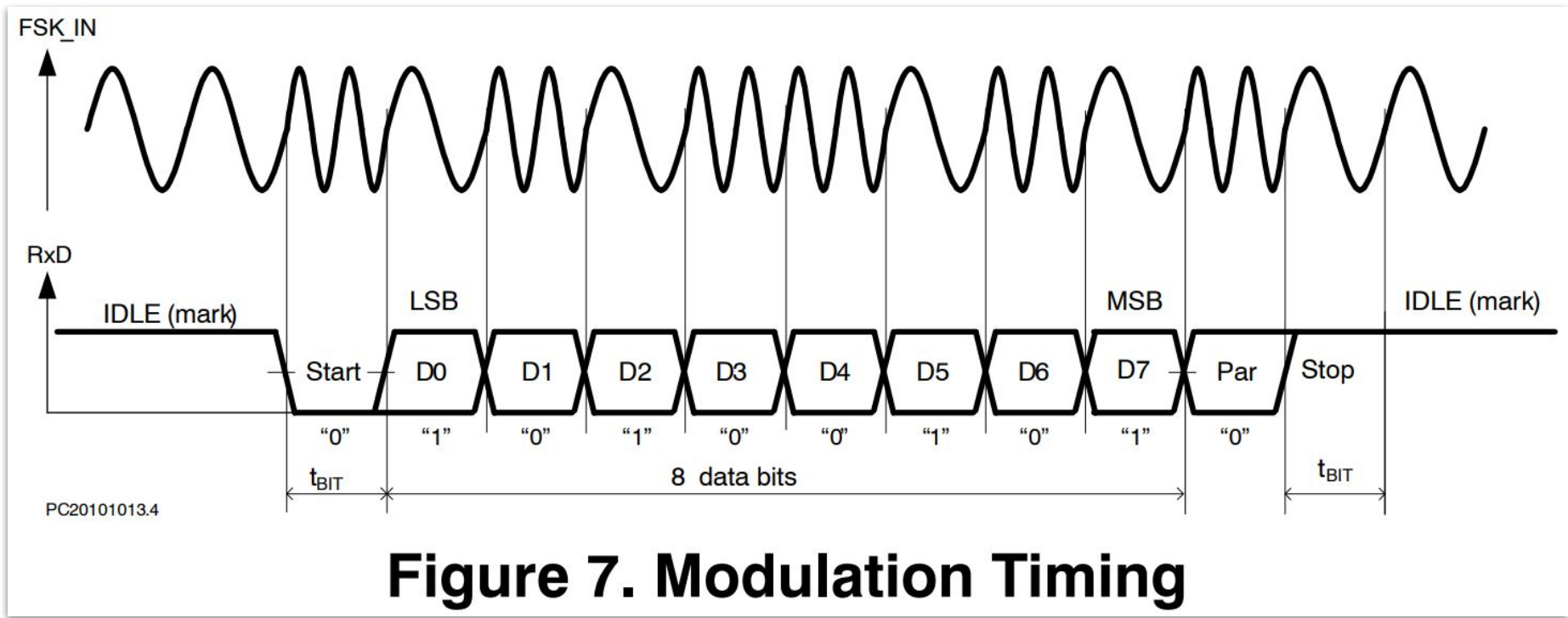


Bell 202

- Tiempo de bit: $833 \mu\text{s}$ (1200 Bd)
- Señalización:
 - Mark (1): 1200 Hz
 - Space (0): 2200 Hz
- Usos:
 - CallerID
 - HART

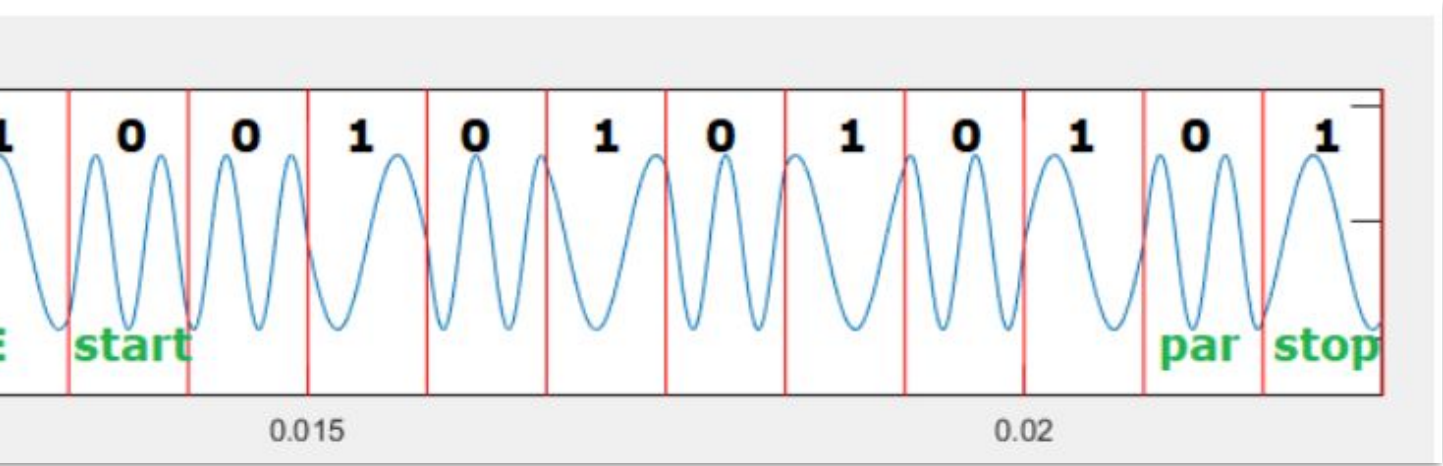
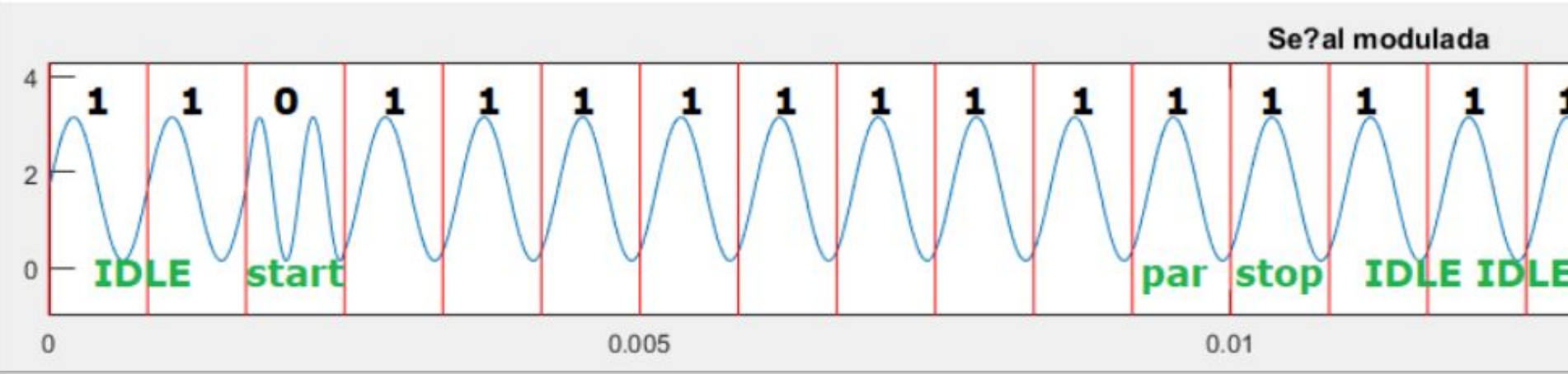


Bell 202



Bell 202

IDLE → 1111 1111 → IDLE → 0101 0101 → IDLE





Bell 202 - HART

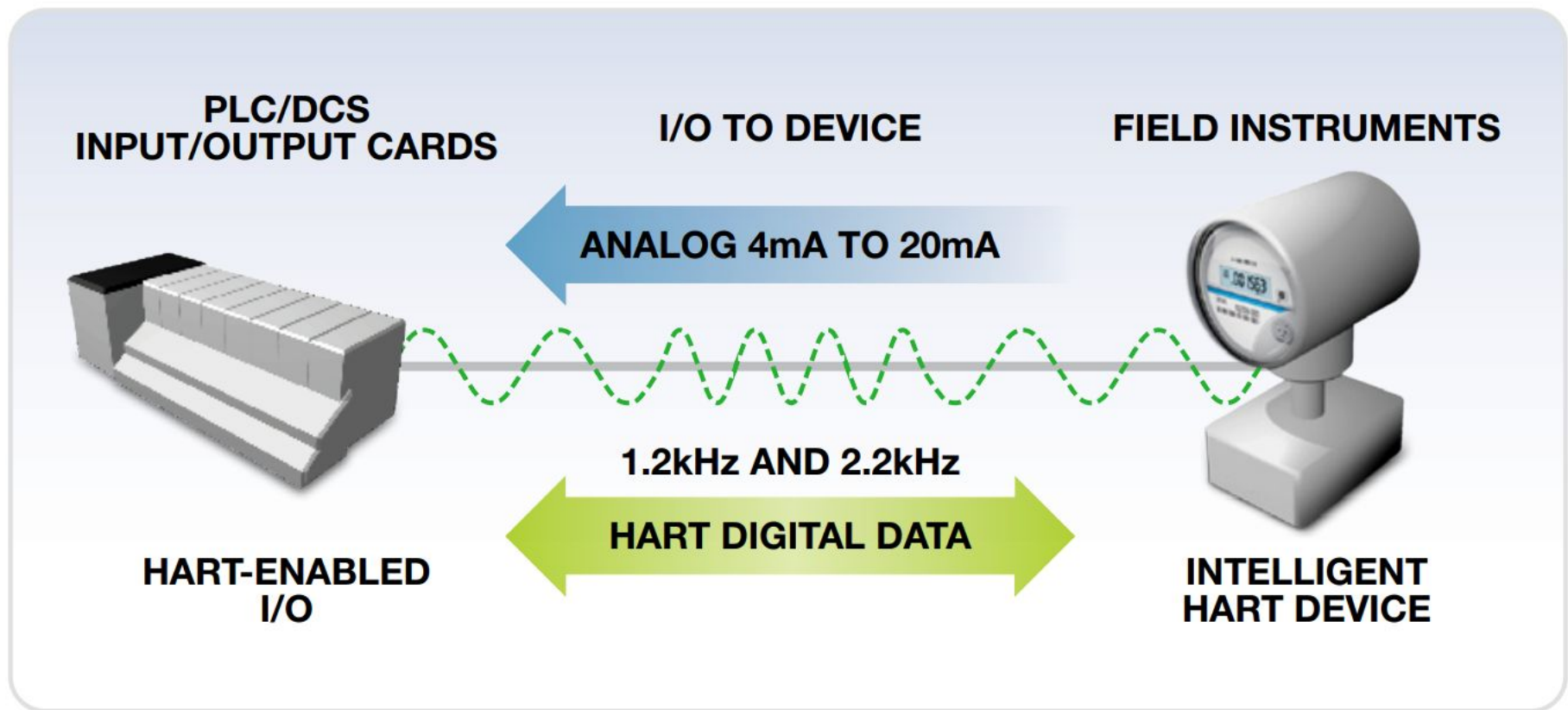


Figure 1. HART communication.



Bell 202 - HART

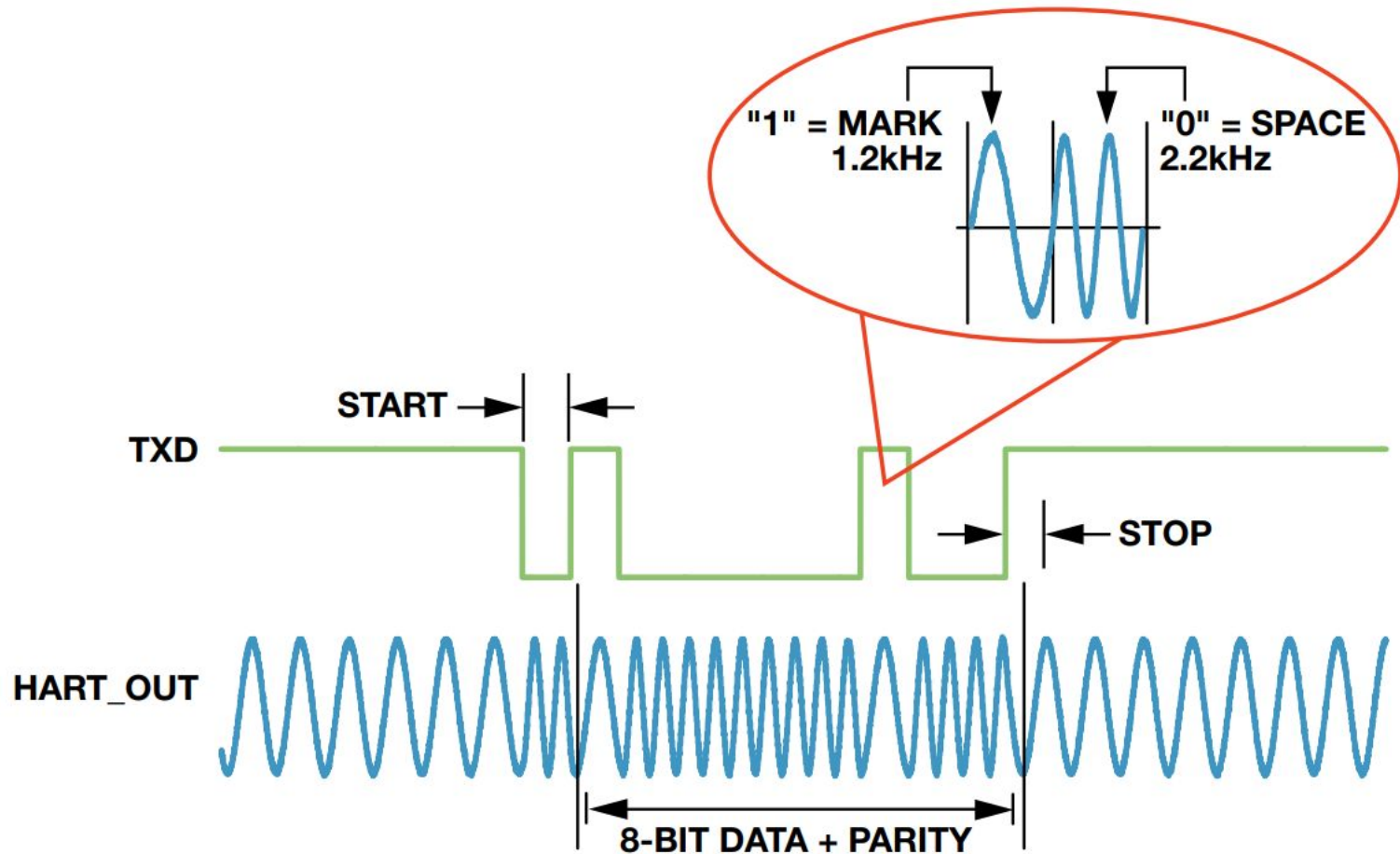
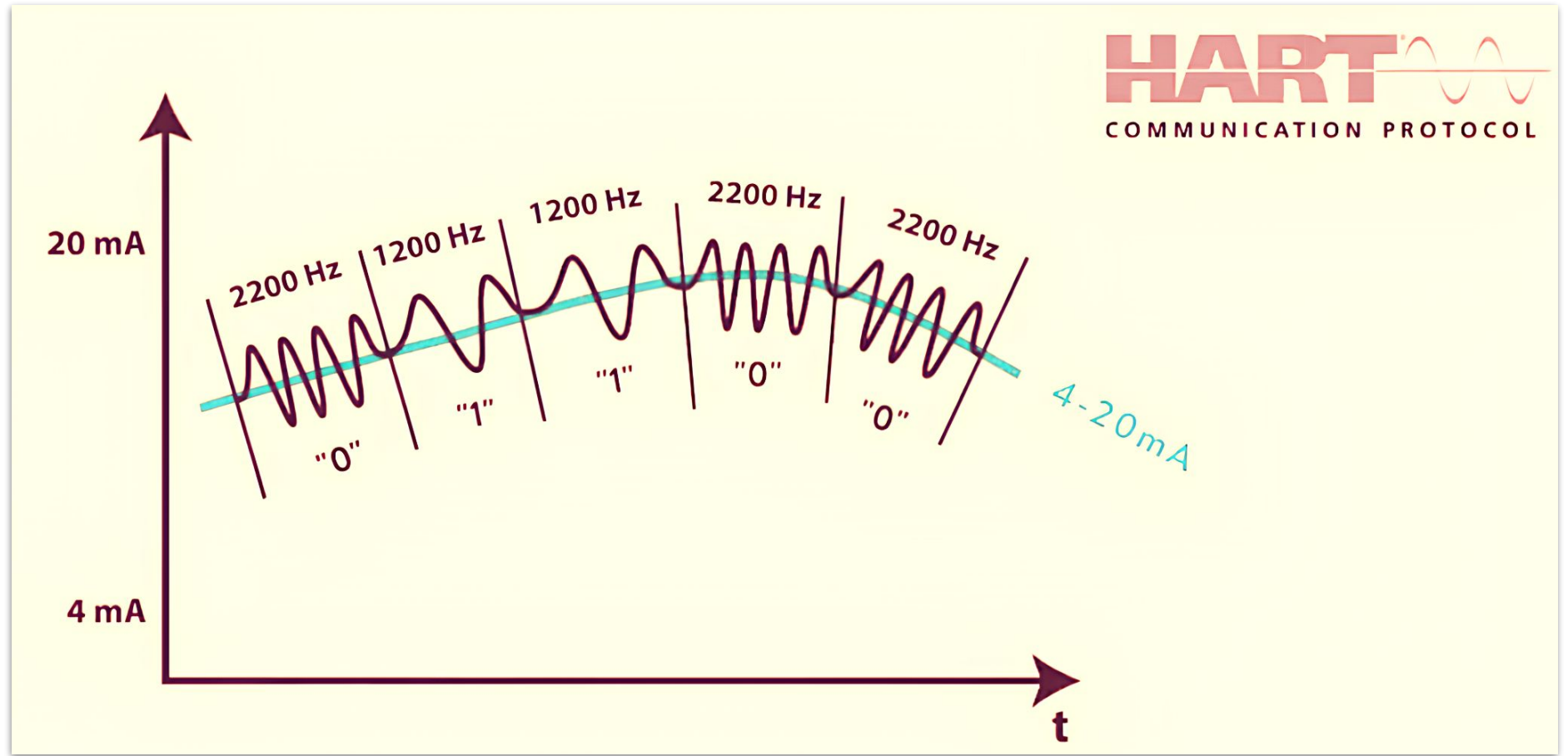


Figure 3. AD5700/AD5700-1 modulator waveform.



Bell 202 - HART



Objetivo del TP

- Implementar **dos versiones** de un módem FSK full-duplex usando diferentes periféricos del K64F

Versión

TX

RX

V1

DAC

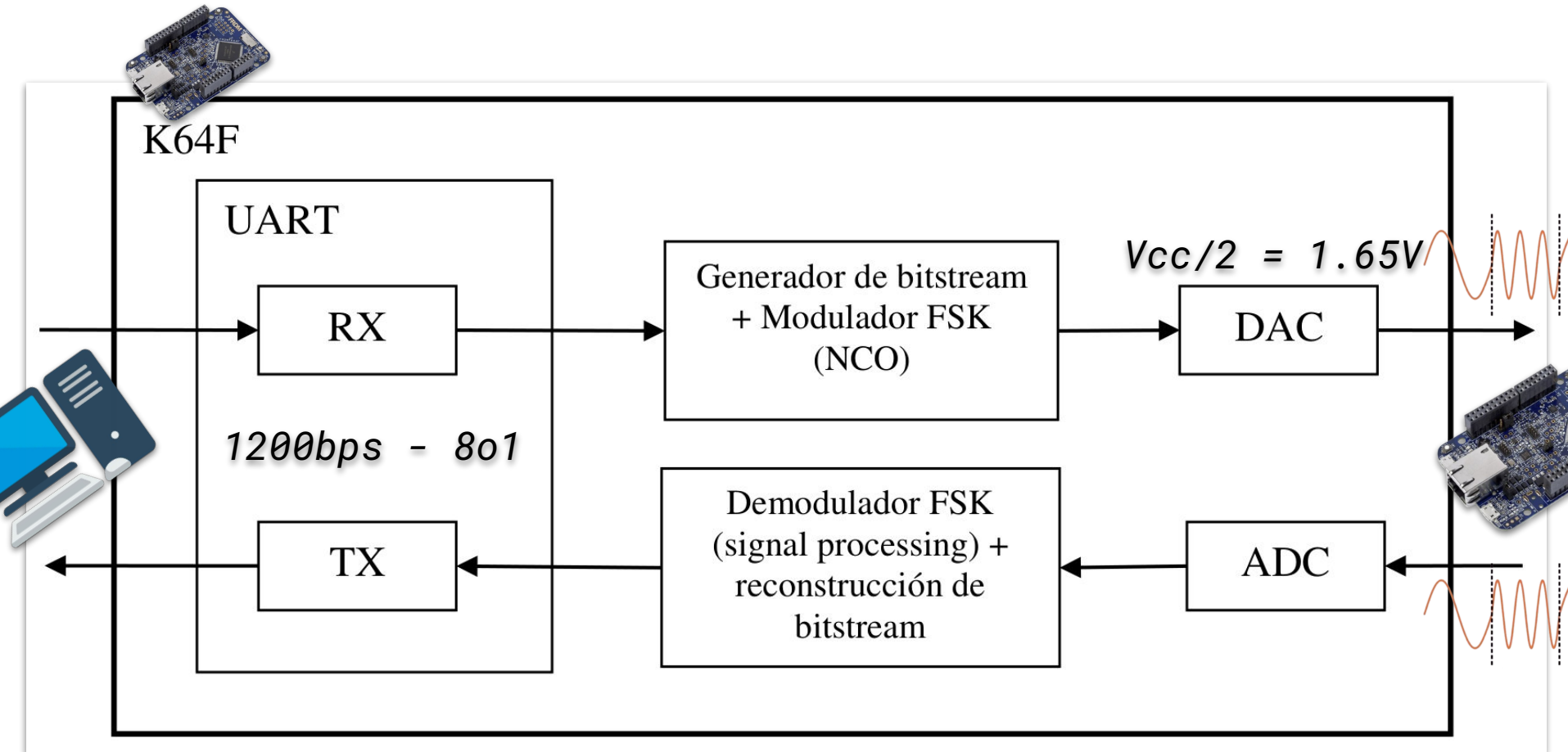
ADC

V2

FTM
(PWM/output
compare)

CMP + FTM
(input capture)

Versión 1 - ADC/DAC



Versión 1 - ADC/DAC - Detalles

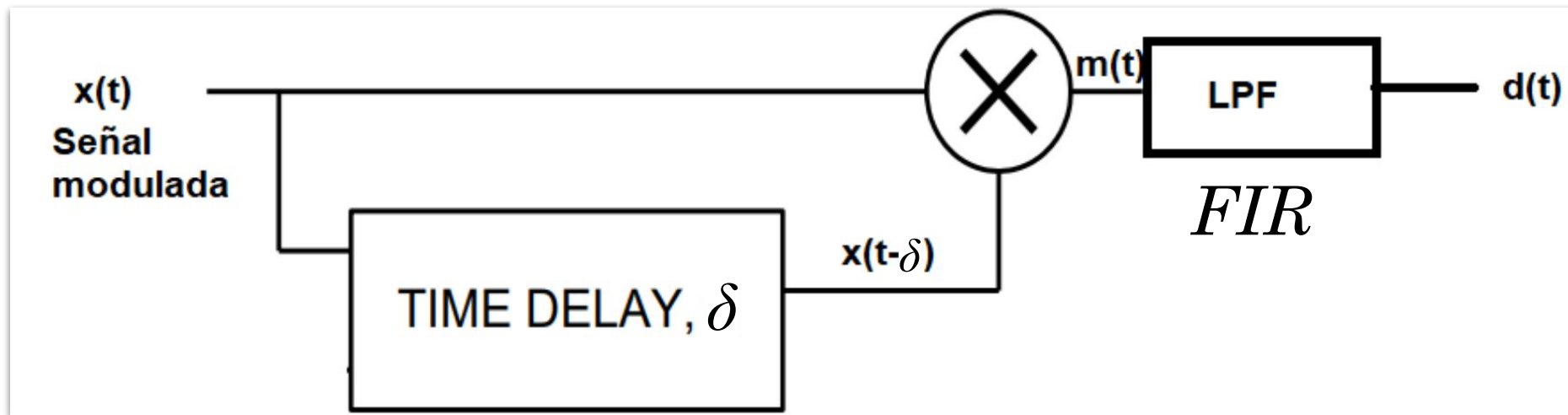
T_x:

- Recibe por UART a 1200bps 8o1
- Caracteres recibidos → bitstream → modulador FSK → DAC
- DAC DC en $VCC/2 = 1.65V$, amplitud máxima, sin distorsión

R_x:

- Señal FSK → sampling (ADC) → demodulador FSK → bitstream
→ caracteres a enviar
- Envía por UART a 1200bps 8o1

Versión 1 - ADC/DAC - Rx



$$x(t) = A \sin(\omega t)$$

$$d(t) = 0.5 A^2 \cos(\omega \delta)$$

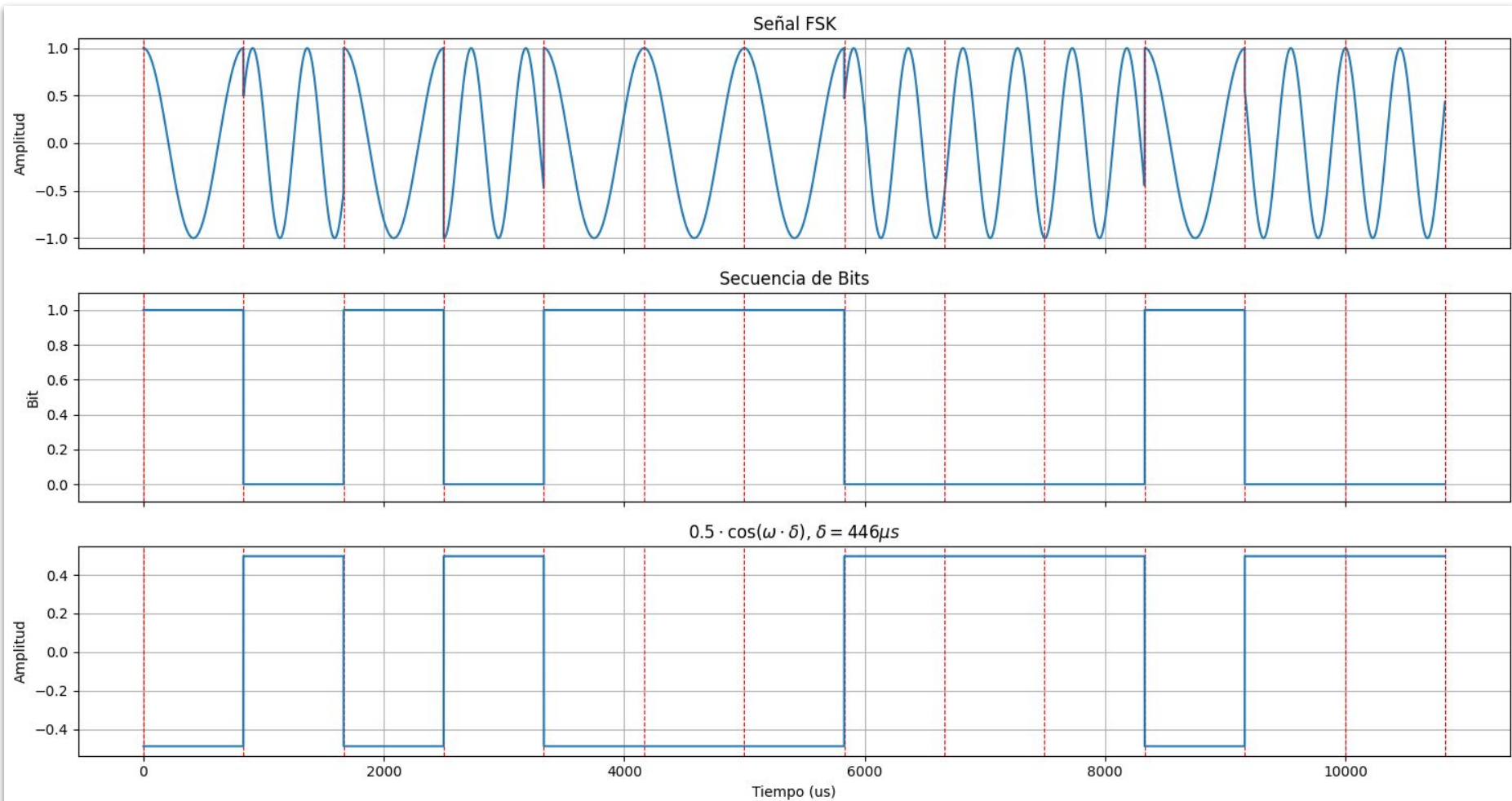
$$x(t-\delta) = A \sin[\omega(t-\delta)]$$

$$\delta_{opt} = 446 \mu s$$

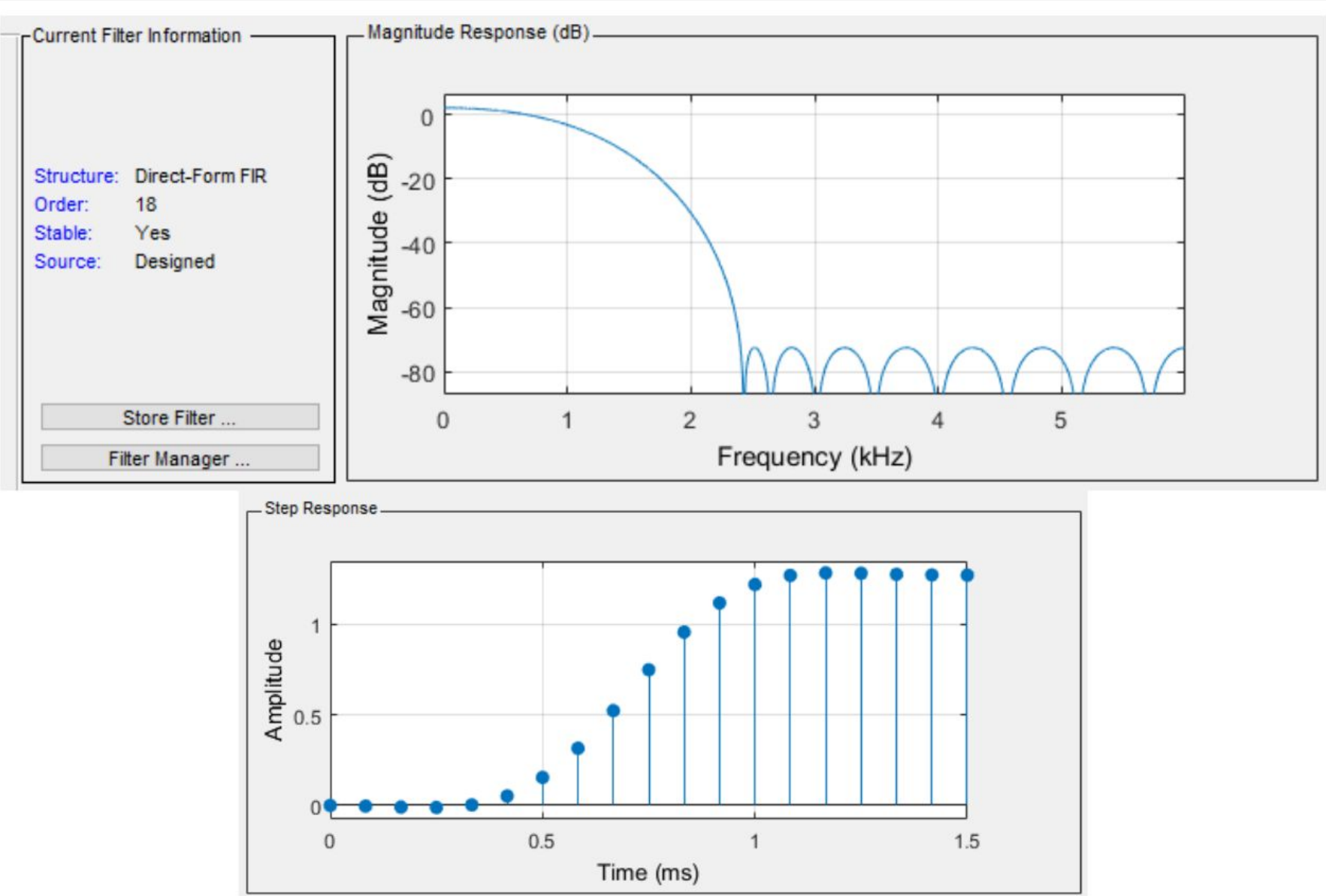
$$m(t) = 0.5 A^2 [\cos(\omega \delta) - \cos(2\omega t + \omega \delta)]$$

Versión 1 - ADC/DAC - Rx

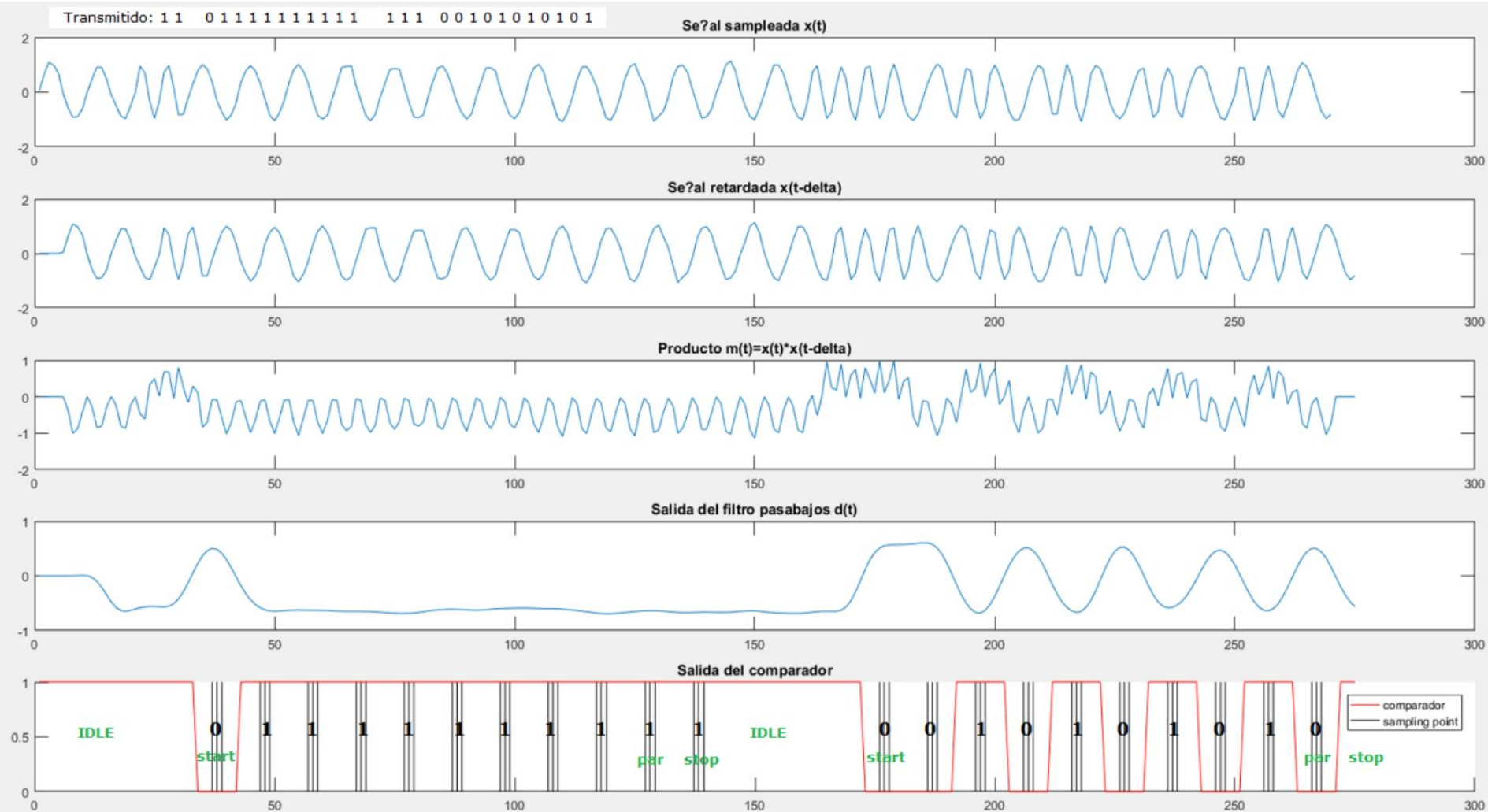
$$\cos(2\pi f_{\{M, S\}} t) \longrightarrow \cos(2\pi f_{\{M, S\}} \delta)$$



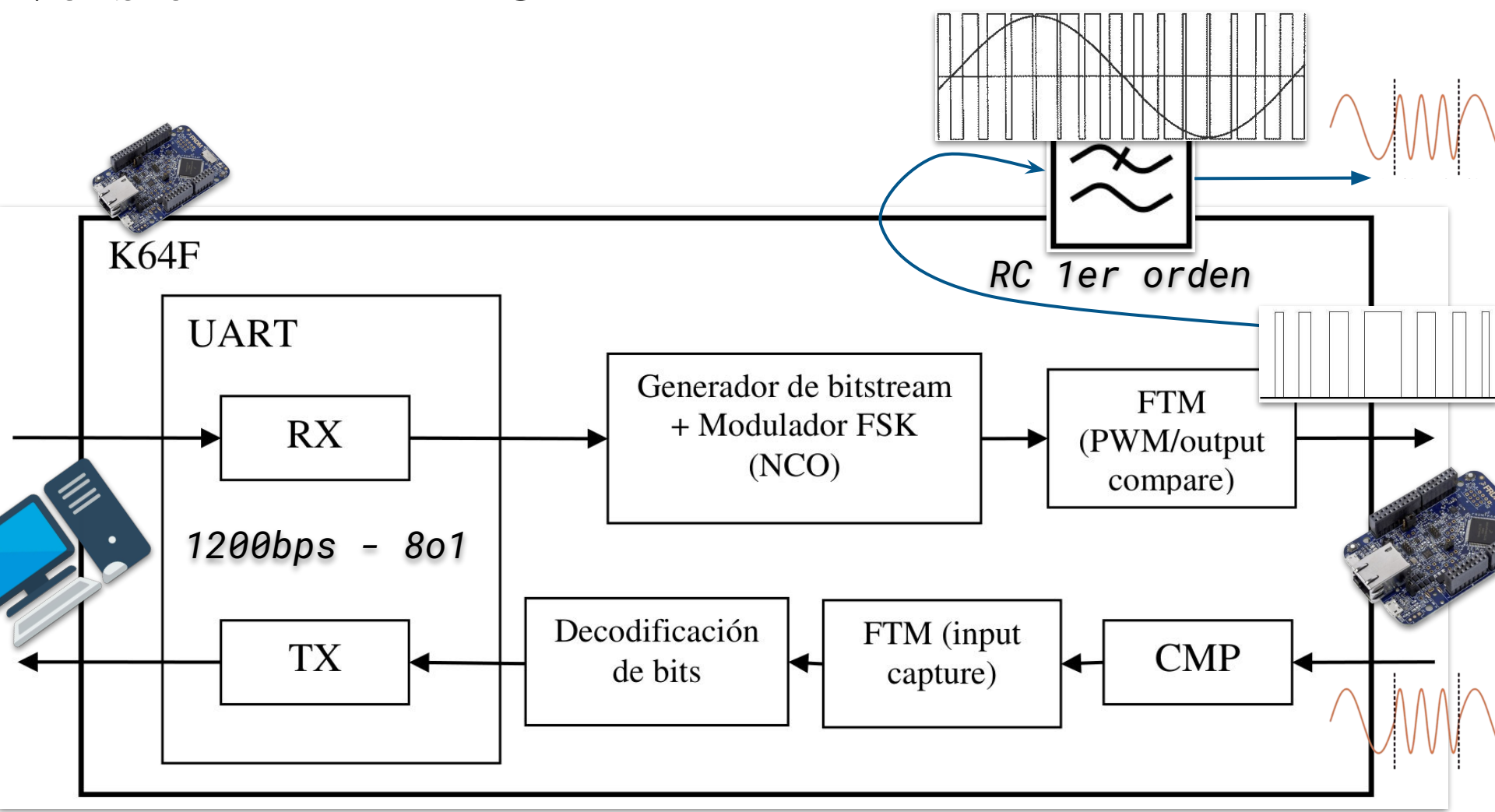
Versión 1 - ADC/DAC - Rx



Versión 1 - ADC/DAC - Rx



Versión 2 - FTM/CMP



Versión 2 - FTM/CMP - Detalles

T_x:

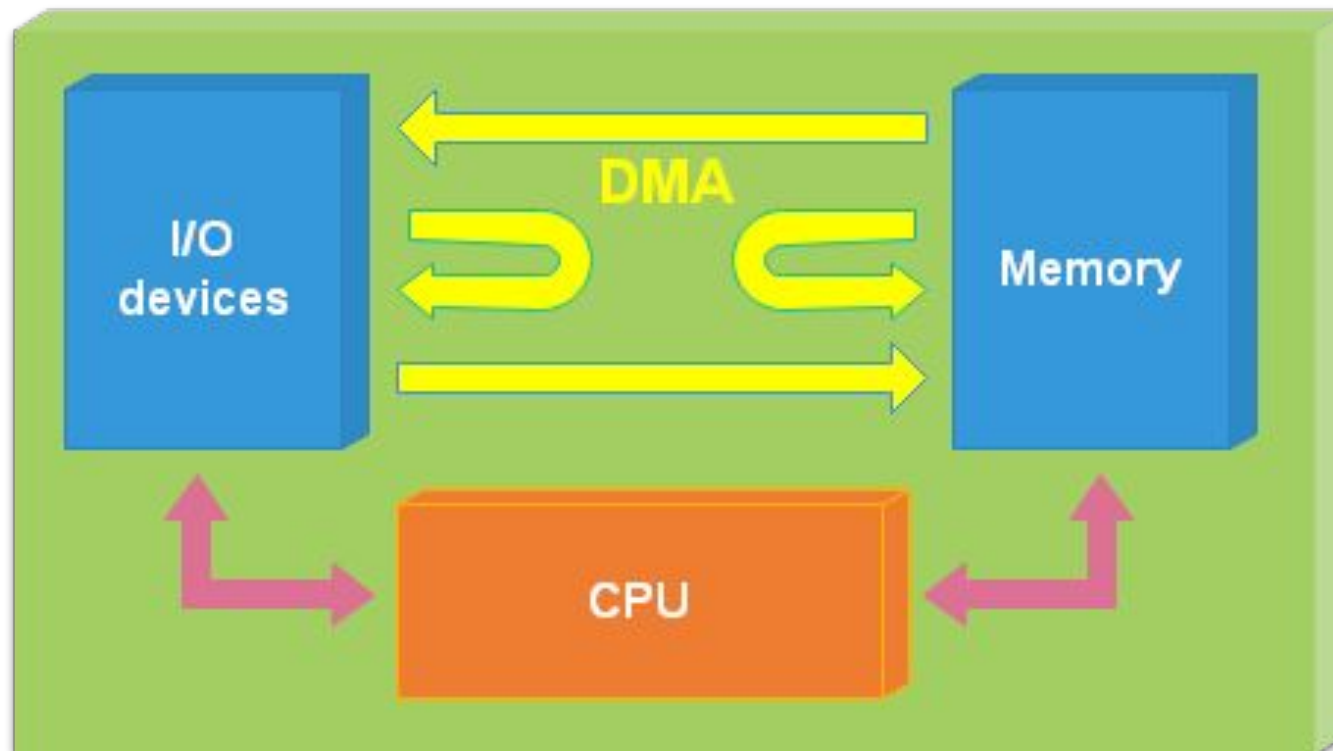
- Menor THD posible sin sobrecargar CPU
- Fase continua
- RC 1er orden (PWM \rightarrow sine)

R_x:

- CMP para detectar cruces por cero (1.65V)
- RC 1er orden (ruido)
- CMP \rightarrow FTM (input capture)

Consideraciones - DMA

- Usar DMA **solo en una** de la versiones
- En V1: ADC \rightarrow DAC
- En V2: FTM (input capture) \rightarrow FTM (output compare / PWM)



Consideraciones - Impedancias / Buffer

- Adaptación de impedancias entre modems
- Corriente entregable por DAC y FTM/PWM
- Impedancia de entrada de ADC y CMP
- Influencia de RC 1er orden
- OpAmp rail-to-rail para adaptar impedancias en full-duplex (MCP6002 o similar)

		modes	
R_{ADIN}	Input series resistance		—
R_{AS}	Analog source	13-bit / 12-bit modes	

3.6.1 ADC electrical specifications

The 16-bit accuracy specifications are given in Table 3-10.

Symbol	Description	Conditions
V_{DDA}	Supply voltage	Absolute
ΔV_{DDA}	Supply voltage	Delta to V_{DDA}
ΔV_{SSA}	Ground voltage	Delta to V_{SSA}
V_{REFH}	ADC reference voltage high	
V_{REFL}	ADC reference voltage low	
V_{ADIN}	Input voltage	
C_{ADIN}	Input capacitance	• 16-bit modes • 8-bit modes

▼ Analog

> ADC electrical specifications

CMP and 6-bit DAC electrical specifications

> 12-bit DAC electrical characteristics

Voltage reference electrical specifications

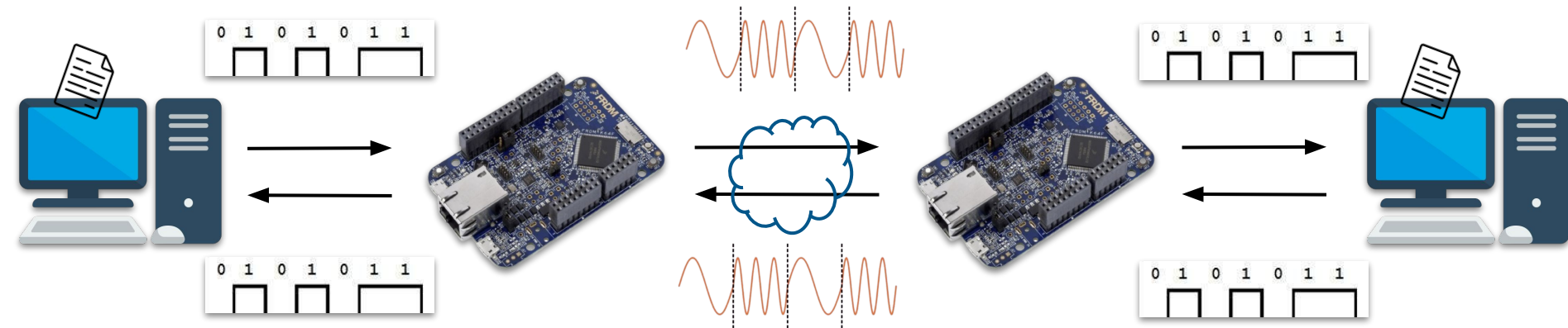
Timers

Consideraciones - Tips

- V2:
 - SIM_SOPT4
 - Histéresis de CMP
 - Validar ancho de pulso capturado para rechazar ruido

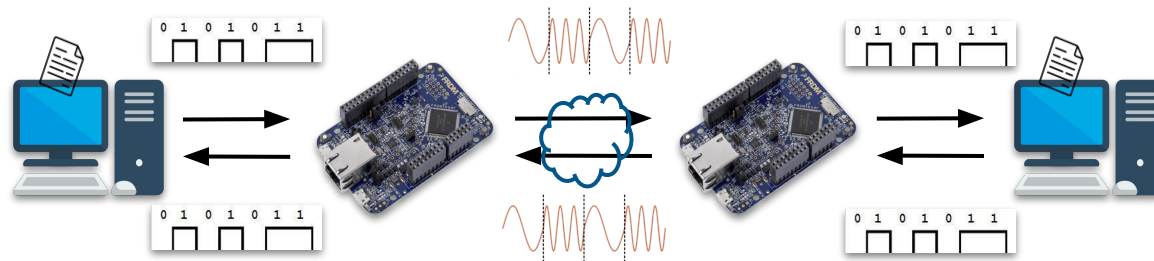
Requerimientos - Obligatorios

- V1 y V2 operando correctamente en full-duplex, transmitiendo y recibiendo al mismo tiempo (2 placas)
 - Tx y Rx de 1kBy
 - *Sin modo loopback*



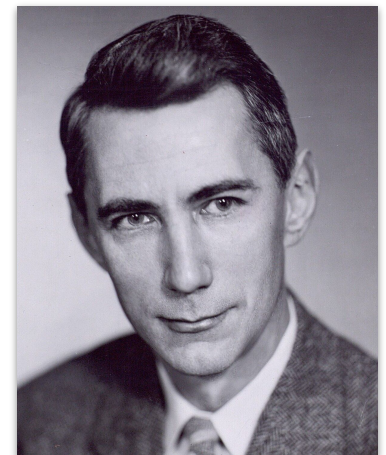
Requerimientos - Obligatorios

- V1 y V2 operando correctamente en full-duplex, transmitiendo y recibiendo al mismo tiempo (2 placas)
 - Tx y Rx de 1kBy
 - *Sin modo loopback*
- DMA en solo una versión. *Justificar elección*
- Uso de CPU y máximo tiempo de ISR en V1 y V2



Requerimientos - Opcionales

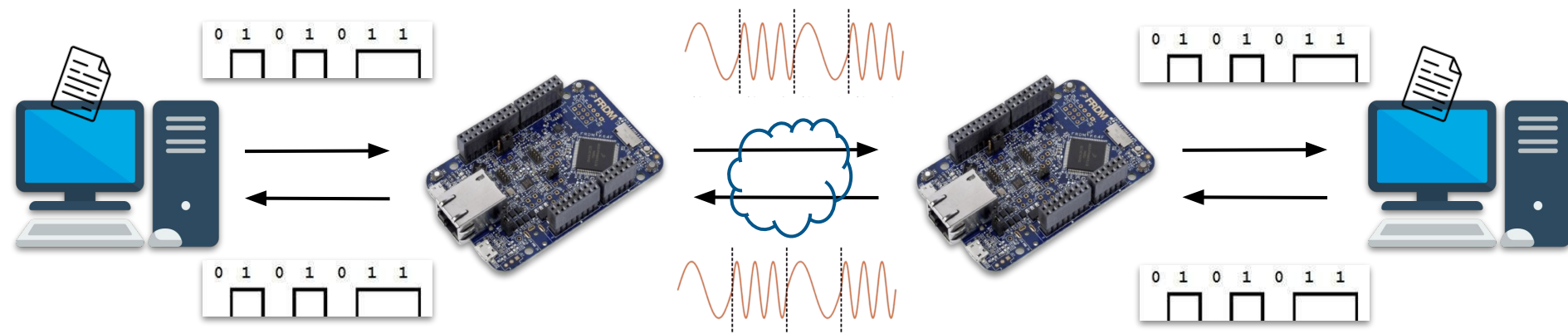
- Medición de THD para cada versión
 - Análisis de reducción de THD en V2
- Para la versión con DMA:
 - Hallar máximo baudrate “sin errores”
 - ¿Por qué? ¿Qué limita?
- Para V1:
 - Sumar ruido AWGN en Tx (desde el DAC)
 - Medir curva BER vs SNR con misma placa en modo loopback

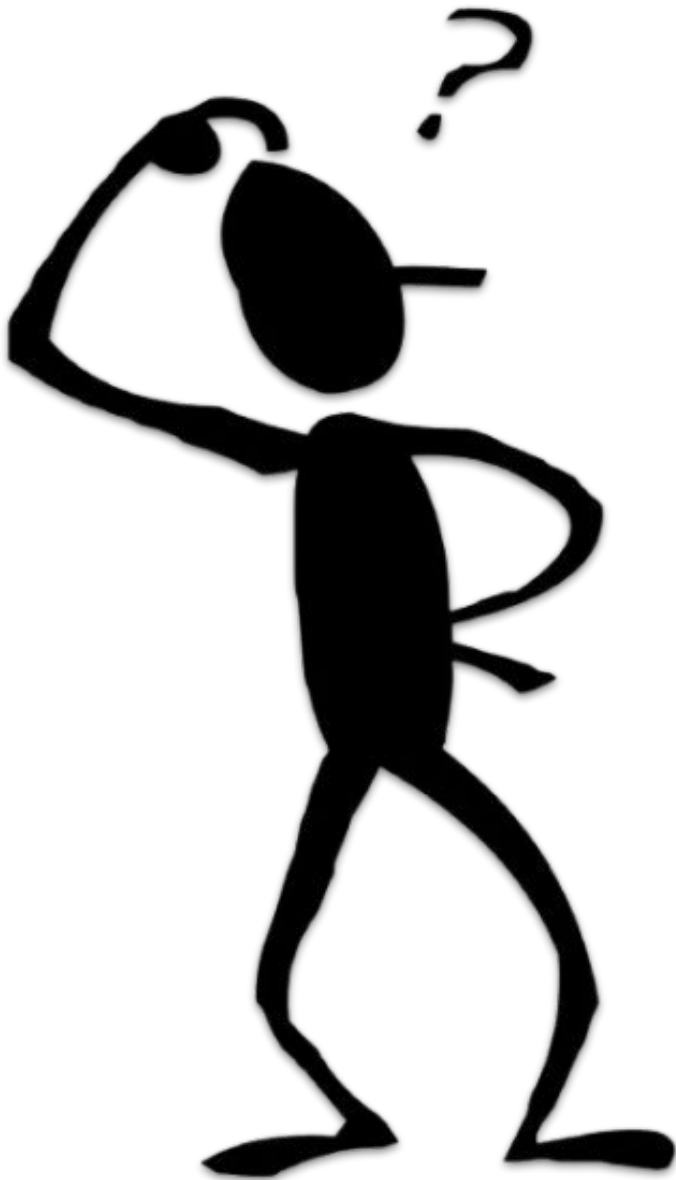


25.26 - Transmisión de la Información
Sistemas Digitales y Datos
Segundo Cuat. 2025

Evaluación

1. Funcionamiento del equipo en sus dos versiones
2. Diseño de los bloques de procesamiento, **implementados en forma eficiente para streaming**
3. Medición de **uso de CPU** y **máximo tiempo en ISR**, en ambas versiones





Sugerencias

1. Simular transmisión/recepción V1 en Python/Matlab
2. Plantear estructura-jerarquía de drivers-módulos
 - a. Escribir los .h
3. ¿Cómo sincronizar *todo* y de manera no-bloqueante?
 - a. Otros periféricos posiblemente útiles:
 - i. PIT: Periodic Interrupt Timer
 - ii. PDB: Programmable Delay Block