



**Instituto Tecnológico de Buenos Aires**

Sistemas Embebidos

Departamento de Ingeniería Electrónica

---

## TRABAJO PRÁCTICO N° 3 SISTEMAS EMBEBIDOS

---

**Santino Agosti - 63731**

**Gonzalo Louzao - 63010**

**Vito Pensa - 63426**

**Facundo Juli - 63379**

Fecha de entrega: 10 / 11 / 2025

## ÍNDICE

<b>I.</b>	<b>Versión 1</b>	3
I-A.	Tiempos de Interrupción . . . . .	3
I-A1.	ISRs del PIT . . . . .	3
I-A2.	ISRs del DMA . . . . .	4
I-A3.	Demodulación con filtro FIR . . . . .	4
<b>II.</b>	<b>Versión 2</b>	5
II-A.	Tiempos de Interrupción . . . . .	5
II-A1.	<i>Callback Input Capture</i> . . . . .	5
II-A2.	ISRs del PIT . . . . .	5
<b>III.</b>	<b>Envío de Datos</b>	6
III-A.	Transmisión $V2 \iff V2$ . . . . .	6
III-B.	Transmisión $V1 \iff V1$ . . . . .	7
III-C.	Transmisión $V1 \iff V2$ . . . . .	7
<b>IV.</b>	<b>Conclusión</b>	7

# Informe de modulador FSK

Departamento de Ingeniería Electrónica

## Resumen

Este documento muestra las formas de onda y tiempos de interrupción de dos implementaciones de modulación por *frequency-shift keying* (FSK).

## I Versión 1

La primer versión del trabajo práctico consta de recepción de datos provenientes de una computadora mediante UART por monitor serie, modulación FSK mediante el uso de un NCO controlado por el tipo de bit a transmitir y un DAC como modulador de FSK. Para su reconstrucción, se hace uso de un ADC y un filtro digital FIR, para posteriormente representar en formato UART y transmitirlo a la computadora receptora mediante un monitor serie. Se usa el DMA para copiar los los valores de la LUT table del NCO al DAC y los valores de lectura del ADC a memoria.

### I-A Tiempos de Interrupción

#### I-A1. *ISRs del PIT*

Se midió el tiempo total en el que la CPU ejecuta instrucciones dentro de las interrupciones del PIT poniendo un `gpioWrite` en el comienzo y final del *handler* de interrupciones del PIT. Ya que la señal no es periódica, se

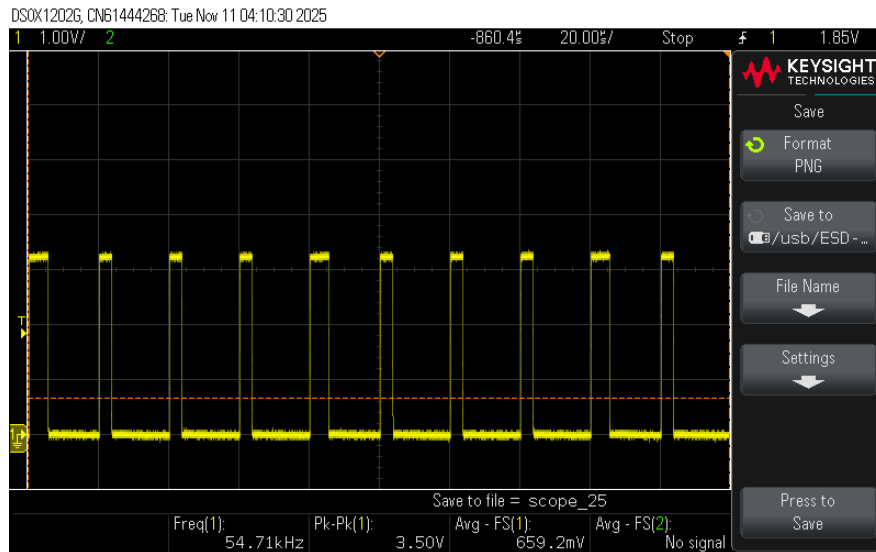


Figura 1: Porcentaje ISR del PIT.

mide el porcentaje de tiempo en interrupciones midiendo el promedio de la señal; luego el porcentaje en tiempo en interrupciones es

$$\% \text{ ISR} = \frac{\text{promedio}}{3,3 \text{ V}} 100 \text{ \%}.$$

Se puede ver en la Figura 1 que el promedio es de 0,66 V. Entonces

$$\% \text{ ISR} = 19,4 \text{ \%}$$

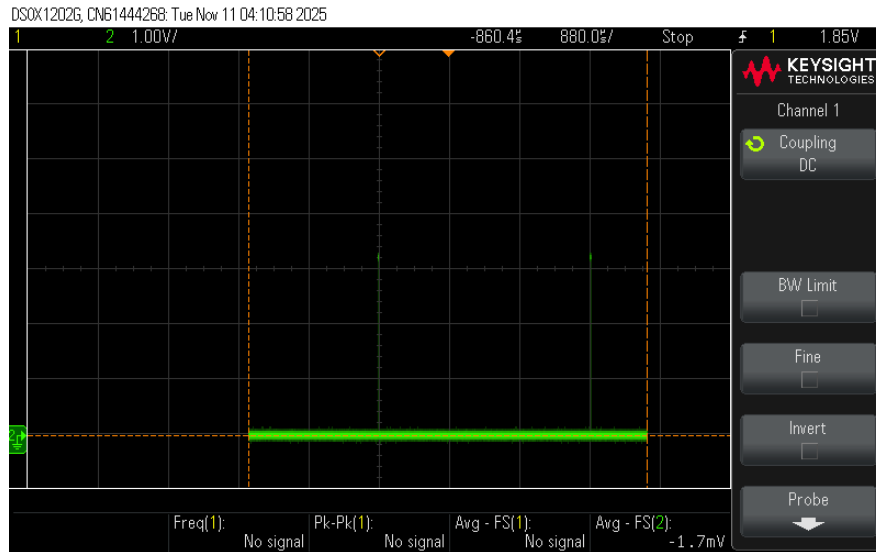


Figura 2: Tiempo entre interrupciones de un *major loop* de DMA.

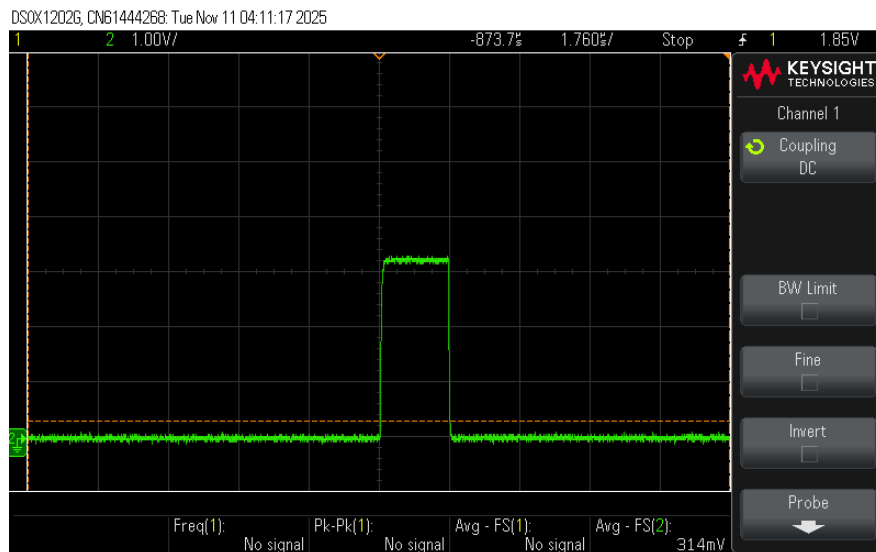


Figura 3: Ancho interrupción del DMA.

#### I-A2. ISRs del DMA

Las interrupciones por *major loop* del DMA son periódicas. Por lo tanto se mide el tiempo entre interrupciones y el ancho de la interrupción (Figura 2 y Figura 3). Luego

$$\% \text{ ISR} = \frac{1,76}{2640} = 0,067 \%$$

#### I-A3. Demodulación con filtro FIR

Para probar la parte de demodulación se simuló las funciones de `demod_fsk.c` con Python y se genera una señal FSK. Los resultados se pueden ver en la Figura 4, donde la trama de entrada es la misma a la que aparece en la consigna del TP.

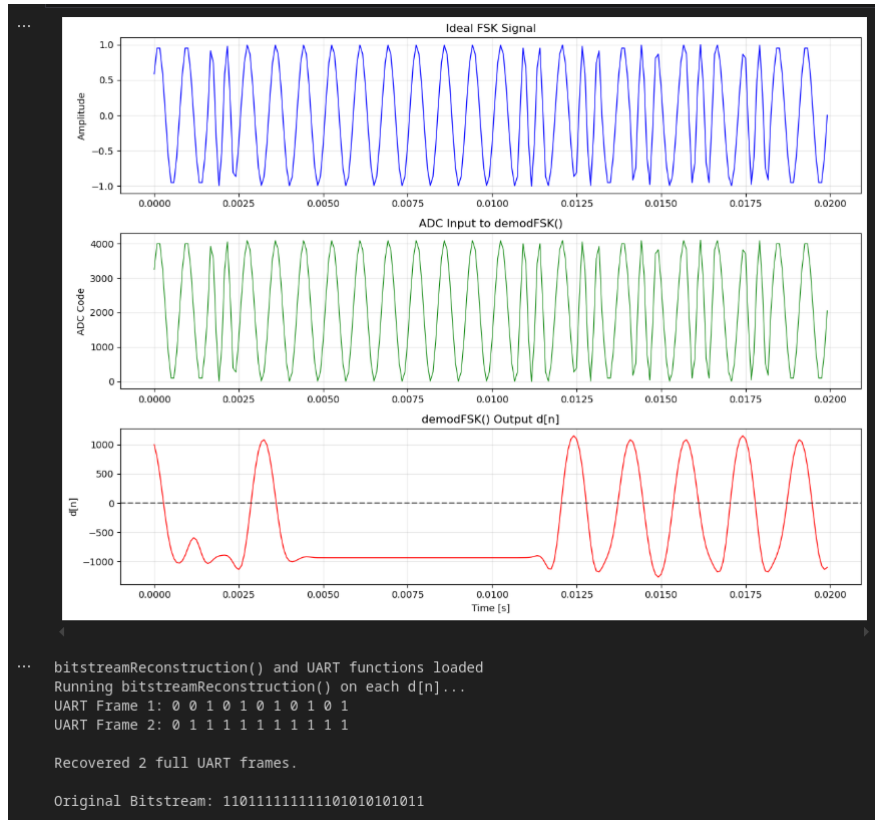


Figura 4: Simulación de la demodulación en Python.

## II Versión 2

La recepción de datos en la segunda implementación del modulador FSK consta de un comparador que compara la senoidal que recibe con 1.65V, un módulo de *input capture* que se basa en FTM (*flex timer module*), y finalmente una decodificación de los bits. Para la transmisión, se utiliza el NCO de la primera versión para variar el ciclo de trabajo de una señal cuadrada, y luego de pasar por un filtro de primer orden, el valor medio de la cuadrada es la señal senoidal de FSK.

### II-A Tiempos de Interrupción

#### II-A1. Callback Input Capture

Se interrumpe por cada flanco (either edge) que ocurre a la entrada del input capture. Dicha señal, corresponde a la salida de un comparador que compara la senoidal modulada con un valor de tensión de referencia fijo en 1,65V. Dicha interrupción calcula el tiempo que paso entre sus ultimos dos llamados y lo transforma en su valor equivalente en frecuencia. Esta ademas valida dicho valor para ignorar valores de alta frecuencia generados por ruido de la salida del comparador.

Se observa el tiempo de interrupción en la señal del canal 3 en la Figura 5. Está interrumpido el 66 % del tiempo.

#### II-A2. ISRs del PIT

Se tienen las mismas interrupciones mencionadas en la versión 1, y además se le añade una interrupción por PIT cada  $833\mu s$  que dura 11 llamados, por cada vez que se detecta un bit start. Esta nueva interrupción observa el valor de la ultima frecuencia válida detectada por el input capture y lo traduce a un valor de binario, guardando su valor en un buffer de bits recibidos. Se observa el tiempo de interrupción en la señal del canal 4 en la Figura 5. Está interrumpido el 5 % del tiempo.

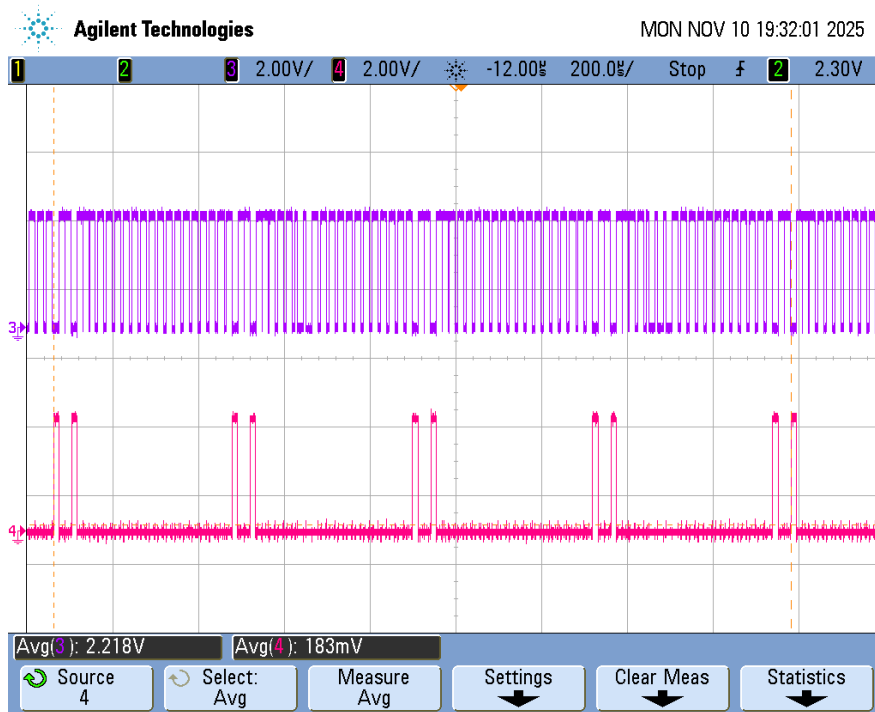


Figura 5: Caption

### III Envío de Datos

#### III-A Transmisión $V2 \iff V2$

La transmisión de datos con modulador de ancho de pulso se lleva a cabo modulando el ciclo de trabajo de una señal cuadrada, de modo que el valor medio sea una senoidal de FSK. La señal cuadrada se puede ver en la Figura 6. Luego, esa señal pasa por un filtro de primer orden para obtener el valor medio, y se obtiene la señal senoidal de la Figura 7. La recepción de datos con la versión 2 tiene una tasa de error de aproximadamente 1 %. Para evitar lecturas de caracteres inválidos, se filtra por software las lecturas que no tienen *bit-stop* o paridad *odd*.

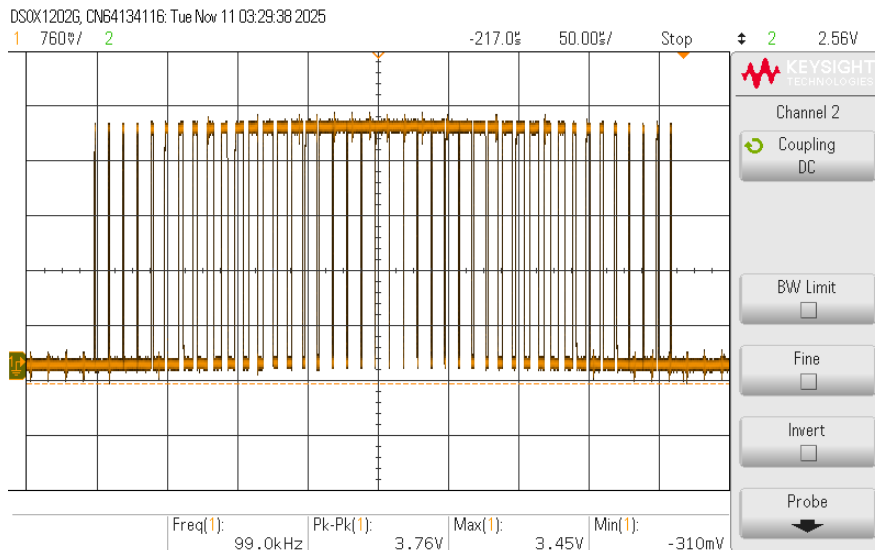


Figura 6: Señal cuadrada de PWM.

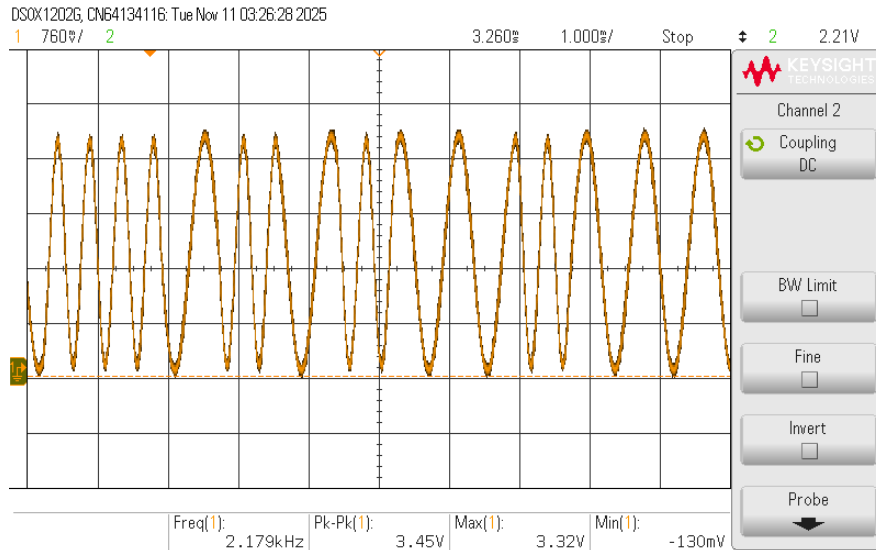


Figura 7: Señal senoidal de FSK.

### III-B Transmisión V1 $\longleftrightarrow$ V1

La transmisión de datos de la versión 1, hace uso de un convertidor DAC, y recibe con un ADC. Se ensayó la transmisión y recepción de datos usando dos microcontroladores con la versión 1 y funcionó de manera perfecta. No ocurren errores en la transmisión de datos.

### III-C Transmisión V1 $\longleftrightarrow$ V2

. Se realizó el ensayo de enviar 1 kB desde cada versión en simultáneo, cada placa con distinta versión del código. Se obtuvieron los resultados esperados, ya que la V1 recibió todos los bytes sin errores, y la V2 recibió el 99 % de los bytes. Esto confirma que el error proviene de la codificación de la V2, y que la señal se genera de manera perfecta. Se pueden ver superpuestas la señal cuadrada de PWM, la señal de FSK de la versión 2, la salida del DAC y la salida del DAC filtrada en la Figura 8. En conclusión, el error proviene de que el *bit-start* no llega siempre en el mismo valor de fase de la senoidal, y en algunos casos, esto implica que no lea dos ceros de la señal en  $T = \frac{1}{2200}$  s. Luego, no detecta que comenzó un bit y se pierde ese byte.

## IV Conclusión

A lo largo de este trabajo práctico se desarrollaron y compararon dos implementaciones funcionales de un módem FSK conforme al estándar Bell 202. En la primera versión, se empleó un *Numerically Controlled Oscillator* (NCO) junto con un DAC y un filtro FIR para realizar la modulación y demodulación digital. En la segunda versión, se reemplazaron dichos módulos por un comparador analógico (CMP) y el periférico FTM del microcontrolador, utilizando técnicas de *PWM* e *input capture* para generar y detectar las señales de frecuencia variable.

Ambas versiones demostraron un correcto funcionamiento en modo *full-duplex*, cumpliendo con las especificaciones de fase continua y niveles de señal requeridos. La comunicación entre dos equipos con la misma versión (V1  $\longleftrightarrow$  V1 y V2  $\longleftrightarrow$  V2) presentó resultados estables y una tasa de error despreciable en la V1, y menor al 1 % en la V2. En la prueba cruzada (V1  $\longleftrightarrow$  V2), se verificó compatibilidad total entre ambas implementaciones, confirmando la correcta conformidad con la modulación Bell 202.

Los resultados experimentales evidenciaron que el empleo de DMA reduce significativamente la carga de CPU durante las transferencias de datos, permitiendo una modulación más estable y con menor latencia. Asimismo, se comprobó que las interrupciones asociadas al NCO y al FTM operan dentro de los márgenes esperados de tiempo, sin afectar la temporización del sistema.

En síntesis, se alcanzaron los objetivos propuestos: diseñar, implementar y validar dos versiones de un módem FSK funcional, analizando su desempeño en términos de precisión, tiempo de interrupciones y carga de CPU. Las diferencias de complejidad y desempeño entre ambas versiones reflejan las ventajas del uso del DMA y los módulos periféricos del microcontrolador en sistemas embebidos orientados a comunicaciones digitales.

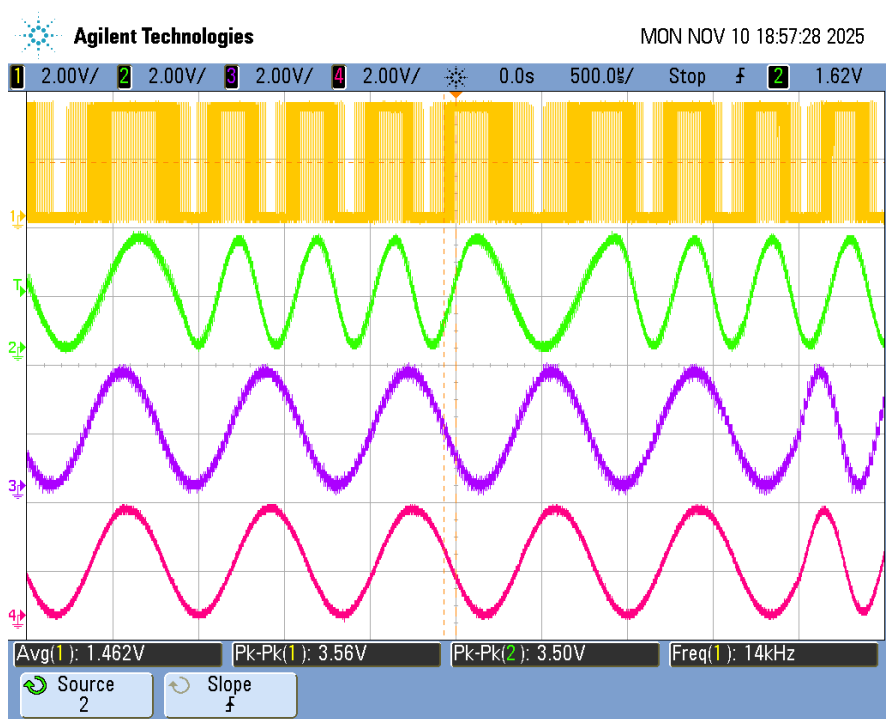


Figura 8: Señales FSK en transmisión simultánea.