

T.P. No. 2, 25.17 Electrónica II

Andrea Enricci Louzán, 63391
Instituto Tecnológico de Buenos Aires
aenriccilouzan@itba.edu.ar

Facundo Juli, 63379
Instituto Tecnológico de Buenos Aires
fjuli@itba.edu.ar

Lourdes Sarmiento, 63506
Instituto Tecnológico de Buenos Aires
lsarmiento@itba.edu.ar

Vito Pensa Piccolo, 63426
Instituto Tecnológico de Buenos Aires
vpensapiccolo@itba.edu.ar



Fecha: 31/10/2024

I. INTRODUCCIÓN

El objetivo de este trabajo es diseñar un display de cuatro dígitos de caracteres de siete segmentos que muestre la información de una entrada serie. Se utilizó el siguiente esquema (ver [Figura 1](#)). Y si utilizaron los siguientes modelos de componentes:

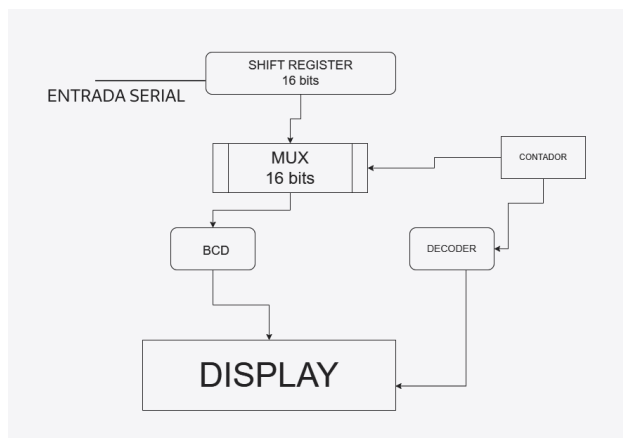


Figura 1. Diagrama simplificado del circuito.

1. Display: 5641BS (ánodo común)
2. Decoder: 74LS139
3. Contador 4-bits: 74LS169
4. BCD a 7 segmentos: 74LS47
5. Multiplexor: 74LS153
6. Shift Register 8-bits: 74LS164

II. COMPATIBILIDAD DE INTEGRADOS

Para asegurar compatibilidad entre los integrados utilizados en el diseño, se propuso utilizar todos componentes de la misma familia tecnológica. En nuestro caso, utilizamos los low-power Schottky. Este tipo de integrados posee la característica de tener una disipación y tiempo de propagación pequeño.

III. ENTRADA

Para la entrada se utilizó el modo patterns de generación de señales digitales de la Analog Discovery 2 utilizando el software Waveforms. La entrada consiste en tres señales:

1. **Enable (ENB)**: Esta entrada activa el registro de desplazamiento. Permite el desplazamiento de datos a través del registro durante 16 flancos ascendentes de la señal de reloj (S CLK). Si ENB está en estado bajo, el registro se desactiva y no se produce el desplazamiento.
2. **Serial Data (S DATA)**: Esta entrada recibe la información a desplazar en el registro. Consiste en 16 bits de datos, que en este caso representan 4 números en formato BCD (Decimal Codificado en Binario). Cada número BCD se codifica en 4 bits.
3. **Serial Clock (S CLK)**: Esta entrada proporciona la señal de reloj necesaria para el funcionamiento del registro de desplazamiento. Cada flanco ascendente de S CLK provoca el desplazamiento de un bit de S DATA hacia el registro. Se requieren 16 flancos ascendentes para desplazar los 16 bits de datos completos.

Un ejemplo de entrada serial se puede ver en la [Figura 2](#) (amarillo ENB, verde S CLK, violeta S DATA); donde en este caso la entrada en binario es: 0111 0010 1011 1000 y en hexadecimal: 72B8.

Además, los shift registers cuentan con una entrada de clear (CLR), la cual configura todas las entradas a low. La entrada de CLR de este modelo está negada (active low). Entonces el CLR se conectó a la alimentación V_{cc} con un pull-up de $4k7\ \Omega$ y un pulsador a GND. Todo esto se puede ver en el circuito final en la [Figura 4](#).

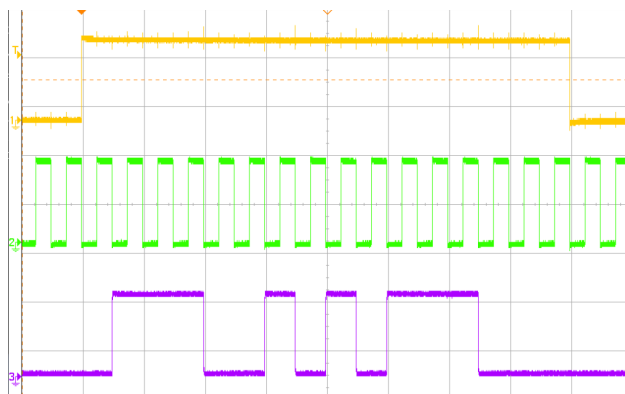


Figura 2. Ejemplo de entrada serial del circuito.

IV. TRANSISTORES DE SALIDA

Los transistores fueron agregados al circuito debido a que la corriente máxima que puede entregar el decoder es de 8mA, y no es suficiente si se quieren prender más de 1 LED (esta corriente puede llegar a 480mA), por lo cual entran en juego estos pnp, que actúan en saturación, hacen que dependiendo del valor de la corriente de base que se le de, de una corriente fija de colector dada por el fabricante.

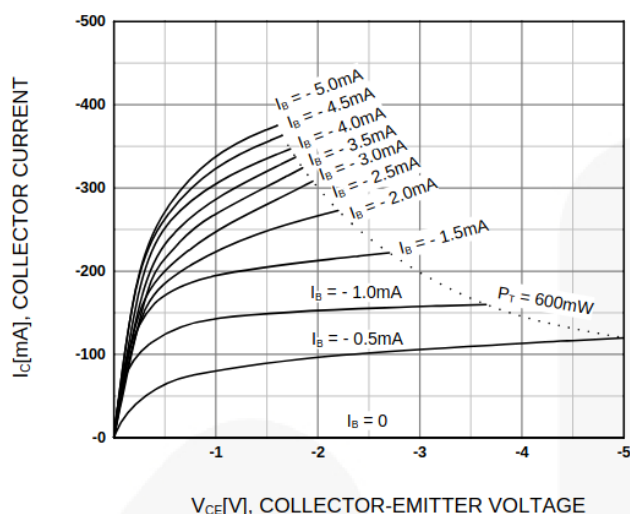


Figura 3. Curvas del fabricante.

V. SIMULACIÓN

Se verificó el diseño en el simulador online [falstad](#) (presionar el hyperlink para ver la simulación ya configurada).

VI. ANEXO

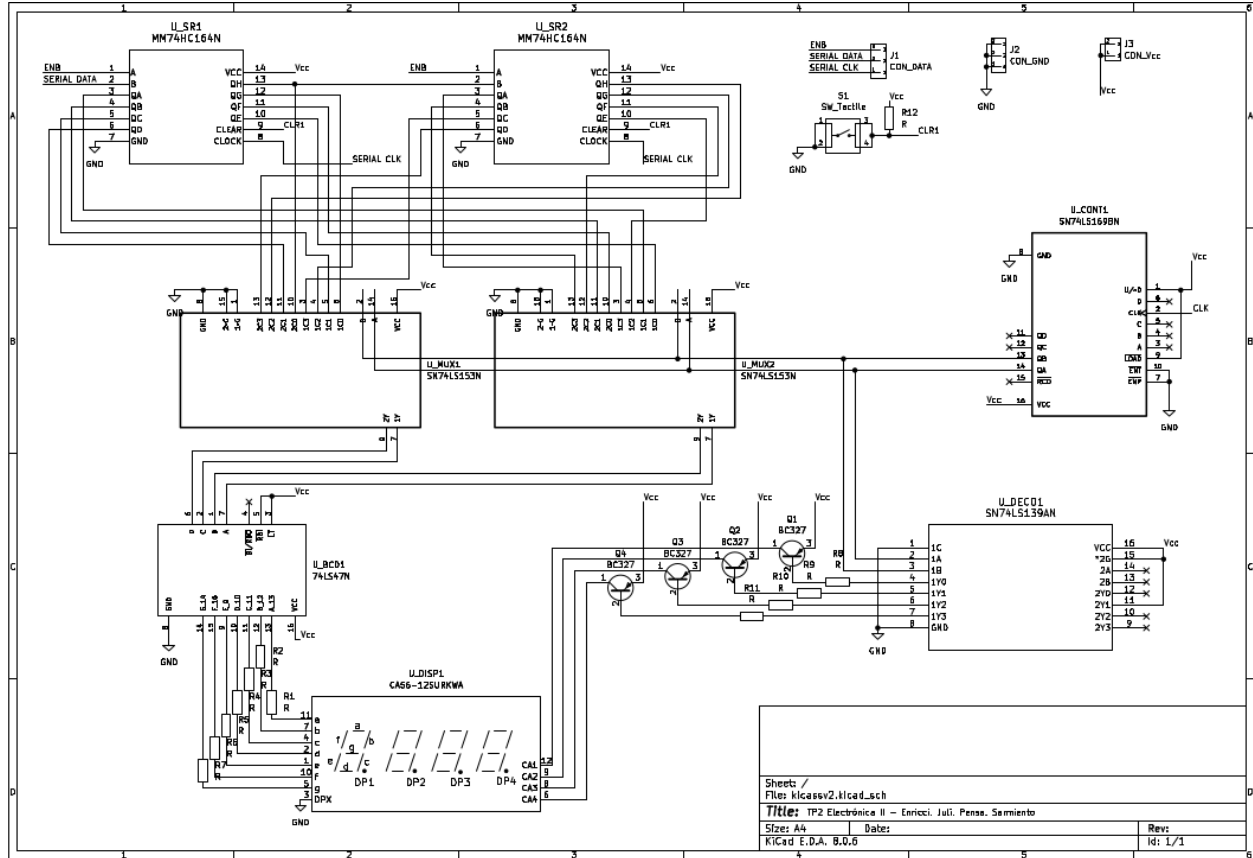


Figura 4. Esquemático final del circuito implementado.

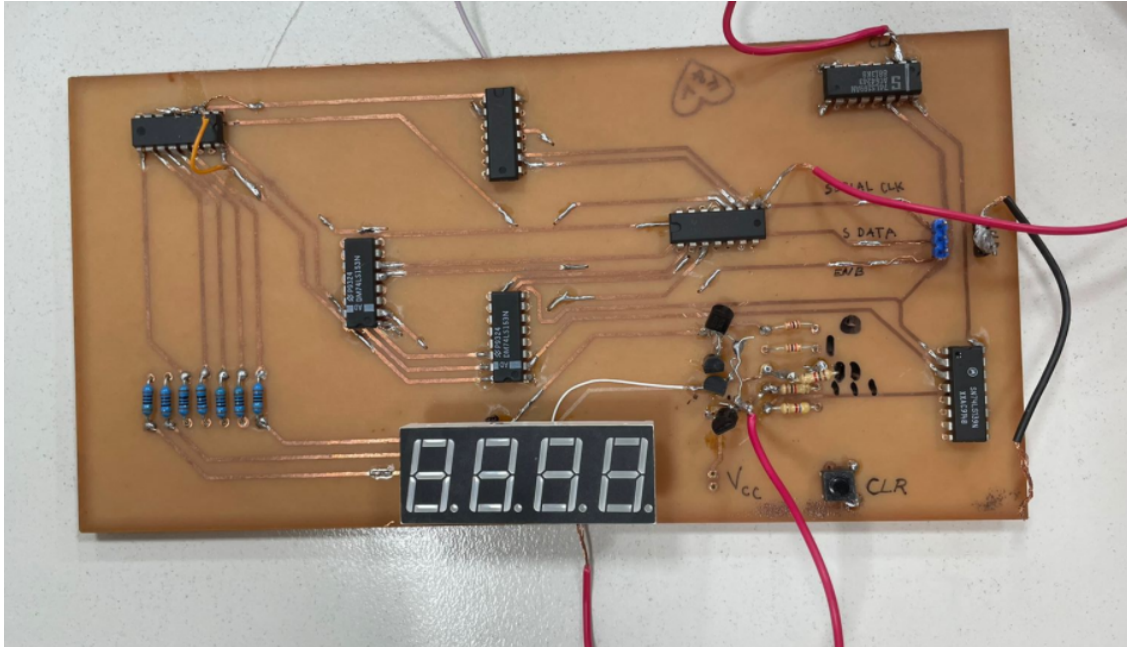


Figura 5. Circuito impreso final.