



Trabajo Practico Nro. 1

Electrónica II

# Compatibilidad de familias lógicas y comportamientos dinámicos

**Alumno:**

*SARMIENTO, LOURDES - 63506*

*ENRICCI LOUZAN, ANDREA - 63391*

*PENSA PICCOLO, VITO - 63426*

*JULI, FACUNDO MANUEL - 63391*

**Fecha de entrega del informe:** *19 de Septiembre de 2024*

**Observaciones:**

**Fecha de aprobación:**

**Firma del docente:**

# Índice

<b>1. Compatibilidad de familias logicas</b>	<b>1</b>
1.1. Medición de las tensiones de entrada . . . . .	2
1.2. Medición de las tensiones de salida . . . . .	3
<b>2. Comportamientos dinámicos</b>	<b>5</b>
2.1. Tiempo de propagación . . . . .	6
2.2. Tiempo de transición . . . . .	7
2.3. Flip Flop -D . . . . .	7
<b>3. Anexo</b>	<b>10</b>
3.1. Tabla de mediciones . . . . .	10

---

## 1. Compatibilidad de familias logicas

En este análisis, se busca estudiar la compatibilidad entre las familias de compuertas lógicas **CMOS** (74HCxx) y **TTL** (74LSxx) en términos de las tensiones de entrada y salida. Ambas tecnologías presentan características distintas en cuanto a sus niveles lógicos, pero es posible hacerlas funcionar juntas bajo ciertas condiciones. Un aspecto crucial es elegir una tensión de alimentación común que permita la correcta operación de ambas familias.

Para este estudio, se utilizará una tensión de alimentación  $V_{CC}$  de **5V**, que es un valor estándar y aceptable tanto para circuitos integrados CMOS como TTL. A partir de las hojas de datos de ambas familias, se analizarán los rangos de tensiones de entrada y salida para verificar su compatibilidad y asegurar que los niveles lógicos sean interpretados correctamente en las dos direcciones (de CMOS a TTL y de TTL a CMOS).

## 1.1 Medición de las tensiones de entrada

En esta sección, se analizarán las tensiones de entrada correspondientes a los niveles lógicos alto y bajo ( $V_{INPUT-HIGH}$  y  $V_{INPUT-LOW}$ ) de una compuerta NAND de las familias 74HC00 y 74LS00. Se realizó una medición utilizando una señal de rampa en una de las entradas de la compuerta y manteniendo la otra entrada en un valor conocido. La salida fue registrada utilizando un osciloscopio. A continuación, se muestran los resultados obtenidos en las tablas.

Tabla 1.1: Tensiones de entrada para la compuerta NAND 74HC00

Tensión	Valor (V)
$V_{INPUT-LOW}$	2.46 (Salida en 1)
$V_{INPUT-HIGH}$	2.83 (Salida en 0)

Tabla 1.2: Tensiones de entrada para la compuerta NAND 74LS00

Tensión	Valor (V)
$V_{INPUT-LOW}$	1.00 (Salida en 1)
$V_{INPUT-HIGH}$	3.00 (Salida en 0)

Como se puede observar, en la compuerta **74HC00** (tecnología CMOS) las tensiones de umbral son mayores en comparación con la compuerta **74LS00** (tecnología TTL). En particular,  $V_{INPUT-LOW}$  es de 2.46V y  $V_{INPUT-HIGH}$  es de 2.83V para la 74HC00, mientras que para la 74LS00 estos valores son de 1.00V y 3.00V, respectivamente. Estas diferencias reflejan las características propias de cada tecnología, donde las compuertas CMOS suelen tener umbrales de tensión más altos que las compuertas TTL.

La relación entre la tensión de entrada y la salida de las compuertas se puede observar en las Figuras 1.2 y 1.1, donde se muestran las curvas características de cada dispositivo.

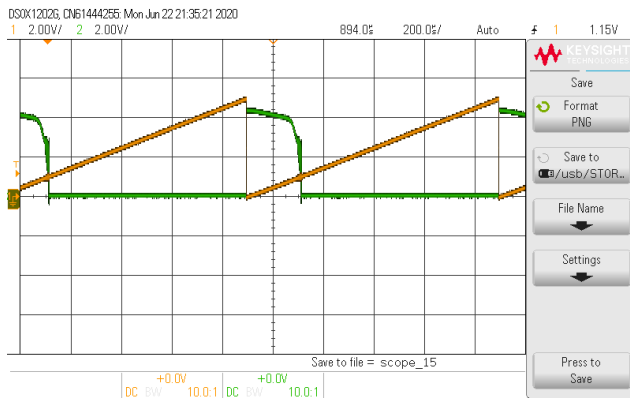


Figura 1.1: Tensiones de entrada del 74LS00

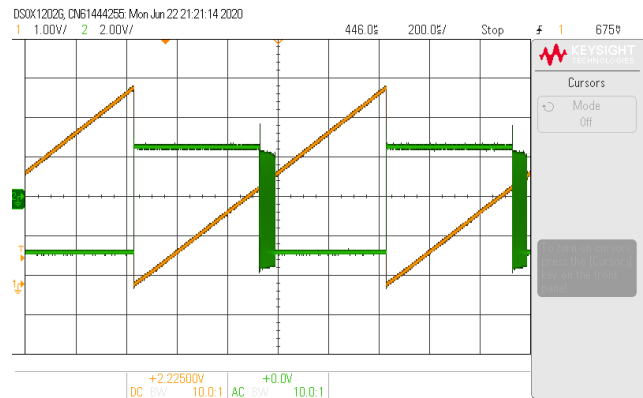


Figura 1.2: Tensiones de entrada del 74HC00

## 1.2 Medición de las tensiones de salida

Para esta sección, se realizó un análisis de la relación entre la corriente de salida y la tensión para una compuerta NAND 74HC00 y una 74LS00, tanto en el caso de un "1" lógico como en el de un "0" lógico. Para llevar a cabo esta medición, utilizamos un preset (resistencia variable) que nos permitió ajustar la resistencia en el circuito y, de esta manera, variar la corriente de salida de la compuerta. A medida que se variaba la corriente, se registraron los valores de tensión correspondientes en cada estado lógico, obteniendo así una caracterización completa de la respuesta de corriente-tensión de ambas compuertas.

A continuación, se muestran los gráficos:

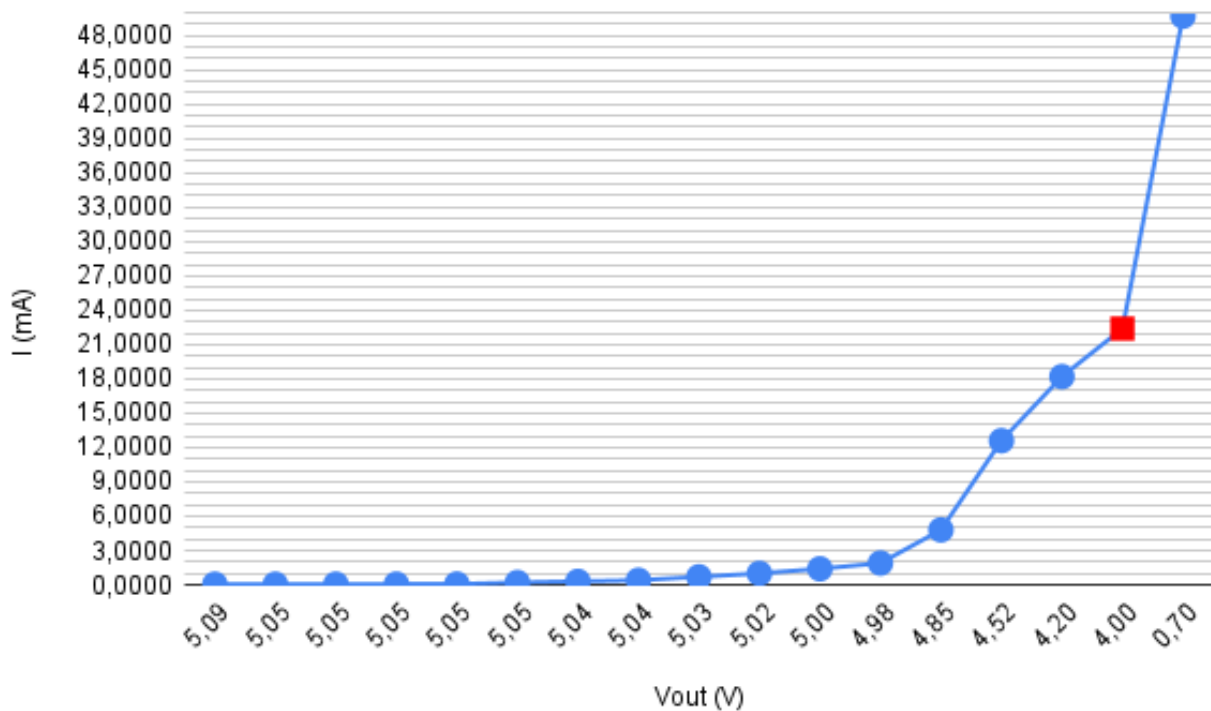


Figura 1.3: Gráfico de la corriente con Vout del 74CH00

Donde su tabla se encuentra en 3.3.

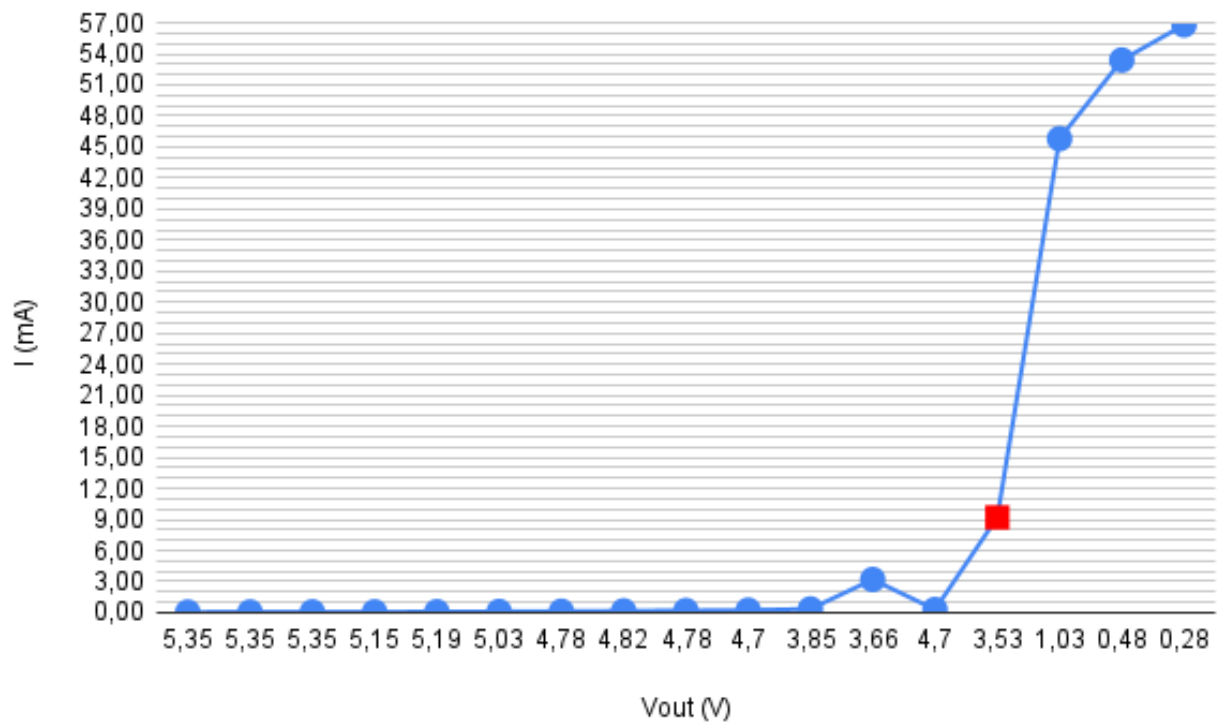


Figura 1.4: Gráfico de la corriente con  $V_{out}$  del 74LS00

Donde su tabla se encuentra en 3.4.

Durante el análisis de la relación entre la corriente de salida y la tensión, observamos que cuando la curva cruza el **punto rojo** en el gráfico, el valor pasa a ser reconocido como un "1" lógico. Este punto marca el umbral crítico donde la salida cambia su estado lógico, pasando de un 0 a un 1. El gráfico muestra claramente cómo, al variar la corriente, la tensión de salida alcanza este valor de umbral, indicando la transición de estado. La posición exacta de este punto en el gráfico es crucial para identificar correctamente el nivel lógico.

## 2. Comportamientos dinámicos

A continuación, se implementa un multiplexor 2 a 1 de salidas complementarias.

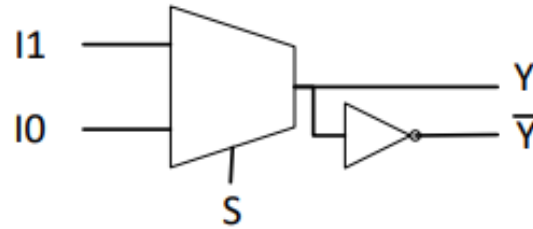


Figura 2.5

Que verifique la siguiente tabla de verdad:

TRUTH TABLE				
SELECT INPUT	DATA INPUTS		OUTPUT	
			157	158
S	I0	I1	Y	$\bar{Y}$
L	L	X	L	H
L	H	X	H	L
H	X	L	L	H
H	X	H	H	L

Figura 2.6

Se propone armar el siguiente circuito a base de compuertas NAND mediante el integrado 74HC00:

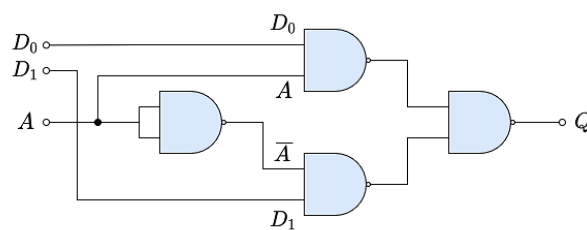


Figura 2.7

## 2.1 Tiempo de propagación

Luego, se toman mediciones del tiempo de propagación de entrada a salida para las transiciones 1-0 y 0-1.

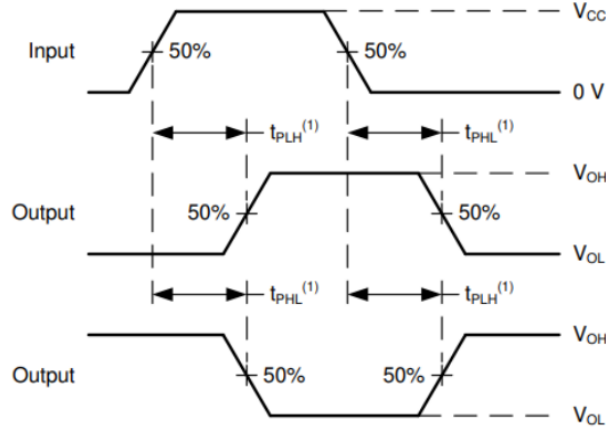


Figura 2.8

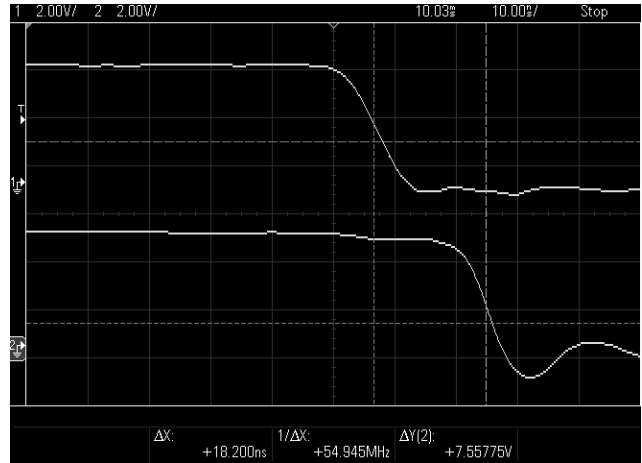
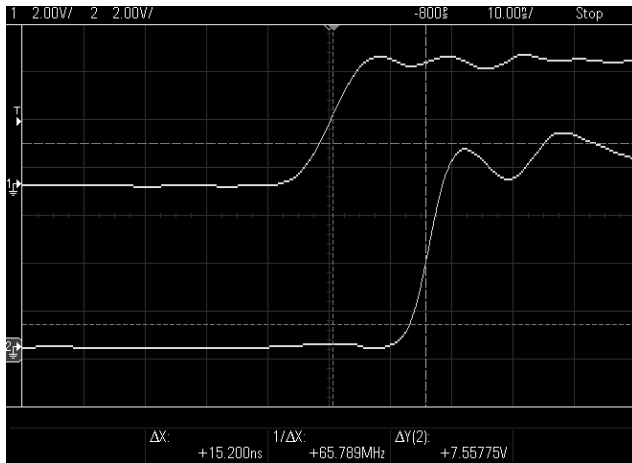


Figura 2.9: Tiempo de propagación Low-To-High      Figura 2.10: Tiempo de propagación High-To-Low

De donde se obtiene un tiempo de propagación low-to-high de 15,2 ns y high-to-low de 18,2 ns.

Finalmente, se determina el peor tiempo de propagación, el cual resultara de pasar por 3 compuertas NAND. De la hoja de datos, se obtiene un tiempo de propagación de  $T_{NAND} = 27ns$  para cada compuerta. Lo cual, para un peor escenario del multiplexor, implicaría un tiempo de propagación máximo de  $3 \cdot T_{NAND} = 81ns$ .

Si se compara este resultado con el medido, puede observarse una amplia diferencia. Esto da una magnitud sobre la relación entre el caso promedio y peor caso. En la hoja de datos el tiempo de propagación típico trabajando a temperatura ambiente de cada compuerta resulta de 9 ns. Si uno contempla que existen muchos caminos que solo pasan por dos compuertas NAND y utiliza este valor típico, obtiene resultados consistentes con las mediciones (15ns ~ 18ns).



## 2.2 Tiempo de transición

Se solicita medir los tiempos de rise ( $T_r$ ) y fall ( $T_f$ ).

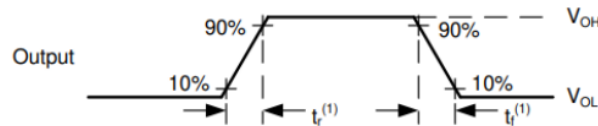


Figura 2.11

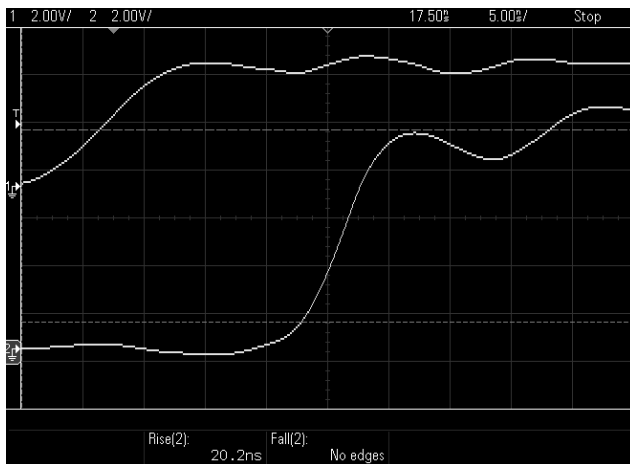


Figura 2.12: Tiempo de rise

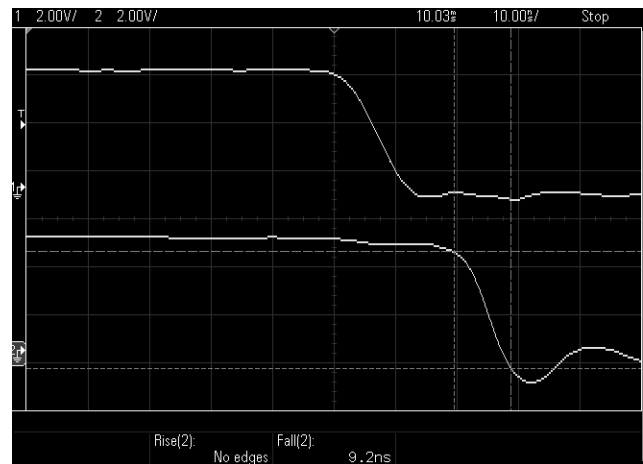


Figura 2.13: Tiempo de fall

Para lo que se obtienen  $T_r = 20,2ns$  y  $t_f = 9,2ns$ . Observando la hoja de datos, el valor máximo de tiempo de propagación resulta de 22ns. Es entonces que, se concluye que las mediciones son consistentes, obteniendo un tiempo de transición en un rango permitido, y obteniéndose también un tiempo de fall menor que el de rise, algo que suele ser común en estos dispositivos.

## 2.3 Flip Flop -D

Para concluir el trabajo, se agrega un Flip Flop D a la salida /Y del multiplexor, utilizando un integrado 74HC74.

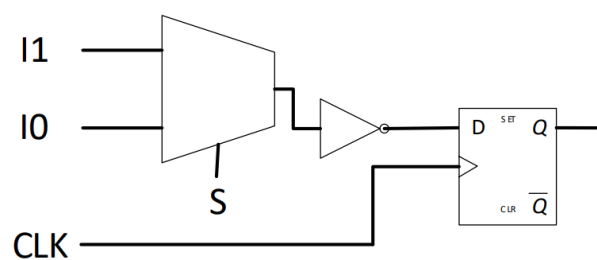


Figura 2.14: Esquemático del circuito a implementar.

Primero, se midió el tiempo de clock a Q,  $t_{clkQ}$ , como se puede ver en la Figura 2.15. Este dio 11,2 ns, correspondidos con los 15-20 ns de la hoja de datos.

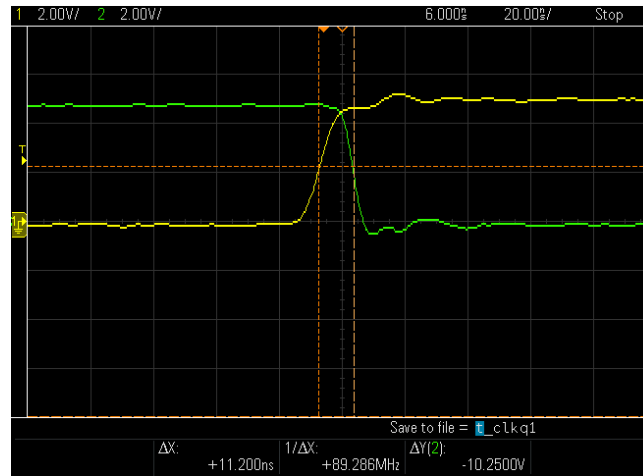
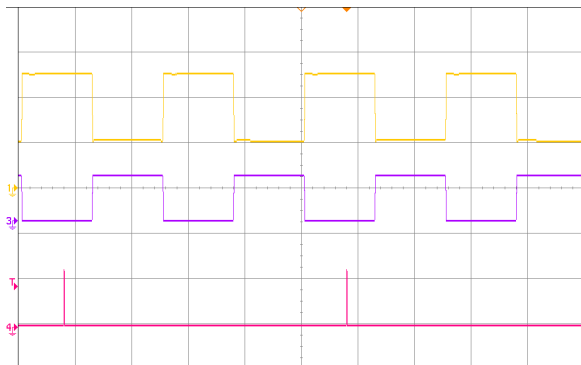


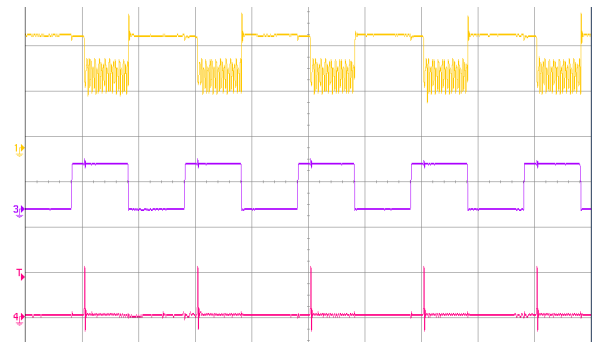
Figura 2.15: Medición tiempo de clock a Q.

Luego, para poder medir el tiempo de hold y set up se utilizaron dos generadores sincronizados: uno como el clock que realiza el *trigger* del segundo que es el dato. El dato se envió por la entrada I1, como se puede ver en la Figura 2.14, y el select tal que en el inversor entre I1. El problema que tuvo esta medición fue el que al sincronizar los generadores, sólo se podía variar el desfase de *trigger* mediante grados y no segundos. La consecuencia de esto es que no se podía proporcionar un desfase preciso, ya que la resolución del desfase depende entonces del periodo de la señal. Además, el ancho de pulso mínimo que permitía el generador era de 20 ns y, para tener una buena resolución de desfase, se utilizaron frecuencias altas. Al utilizar frecuencias altas, la sincronización se veía alterada: se podía ver en el osciloscopio como variaba en el tiempo el desfase (se movía la señal de datos con respecto al clock) de manera creciente a la frecuencia. Atribuimos este error a que la frecuencias de ambos generadores tienen una pequeña diferencia que se vuelve perceptible a frecuencias altas. En las instrucciones del generador indica que la sincronización funciona con señales de la misma frecuencia. Por esto la sincronización falla a frecuencias altas.

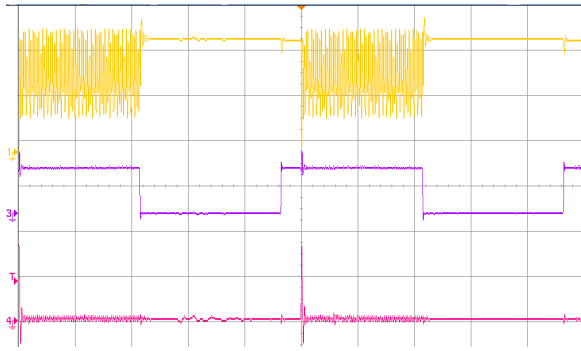
Habiendo aclarado esto, no se lograron medir los tiempos de hold y set up para el flip-flop. De todas formas, se observó, como se puede ver a continuación, los estados de metaestabilidad en la salida. En la hojas de datos aclara tiempos de hold de 3 ns típicos y al rededor de 20 ns de set up. La señal amarilla es la salida, la violeta es el dato, y el pulso rosa es el clock.



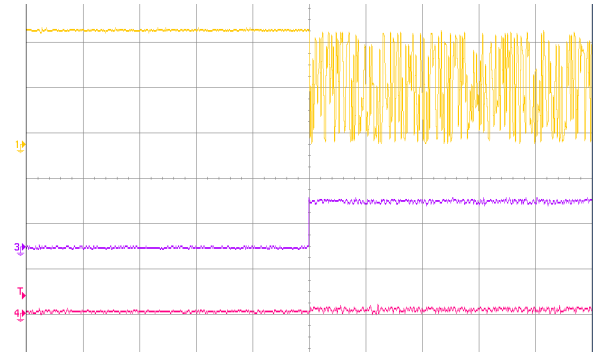
(a) Sin metaestabilidad.



(b) Comiezo de metaestabilidad.



(a) En zona de metaestabilidad.



(b) Zona de metaestabilidad de cerca.

---

### 3. Anexo

#### 3.1 Tabla de mediciones

Tabla 3.3: Relación entre Vout, Corriente (I) y Preset

Vout (V)	I (A)	Preset ( )
5.09	0.0001	93000
5.05	0.0001	90200
5.05	0.0001	84200
5.05	0.0001	79000
5.05	0.0001	72200
5.05	0.0002	25300
5.04	0.0003	16800
5.04	0.0004	12600
5.03	0.0007	7180
5.02	0.0010	5020
5.00	0.0014	3570
4.98	0.0019	2620
4.85	0.0048	1010
4.52	0.0126	359
4.20	0.0182	231
4.00	0.0224	179
0.70	0.0497	14

Tabla 3.4: Relación entre Vout, Corriente (I) y Preset

Vout (V)	I (mA)	Preset ( )
5.35	0.05	102884.62
5.35	0.06	89166.67
5.35	0.07	74305.56
5.15	0.07	69594.59
5.19	0.09	60348.84
5.03	0.11	46574.07
4.78	0.13	36769.23
4.82	0.17	28690.48
4.78	0.20	23900.00
4.70	0.24	19915.25
3.85	0.35	10937.50
3.66	3.20	1143.75
4.70	0.29	15986.39
3.53	9.20	383.70
1.03	45.80	22.49
0.48	53.40	8.99
0.28	56.80	4.93