

UNIVERSIDADE DE UBERABA – UNIUBE – CAMPUS VIA CENTRO
CURSOS DE ENGENHARIA ELÉTRICA E ENGENHARIA DE COMPUTAÇÃO
DISCIPLINA: SISTEMAS DIGITAIS – PROF. JOÃO PAULO SENO

AULA PRÁTICA 8 – Explorando os *Flip-flops*

I. Objetivo da prática:

Implementar e testar um circuito digital utilizando flip-flops J-K.

II. Apresentação teórica:

No início da aula, para explicar o funcionamento do flip-flop J-K.

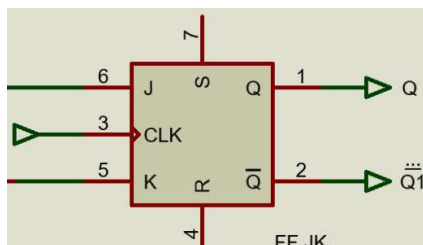
III. Material e equipamentos necessários (para cada bancada):

- 1 protoboard (pequeno);
- 1 fonte DC ajustável, ou fixa de 5V, 1,5ª (para alimentação dos Cis);
- 1 CI 7473 (2X J-K Flip-flop);
- 1 Osciloscópio de dois canais;
- 2 ponteiros para osciloscópio (atenuação 1X – 10X).
- 2 chaves liga-desliga de duas posições ou outra disponível e que seja equivalente;
- 1 gerador de função analógico, com cabos de força e sinal (para o sinal de clock);
- 2 cabos com garra jacaré para ligar a fonte de alimentação à protoboard;
- Cabinhos diversos para as ligações na protoboard;
- 1 multímetro digital.

IV. Roteiro

1. Baixar a datasheet do CI 7473 (Disponível na Internet e no Disco Virtual).
2. Usar o gerador de funções para gerar um sinal de clock de 1 kHz. Use a saída de sincronismo TTL para alimentar o sinal de clock do Flip-Flop. Deve-se verificar o sinal com o canal 1 do osciloscópio. **NÃO LIGAR ANTES DE CONFERIR SE AS TENSÕES E LIGAÇÕES ESTÃO CORRETAS.**
3. Ligue um dos flip-flops do circuito integrado e teste a tabela verdade abaixo. Use as chaves liga-desliga de duas posições para acionar as entradas J e K do flip-flop, conectando o pino central da chave na entrada e as outras duas uma no +5V e outra no GND.
4. Use o osciloscópio para observar a saída Q e validar a tabela verdade.

Obs.: Verifique os pinos corretos do flip-flop na datasheet. A figura abaixo é ilustrativa.

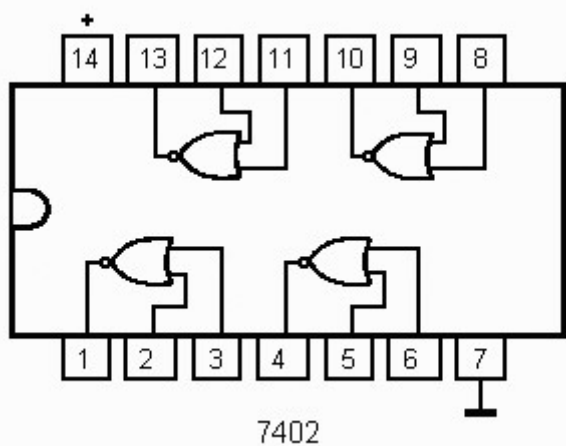
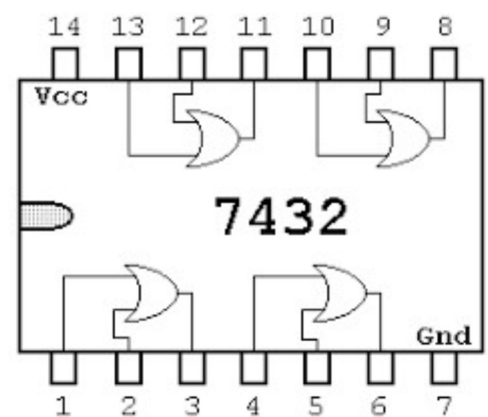
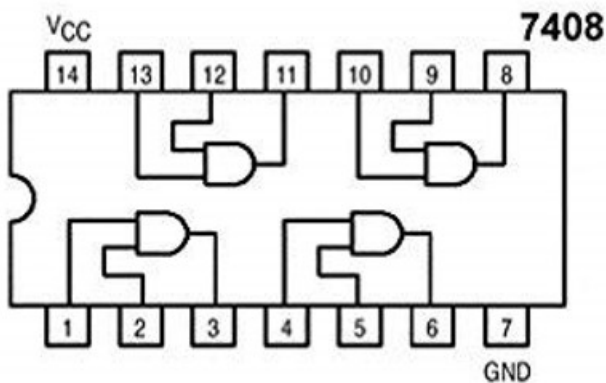


J	K	Q	Q'	State
0	0	Q	Q'	No change in state
0	1	0	1	Resets Q to 0
1	0	1	0	Sets Q to 1
1	1	-	-	Toggles

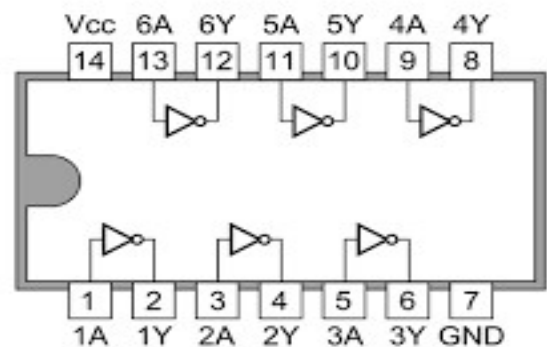
V. Relatório

Entregar o relatório com a descrição dos passos e resultados obtidos.

Anexos – Pinagem dos CIs



7404 Hex Inverters



Order Number	Package Number	Package Description
DM7473N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Connection Diagram

Function Table

Inputs				Outputs	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H		L	L	Q_0	\bar{Q}_0
H		H	L	H	L
H		L	H	L	H
H		H	H	Toggle	

H – HIGH Logic Level
 L – LOW Logic Level
 X – Either LOW or HIGH Logic Level
 – Positive pulse data, the J and K inputs must be held constant while the clock is HIGH. Data is transferred to the outputs on the falling edge of the clock pulse.
 Q_0 – The output logic level before the indicated input conditions were established.
 Toggle – Each output changes to the complement of its previous level on each HIGH level clock pulse.