

**Uniube**

UNIUBE – CAMPUS VIA CENTRO – Uberlândia/MG  
Curso de Engenharia Elétrica e Engenharia de Computação  
Disciplina: Sistemas Digitais

# Aula 10

## *Latches e Flip-flops*

Revisão 2, de 24/04/2025

Prof. João Paulo Seno  
[joao.seno@uniube.br](mailto:joao.seno@uniube.br)

1

**Uniube**

## Introdução

- Nesta seção vamos estudar os dispositivos lógicos biestáveis, que são o *latch* e o *flip-flop*.
- Vamos incluir um elemento crítico nos circuitos digitais: a **realimentação**!
- Outra ideia importante é a de **estabilidade**: a partir de diferentes sinais de entrada nos circuitos lógicos, as saídas podem ficar estáveis em determinados valores (que é o que se espera) ou não.
- Para imaginar como estes circuitos conseguem funcionar, devemos nos lembrar que há um certo atraso na propagação dos sinais elétricos pelos circuitos lógicos.
- Entendidos estes componentes, o próximo passo será combiná-los para obter circuitos mais complexos que possam realizar diferentes operações.



## Dispositivos biestáveis

- Os dispositivos biestáveis são aqueles que podem ter suas saídas em dois estados básicos, uma no nível lógico ALTO, ou 1; e outra no nível lógico BAIXO, ou 0, permanecendo travados neste estado indefinidamente até que outro sinal ou pulso aplicado na entrada apropriada cause a mudança para outro estado: nível 1 para 0, e nível 0 para 1 (Obs.: *latched*, em inglês, significa travado).
- Vamos estudar dois dispositivos com este comportamento: o ***latch*** e o ***flip-flop***.
- Estes dispositivos fazem parte do conjunto de blocos básicos dos circuitos lógicos sequenciais.

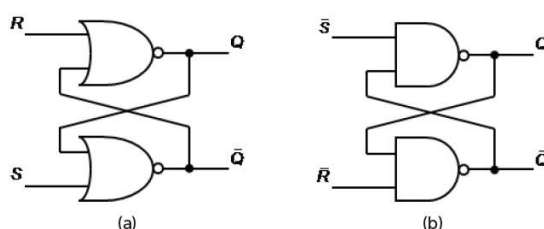


## *Latch*

- É um tipo de dispositivo lógico de armazenamento temporário que tem dois estados estáveis, e por isso é chamado de biestável ou multivibrador.
- *Latches* são similares aos *flip-flops* porque eles também são dispositivos biestáveis que podem permanecer em dois estados possíveis através de uma ligação de realimentação, nos quais as saídas são conectadas nas entradas opostas. No próximo *slide* isso vai ficar mais claro.
- A principal diferença entre um *latch* e um *flip-flop* é o método usado para mudar seu estado.
- Os *flip-flops* e os *latches* são dispositivos que podem armazenar 1 *bit* de informação.

## Latch S-R

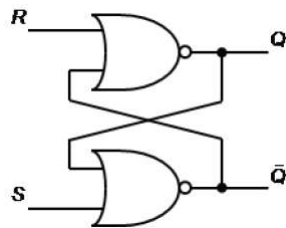
- Um *latch S-R* (*SET-RESET*) com entrada ativa em nível ALTO é composto de duas portas NOR com acoplamento cruzado (realimentação), conforme pode ser visto na figura (a) abaixo.
- Já um *latch  $\bar{S}$ - $\bar{R}$*  com entrada ativa em nível BAIXO, por sua vez, é composto por duas portas NAND com acoplamento cruzado, conforme pode ser visto na figura (b).
- O *latch S-R* possui duas entradas e duas saídas.



## Funcionamento do *latch S-R*

- Considerações preliminares:
  - As duas saídas do *latch*,  $Q$  e  $\bar{Q}$ , são complementares.
  - Um *latch* pode permanecer em um de seus dois estados: SET e RESET.
  - SET significa que a saída  $Q$  está em nível alto. Um pulso na entrada  $S$  leva a saída do *latch* para o nível alto.
  - RESET significa que a saída  $Q$  está em nível baixo. Um pulso na entrada  $R$  leva a saída  $Q$  do *latch* para o nível baixo.
  - O *latch* básico tem três modos de operação: SET, RESET e REPOUSO, além de uma condição inválida. Veremos isso daqui a pouco, quando estivermos estudando seu funcionamento.

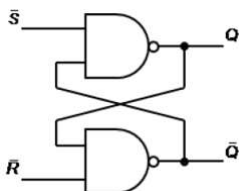
## Funcionamento do *latch* S-R

Tabela de excitação do *latch* S-R

S	R	$Q(t+1)$	Estado
0	0	$Q(t)$	Repouso
0	1	0	RESET
1	0	1	SET
1	1	?	Inválido

## Funcionamento do *latch* $\bar{S} - \bar{R}$

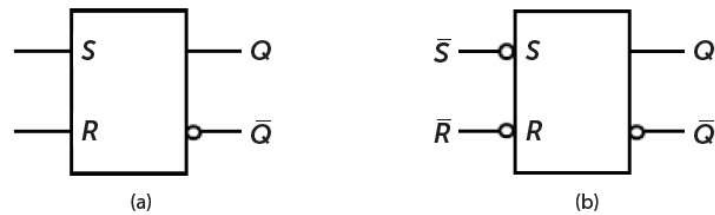
- O *latch*  $\bar{S} - \bar{R}$  com portas NAND tem funcionamento idêntico ao do *latch* S-R, porém, sua entrada é ativada em nível BAIXO.
- Veja a tabela abaixo.



ENTRADAS		SAÍDAS		COMENTÁRIOS
$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$	
1	1	NC	NC	Repouso. O latch permanece no estado atual.
0	1	1	0	Latch no estado SET.
1	0	0	1	Latch no estado RESET.
0	0	1	1	Condição inválida.

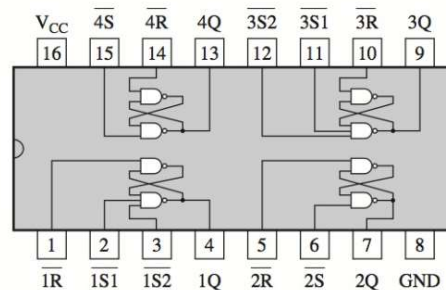
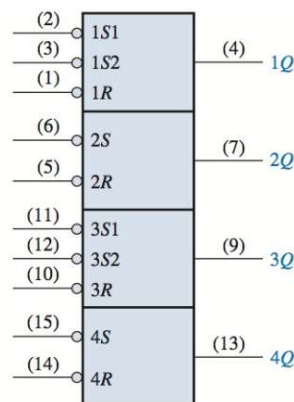
## Símbolos lógicos para os *latches*

- Os símbolos lógicos para os *latches* com entradas ativas em nível ALTO e entradas ativas em nível BAIXO são mostrados abaixo, nas figuras (a) e (b), respectivamente.



## Curiosidade

O CI 74LS279 contém quatro latches  $\bar{S}$ - $\bar{R}$  representado pelo diagrama lógico visto na Figura 7-7(a) e o diagrama de pinos na parte (b). Observe que dois dos latches têm duas entradas  $\bar{S}$ .

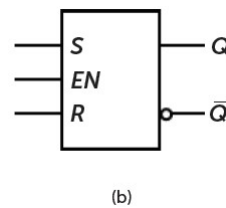
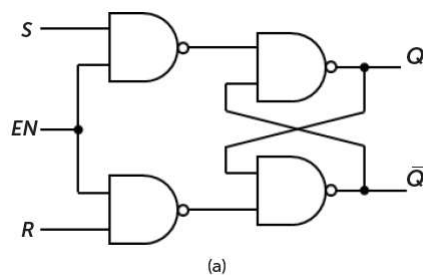




Uniube

## Latch controlado

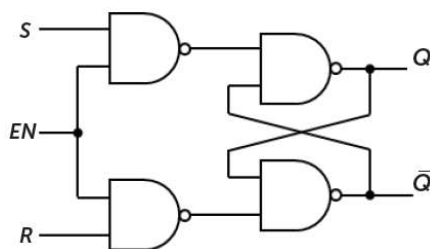
- Num *latch* controlado, a transição entre os estados ocorre somente sob a ação da subida de um pulso em uma entrada de habilitação, EN (não é transição pela borda).
- Essa entrada também pode ser chamada de gatilho e, portanto, a letra G também pode ser usada para indicar essa entrada.
- O diagrama lógico e o símbolo lógico para um *latch S-R* controlado podem ser vistos nas figuras (a) e (b), respectivamente.



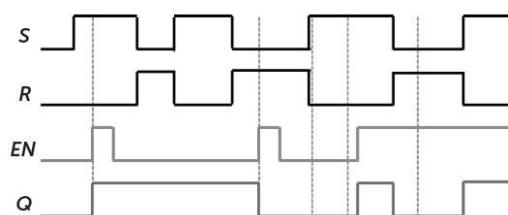
Uniube

## Funcionamento do *latch* S-R controlado

- As entradas S e R controlam o estado para o qual o *latch* irá quando um nível ALTO é aplicado na entrada EN. O *latch* não mudará de estado enquanto EN estiver em nível BAIXO. Porém, durante todo o tempo em que essa entrada permanecer em nível ALTO, a saída é determinada pelos estados das entradas S e R.

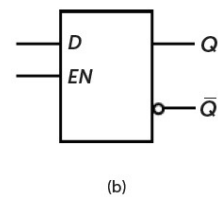
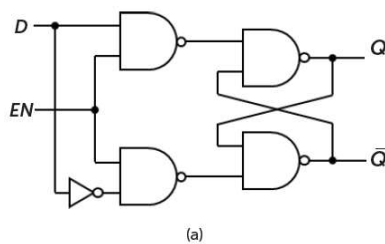


Diagramas de tempo



## Latch D

- O *latch* D é um outro tipo de *latch* controlado. Ele teve sua origem devido à necessidade de se evitar, no *latch* S-R, a ocorrência do estado proibido. Por isso, o *latch* D tem apenas uma entrada além da EN. A entrada mencionada é denominada de entrada D (dato).
- O diagrama lógico e o símbolo lógico para um *latch* D são mostrados abaixo, nas figuras (a) e (b), respectivamente.



## Funcionamento do *latch* D

- Quando a entrada D for de nível ALTO e a entrada EN for de nível ALTO, o *latch* será levado para o estado SET.
- Quando a entrada D for de nível BAIXO e a entrada EN for de nível ALTO, o *latch* será levado para o estado RESET. Dito de outra forma, a saída Q segue a entrada D quando EN for de nível ALTO.

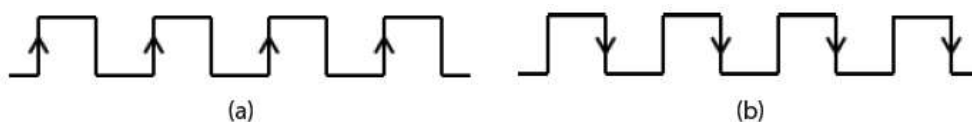
## Modos básicos de operação em lógica sequencial

- Temos dois modos básicos de operação: **assíncrono** e **síncrono**.
- No **modo assíncrono**, os circuitos que constituem o sistema funcionam com tempos independentes entre si. Os estados de saída são gerados imediatamente após a aplicação dos sinais de entrada, controlados pela realimentação direta, usando estritamente os retardos de propagação dos decodificadores do estado seguinte.
- Os *latches* são um exemplo de dispositivo assíncrono.
- No **modo síncrono**, o chaveamento é controlado por um trem de pulsos do sistema, conhecido como **relógio do sistema**, **clock do sistema** (*system clock*) ou simplesmente, **clock**.
- Os *flip-flops*, como foi comentado anteriormente, são chaveados pelo *clock*.

## Clock

- O *clock* representa o sinal de comando de um sistema sequencial e consiste em um sinal digital permanente, geralmente de alta frequência.
- A figura abaixo traz um exemplo de um sinal de *clock*. A seta evidencia qual borda é utilizada para acionar o *flip-flop*.

Trem de pulsos de um sinal de *clock*: (a) borda positiva; (b) borda negativa



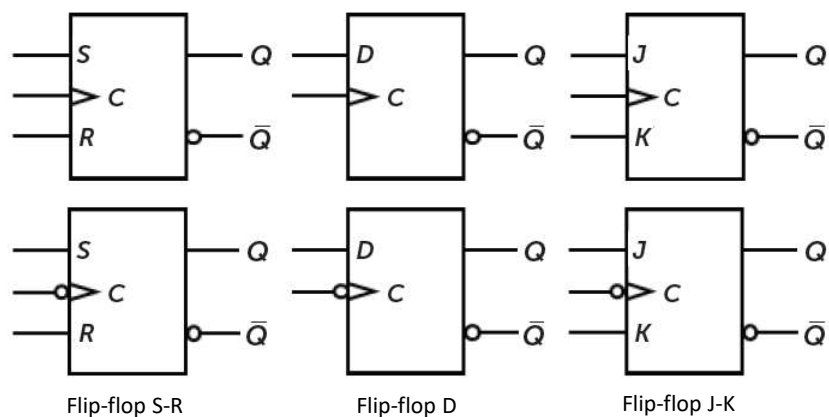


## Flip-flop

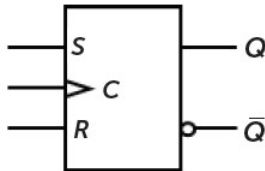
- Quando um *latch* S-R controlado é adaptado para funcionar de maneira síncrona, ele passa a ser chamado de *flip-flop* S-R disparado por borda.
- Serão estudados nesta seção, três tipos de *flip-flops* disparados por borda: S-R, D e J-K.
- Na prática, o *flip-flop* S-R não está disponível na forma de CI, mas ele é a base para os *flip-flops* D e J-K, por isso é importante entendermos o seu funcionamento.

## Símbolos lógicos de *flip-flops* disparados por borda

- Abaixo são apresentados os símbolos lógicos para os três tipos de *flip-flop* que serão estudados:



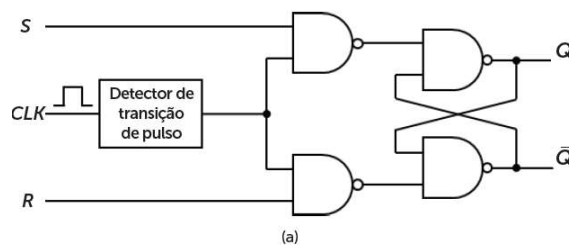
## Flip-flop S-R disparado por borda positiva



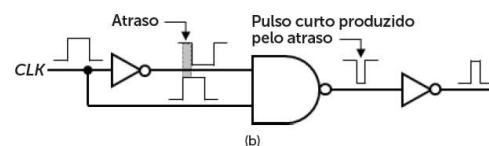
S	R	C	$Q(t+1)$	Estado
0	0	X	$Q(t)$	Repouso
0	1	$\uparrow$	0	RESET
1	0	$\uparrow$	1	SET
1	1	$\uparrow$	?	Inválido

## Flip-flop S-R disparado por borda positiva

Circuito digital que faz sua implementação

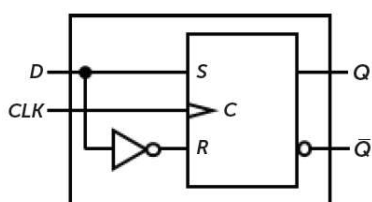


Exemplo de detector de transição de pulso



## Flip-flop D

- O *flip-flop* D é usado quando um único *bit* de dado (1 ou 0) deve ser armazenado.
- Um *flip-flop* D básico é obtido através de um *flip-flop* S-R, invertendo a entrada S e conectando esse sinal à entrada R, como pode ser visto na figura abaixo. Observe que esse tipo de *flip-flop* possui apenas uma entrada além do *clock*.
- Caso a entrada D seja 1 quando um pulso de *clock* é aplicado, o *flip-flop* irá para o estado SET e o nível 1 da entrada será armazenado pelo *flip-flop*.
- Caso exista um nível 0 na entrada D quando um pulso de *clock* seja aplicado, o *flip-flop* irá para o estado RESET e o nível 0 da entrada será armazenado pelo *flip-flop*.

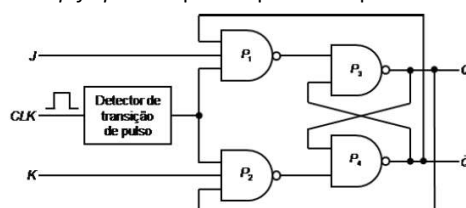


D	C	Q(t + 1)	Estado
0	↑	0	RESET
1	↑	1	SET

## Flip-flop J-K

- O *flip-flop* J-K é versátil e amplamente usado. Funciona da mesma forma que o *flip-flop* S-R nas condições de operação de SET, RESET e repouso.
- A diferença entre os dois é que o *flip-flop* J-K não possui um estado inválido, como acontece com o *flip-flop* S-R. A figura abaixo mostra a lógica interna básica para um *flip-flop* J-K disparado por borda. Note que a saída Q é conectada de volta na entrada da porta P2 e a saída Q é conectada de volta na entrada da porta P1. As duas entradas de controle são denominadas J e K em homenagem a Jack Kilby, inventor do circuito.

Flip-flop J-K disparado por borda positiva

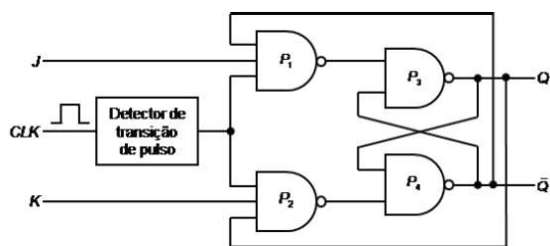




## Flip-flop J-K

### Funcionamento

- A operação lógica do *flip-flop* J-K é a mesma que a do tipo S-R para as condições de SET e RESET. A diferença ocorre quando as entradas  $J$  e  $K$  estiverem ambas em nível ALTO. Para entender isso, considere que o flip-flop esteja no estado de RESET. O nível lógico 1 em  $\bar{Q}$  habilita a porta  $P_1$ , assim, uma transição no *clock* leva o *flip-flop* para o estado SET, de modo que agora existe um nível 1 em  $Q$ , permitindo que a próxima transição do *clock* passe através da porta  $P_2$  e “resete” o *flip-flop*. Pode-se notar que a cada transição sucessiva do *clock* o *flip-flop* muda para o estado oposto ao anterior. Esse estado é denominado **toggle** (comutação).



J	K	C	$Q(t+1)$	Estado
0	0	↑	$Q(t)$	Repouso
0	1	↑	0	RESET
1	0	↑	1	SET
1	1	↑	$\bar{Q}(t)$	Toggle



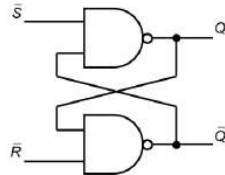
Uniube

## Exercícios



1. Um *latch* é um tipo de dispositivo lógico de armazenamento temporário que tem dois estados estáveis, e por isso é chamado de **biestável** ou **multivibrador**. Um *latch*  $\bar{S}$ - $\bar{R}$  com entrada ativa em nível BAIXO é composto por duas portas NAND com acoplamento cruzado, conforme indicado na Figura 4.16.

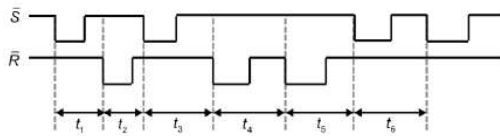
Figura 4.16 | Aspecto construtivo do Latch  $\bar{S}$ - $\bar{R}$



Fonte: elaborada pelo autor.

Considere que as formas de onda de  $\bar{S}$  e  $\bar{R}$  mostradas na Figura 4.17, são aplicadas nas entradas do *latch* visto na Figura 4.16. Determine os valores da saída  $Q$ , nos instantes  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ ,  $t_5$  e  $t_6$ , e assinale a alternativa que contém a sequência correta.

Figura 4.17 | Formas de onda de entrada



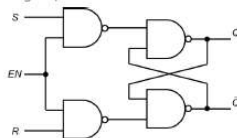
Alternativas:

- a) 010110.
- b) 110011.
- c) 101010.
- d) 101001.
- e) 010101.



2. Em um *latch* controlado, a transição entre os estados ocorre somente sob a ação da subida de um pulso em uma entrada de habilitação, EN. O diagrama lógico para um *latch* S-R controlado é mostrado na Figura 4.18.

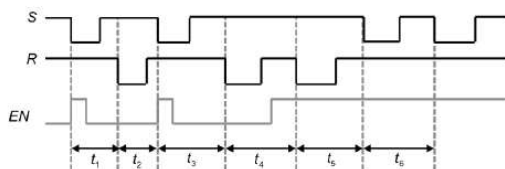
Figura 4.18 | Diagrama lógico para o latch S-R controlado



Fonte: elaborada pelo autor.

Considere que as formas de onda de  $S$ ,  $R$  e  $EN$ , mostradas na Figura 4.19, são aplicadas nas entradas do *latch* visto na Figura 4.18. Determine os valores da saída  $Q$  nos instantes  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ ,  $t_5$  e  $t_6$ , e assinale a alternativa que contém a sequência correta.

Figura 4.19 | Formas de onda de entrada



Fonte: elaborada pelo autor.

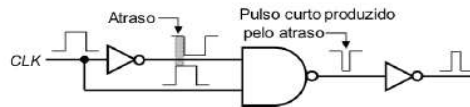
- a) 010110.
- b) 000010.
- c) 111101.
- d) 101001.
- e) 101010.



3. No *flip-flop* S-R disparado por borda, as entradas são denominadas síncronas, uma vez que os dados nas entradas são transferidos para a saída do *flip-flop* apenas na borda de disparo do pulso de *clock*.

Um exemplo básico de detector de transição de pulso é mostrado na Figura 4.20.

Figura 4.20 | Detector de transição de pulso



Fonte: adaptada de Floyd (2007, p. 397).

Considerando esse contexto, avalie as seguintes asserções e a relação proposta entre elas.

I. Esse tipo de detector de pulso faz uso do atraso ocasionado pela primeira porta inversora para produzir um pico de duração muito curta na transição positiva do pulso de *clock*.

PORQUE

II. O pulso de *clock* invertido chega alguns nanosegundos depois na porta NAND em relação ao pulso original.

A respeito dessas asserções, assinale a alternativa correta:

- As asserções I e II são proposições verdadeiras, e a II é uma justificativa da I.
- As asserções I e II são proposições verdadeiras, e a II não é uma justificativa da I.
- A asserção I é uma proposição verdadeira, e a II é uma proposição falsa.
- A asserção I é uma proposição falsa, e a II é uma proposição verdadeira.
- As asserções I e II são proposições falsas.



4. Em um circuito combinacional, o valor lógico presente na saída é determinado unicamente pelos valores lógicos presentes nas entradas em cada momento. O comportamento de um circuito sequencial, por sua vez, não depende somente das entradas em um determinado instante; o estado atual do circuito também afeta a sua saída.

Nesse contexto, avalie as afirmações a seguir:

I. Dentre os circuitos sequenciais, os dispositivos biestáveis são os mais importantes e têm esse nome por apresentarem dois estados estáveis, chamados de SET e RESET.

II. Os dispositivos biestáveis, por terem a capacidade de armazenar um bit de informação, são bastante úteis como dispositivos de memória.

III. Circuitos sequenciais biestáveis dividem-se entre *latches* e *flip-flops*, e a diferença entre esses dispositivos dá-se pela maneira como cada um deles comuta entre seus estados.

IV. Enquanto em um *flip-flop* sua saída pode ser alterada a qualquer instante de tempo, por isso eles são considerados dispositivos assíncronos, em um *latch* a saída somente é alterada quando houver variação no sinal de *clock*, por isso os *latches* são considerados síncronos.

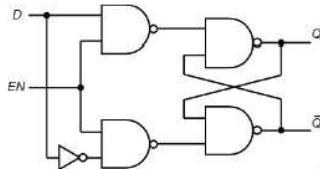
É correto o que se afirma em:

- I e III, apenas.
- II e IV, apenas.
- I, III e IV, apenas.
- I, II e III, apenas.
- I, II, III e IV.



5. Em um *latch* controlado, a transição entre os estados ocorre somente sob a ação da subida de um pulso em uma entrada de habilitação, EN. O *latch* D é um tipo de *latch* controlado. Ele teve sua origem devido à necessidade de se evitar, no latch S-R, a ocorrência do estado proibido. Por isso, o *latch* D tem apenas uma entrada além da EN. O diagrama lógico para um *latch* D controlado é mostrado na Figura 3.19;

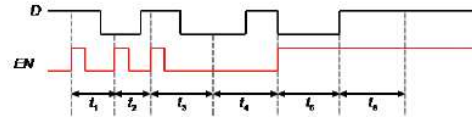
Figura 3.19 | Diagrama lógico para o latch D controlado



Fonte: elaborada pelo autor.

Considere que as formas de onda de *D* e EN, mostradas na Figura 3.20, são aplicadas nas entradas do latch visto na Figura 3.19. Então determine os valores da saída *Q* nos instantes  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ ,  $t_5$  e  $t_6$  e assinale a alternativa que contém a sequência correta.

Figura 3.20 | Formas de onda de entrada



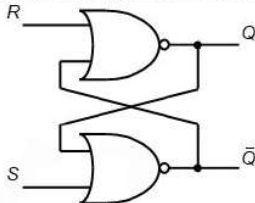
Fonte: elaborada pelo autor.

- 101101.
- 010010.
- 101010.
- 001101.
- 100001.



6. Segundo Floyd (2007), um *latch* é um tipo de dispositivo lógico de armazenamento temporário que tem dois estados estáveis e por isso é chamado de *biestável* ou *multivibrador*. Um *latch* S-R (SET-RESET) com entrada ativa em nível ALTO é composto de duas portas NOR com acoplamento cruzado, conforme pode ser visto na Figura 3.21.

Figura 3.21 | Latch S-R com entrada ativa em nível ALTO



Fonte: elaborada pelo autor.

Nesse contexto, considere as afirmações a seguir:

I. A tabela de excitação, por sua vez, lista os valores das entradas do circuito sequencial, bem como as mudanças entre os estados presentes e seguintes. Para o *latch* S-R, a excitação é mostrada na Tabela 3.8.

Tabela 3.8 | Tabela de excitação

S	R	$Q(t+1)$	Estado
0	0	$Q(t)$	Repouso
0	1	0	RESET
1	0	1	SET
1	1	?	Inválido

Fonte: elaborada pelo autor.

II. Considere que as entradas *S* e *R* do *latch* estão nos níveis lógicos 1 e 0, respectivamente. Em um segundo instante, a entrada *S* é levada para 0, e a partir desse momento observa-se na saída  $\bar{Q}$  o nível lógico 0.

III. Quando as duas entradas *S* e *R* são colocadas no nível lógico 1 ao mesmo tempo, tanto a saída *Q* quanto  $\bar{Q}$  são forçadas para 0, violando a condição básica de complementaridade entre essas duas saídas.

É correto o que se afirma em:

- I e II, apenas.
- II e III, apenas.
- I e III, apenas.
- I, apenas.
- I, II e III.



Fim