

UNIVERSIDADE DE UBERABA – UNIUBE – CAMPUS VIA CENTRO
CURSOS DE ENGENHARIA ELÉTRICA E ENGENHARIA DE COMPUTAÇÃO
DISCIPLINA: SISTEMAS DIGITAIS – PROF. JOÃO PAULO SENO

AULAS PRÁTICAS 9 e 10 – Contadores Assíncronos

I. Objetivo da prática:

Implementar um contador assíncrono de 4 bits, com display 7 segmentos, utilizando flip-flops J-K. Explorar condições de reset.

II. Apresentação teórica:

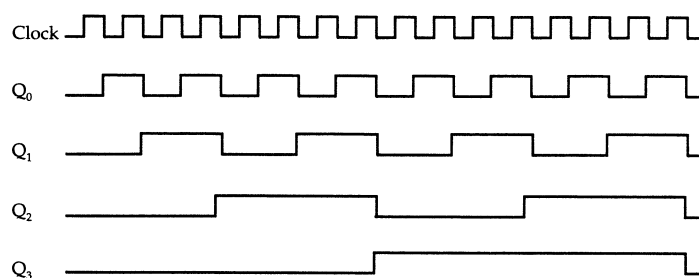
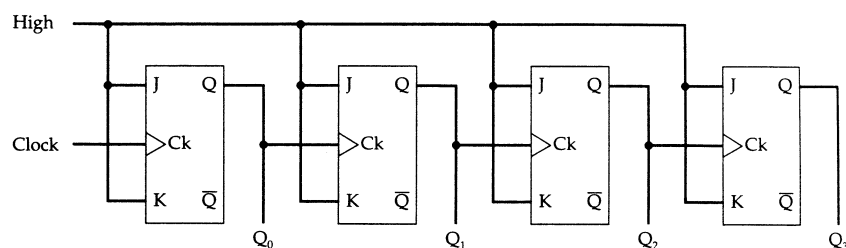
No início da aula.

III. Material e equipamentos necessários (para cada bancada):

- 1 protoboard (pequeno);
- 1 fonte DC ajustável, ou fixa de 5V, 1,5ª (para alimentação dos CIs);
- 2 CI 7473 (2X J-K Flip-flop);
- 1 CI 7447 (Decodificador para display de 7 segmentos);
- 1 display de 7 segmentos;
- 7 resistores de 330 Ω ;
- 1 resistor de 1 k Ω ;
- 1 Osciloscópio de dois canais;
- 2 ponteiros para osciloscópio (atenuação 1X – 10X).
- 1 gerador de função analógico, com cabos de força e sinal;
- 2 cabos com garra jacaré para ligar a fonte de alimentação à protoboard;
- Cabinhos diversos para as ligações na protoboard;
- 1 multímetro digital.

IV. Roteiro

1. Montar o experimento em duas etapas: primeiro fazer o contador funcionar. Depois implementar o decodificador BCD para apresentar a contagem.
2. Usar o gerador de funções para gerar um sinal de *clock* de 1 Hz. Ajuste o gerador de funções, juntamente com o osciloscópio, uma forma de onda retangular, com amplitude de 0V e 5 V e frequência em 1KHz. AJUSTAR OFFSET. Deve-se verificar o sinal com o canal 1 osciloscópio. NÃO LIGAR ANTES DE CONFERIR SE AS TENSÕES E LIGAÇÕES ESTÃO CORRETAS.
3. Montar o circuito abaixo:



4. Utilizando o osciloscópio de dois canais, verifique as saídas Q_0 , Q_1 , Q_2 e Q_3 . Mantenha o sinal de clock no canal 1 para comparar o resultado obtido com o diagrama de tempo apresentado na figura anterior.
5. Após verificar o funcionamento, passar para a próxima fase do experimento, conectando as saídas a um decodificador e display, conforme o circuito abaixo. Caso o display LED 7 segmentos for do tipo Catodo-Comum, usar portas inversoras em série, entre a saída do CI 7447 e os resistores de $330\ \Omega$, para inverter a lógica de funcionamento. Siga o que JÁ foi feito em aula prática anterior.

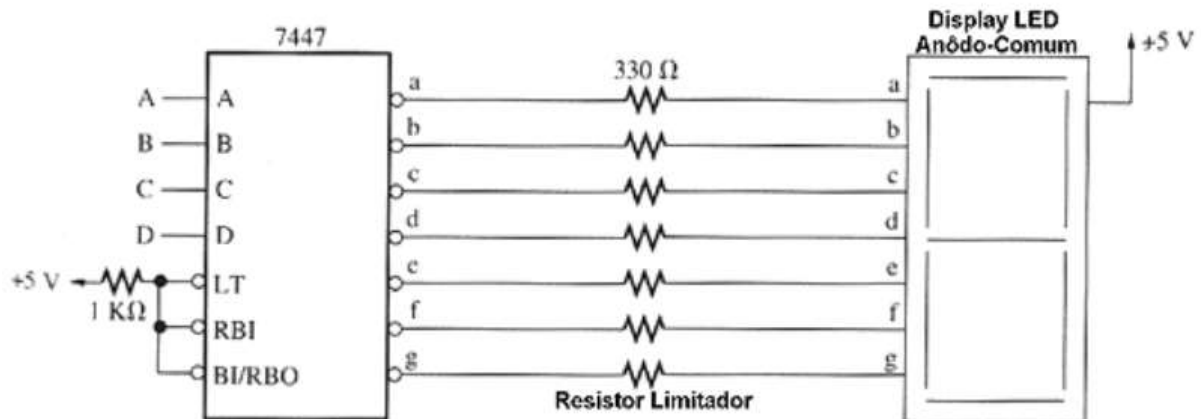


Fig.4

V. Relatório

Entregar o relatório, com o passo a passo das montagens e resultados obtidos até a próxima aula.

Anexos – Pinagem dos CIs

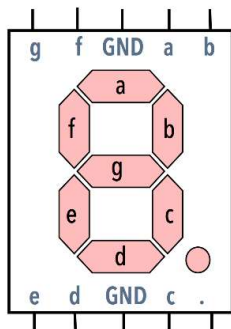
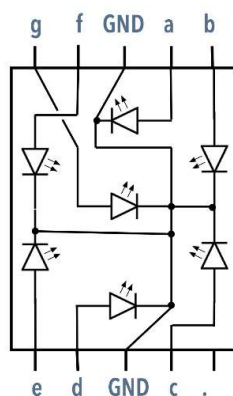
Order Number	Package Number	Package Description
DM7473N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Connection Diagram

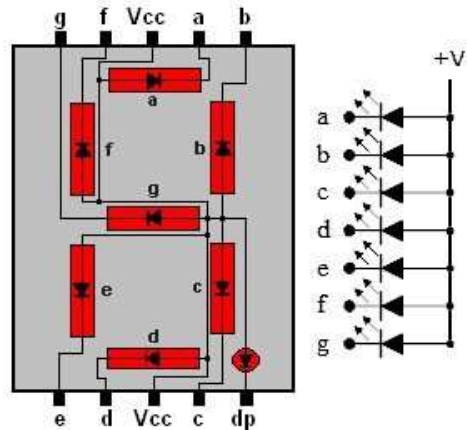
Function Table

Inputs				Outputs	
CLR	CLK	J	K	Q	Q̄
L	X	X	X	L	H
H		L	L	Q ₀	Q̄ ₀
H		H	L	H	L
H		L	H	L	H
H		H	H	Toggle	Toggle

H – HIGH Logic Level
L – LOW Logic Level
X – Either LOW or HIGH Logic Level
 – Positive pulse data, the J and K inputs must be held constant while the clock is HIGH. Data is transferred to the outputs on the falling edge of the clock pulse.
Q₀ – The output logic level before the indicated input conditions were established.
Toggle – Each output changes to the complement of its previous level on each HIGH level clock pulse.



Cátodo Comun



Ânodo Comun

