

## Trabalho prático de leiaute

**Aluno:** Vitor Eduardo Schuh  
**Número de matrícula:** 19100591

Data: 21/06/2021

### 1 Introdução

Este relatório reporta as etapas do segundo trabalho prático da disciplina de concepção e teste de circuitos integrados. O trabalho consistiu no projeto dos leiautes dos circuitos descritos pelas equações booleanas 1, 2 e 3 e por fim no leiaute do circuito integrado composto pelos três sub circuitos, apresentado na figura 1.

$$F1 = \neg(\neg(a * d) + \neg(b * c)) \quad (1)$$

$$F2 = (\neg a * \neg b * \neg c) + (\neg a * b * c) + (a * \neg b * c) + (a * b * \neg c) \quad (2)$$

$$F3 = F1 + F2 \quad (3)$$

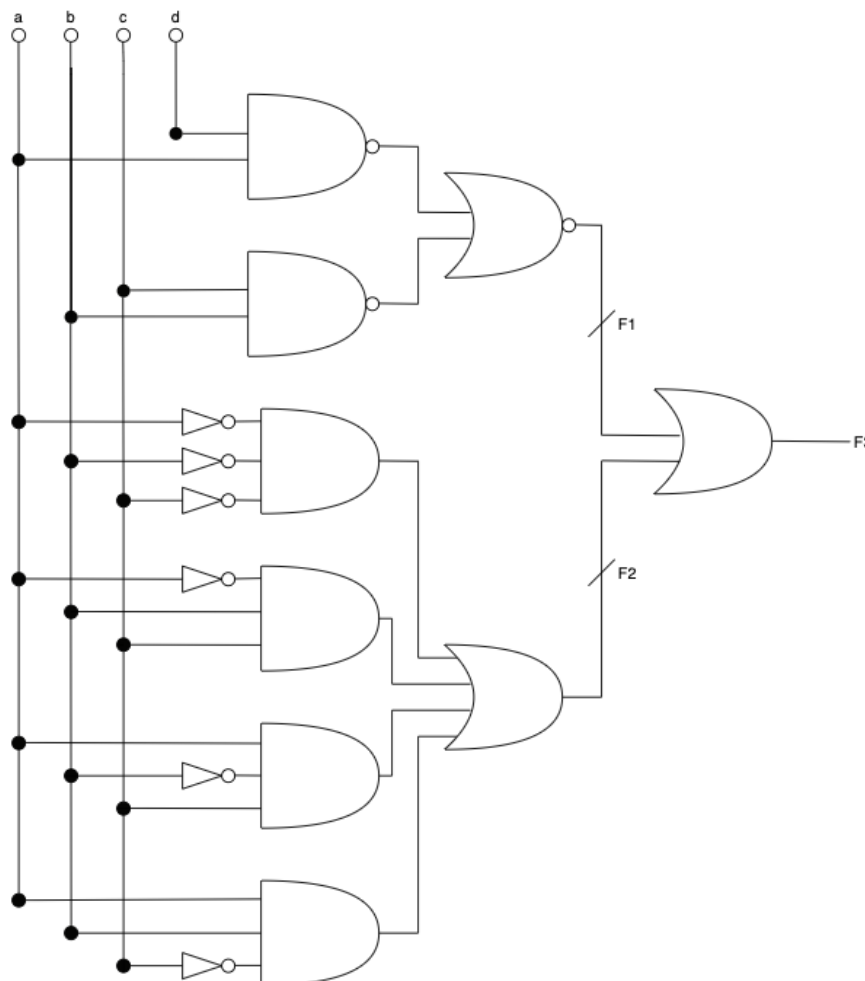


Figura 1: Circuito a nível lógico.

## 2 Discussão

A proposta deste trabalho foi a concepção e a modelagem de leiautes de CIs. Diferente do primeiro trabalho onde o *endpoint* era a descrição SPICE dos circuitos, neste entregável o *endpoint* é o leiaute, i.e., uma aproximação do projeto físico da arquitetura. Na etapa de concepção dos circuitos foi utilizado o software Switchcraft (ambiente para síntese e análise de redes lógicas) e a etapa de construção foi realizada no software Microwind (ferramenta para modelagem e teste de leiaute de circuitos). Neste trabalho foram desconsiderados os blocos de *input delay* (ou *buffer*) na entrada do sistema e a métrica de atraso *fan-out* 4 na saída do mesmo.

Assim como no trabalho anterior, o dimensionamento dos dielétricos foi realizado utilizando o  $L_{min}$  da tecnologia, nesse caso 50nm, e um  $W_N$  de acordo com a técnica *Logical Effort*, onde a largura do dispositivo é definida pelo número de transistores em série nas redes de *pull up/pull down*. Esse número pode ser extraído do *draft* da rede de transistores que a ferramenta Switchcraft fornece. A largura  $W_P$  dos dispositivos PMOS foi dada por  $W_P = 1.5 * W_N$ .

O fluxo de projeto utilizado foi: inserção da função booleana no Switchcraft; extração do esquemático da função a nível MOS; avaliação do esquemático + caminho de Euler e arcos associados; projeto do leiaute no Microwind baseado nos esquemáticos extraídos seguindo as regras da biblioteca *kcmos*; validação de cada arquivo de leiaute através de simulações elétricas na ferramenta.

Avaliando o comportamento do circuito através de simulações direto do leiaute (Simulate > Simulation on layout) e comparando os valores obtidos com os valores esperados de acordo com as tabelas verdade do Switchcraft é possível verificar o funcionamento correto de ambas as arquiteturas, inclusive da topologia do circuito final. Os arquivos SPICE extraídos dos leiautes exportados diretamente do Microwind estão em anexo devidamente identificados.

No momento de unificar os leiautes das funções existem dois caminhos de projeto possíveis: utilizar VDD e *ground* distintos para cada leiaute ou reaproveitar alguma das estruturas para diminuir o custo de fabricação do CI. Como na prática é mais factível construir um acesso a um ponto de tensão  $v \approx 0$  do que a um ponto polarizado por VDD, optei por compartilhar o VDD *supply* entre os leiautes. Essa decisão teve um pequeno *trade-off* em área, já que existe um  $\lambda$  mínimo de 12 unidades de área entre duas áreas *n-well* e em decorrência desse fator a altura do canal VDD teve de ser aumentada (vide figura 8).

Para unificar os leiautes as funções  $F_1$  e  $F_3$  foram flipadas, i.e., espelhadas verticalmente para viabilizar o compartilhamento do canal VDD. Para utilizar esse recurso no Microwind utiliza-se o caminho Edit > Flip and rotate.

As figuras 2, 3 e 4 representam as extrações redes de *pull up/pull down* de cada função booleana na ferramenta. As figuras 5, 6, 7 e 8 representam, respectivamente, os leiautes de  $F_1$ ,  $F_2$ ,  $F_3$  e do circuito final. As figuras 9, 10 e 11 apresentam diferentes validações da topologia, através da avaliação da resposta para entradas específicas e também através das formas de onda do circuito.

## 3 Conclusão

Através desse projeto foi possível experienciar na prática os desafios na concepção do leiaute de CIs, seja buscando o atendimento das regras da tecnologia ou buscando otimizações em área sem interferir na lógica do circuito.

Além disso, este projeto mostrou (mesmo através de um circuito simples) que o design de CIs é algo factível, desde que haja um correto entendimento das etapas de projeto e das condições que devem ser atendidas para que o leiaute cumpra a função do circuito que desejamos representar.

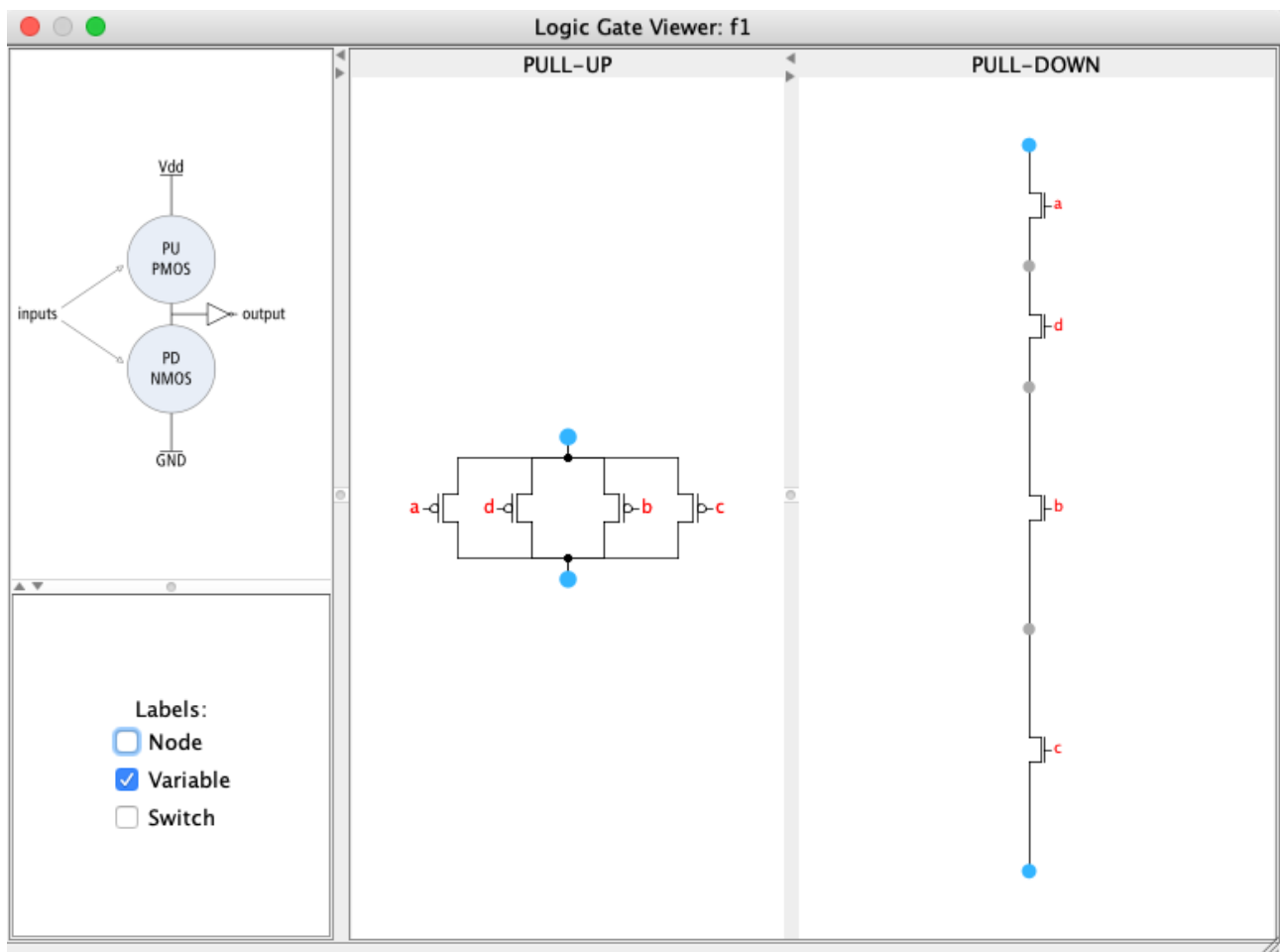


Figura 2: Esquemático das redes de *pull-up* e *pull-down* da função  $F_1$ .

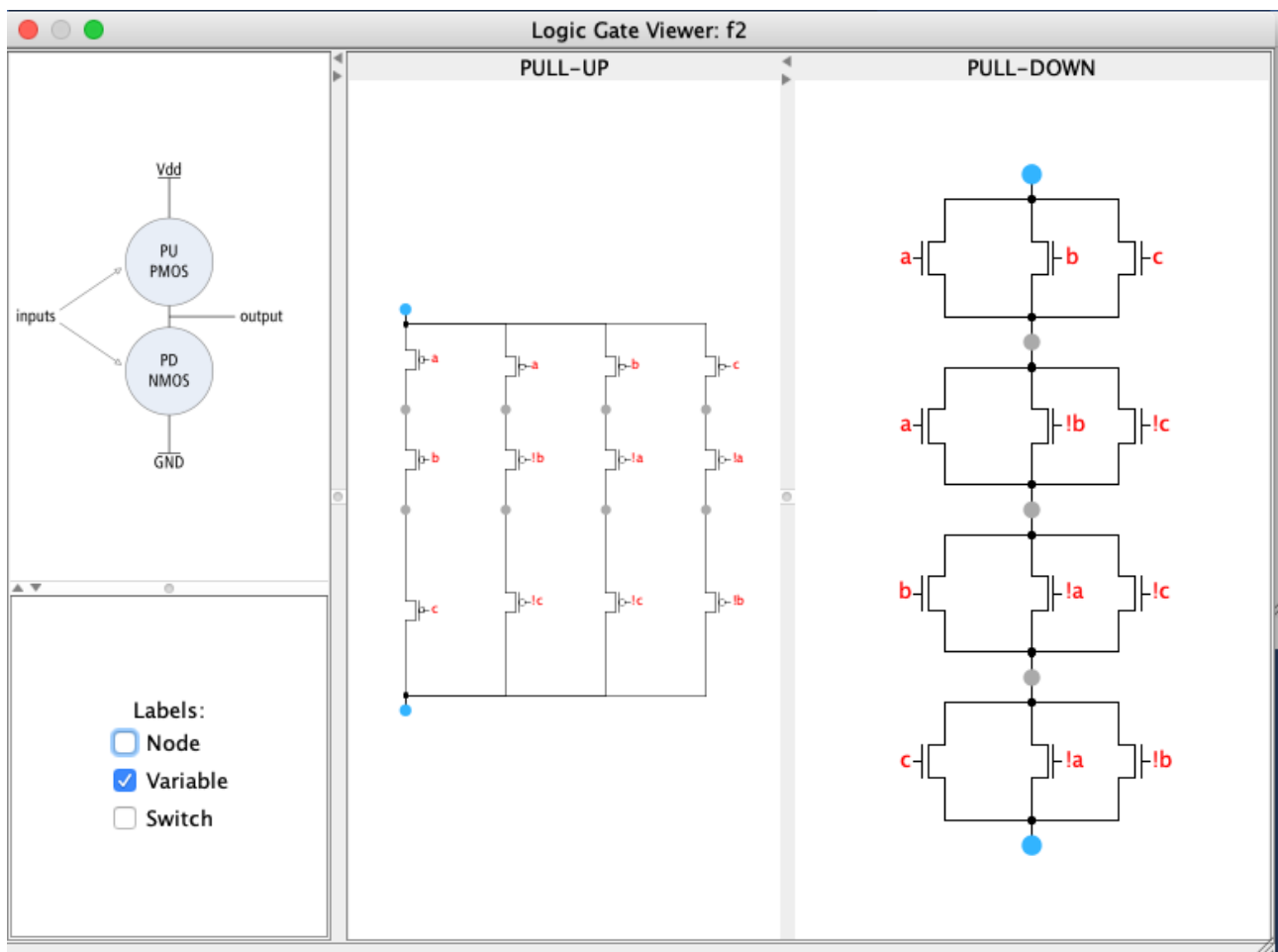


Figura 3: Esquemático das redes de *pull-up* e *pull-down* da função  $F_2$ .

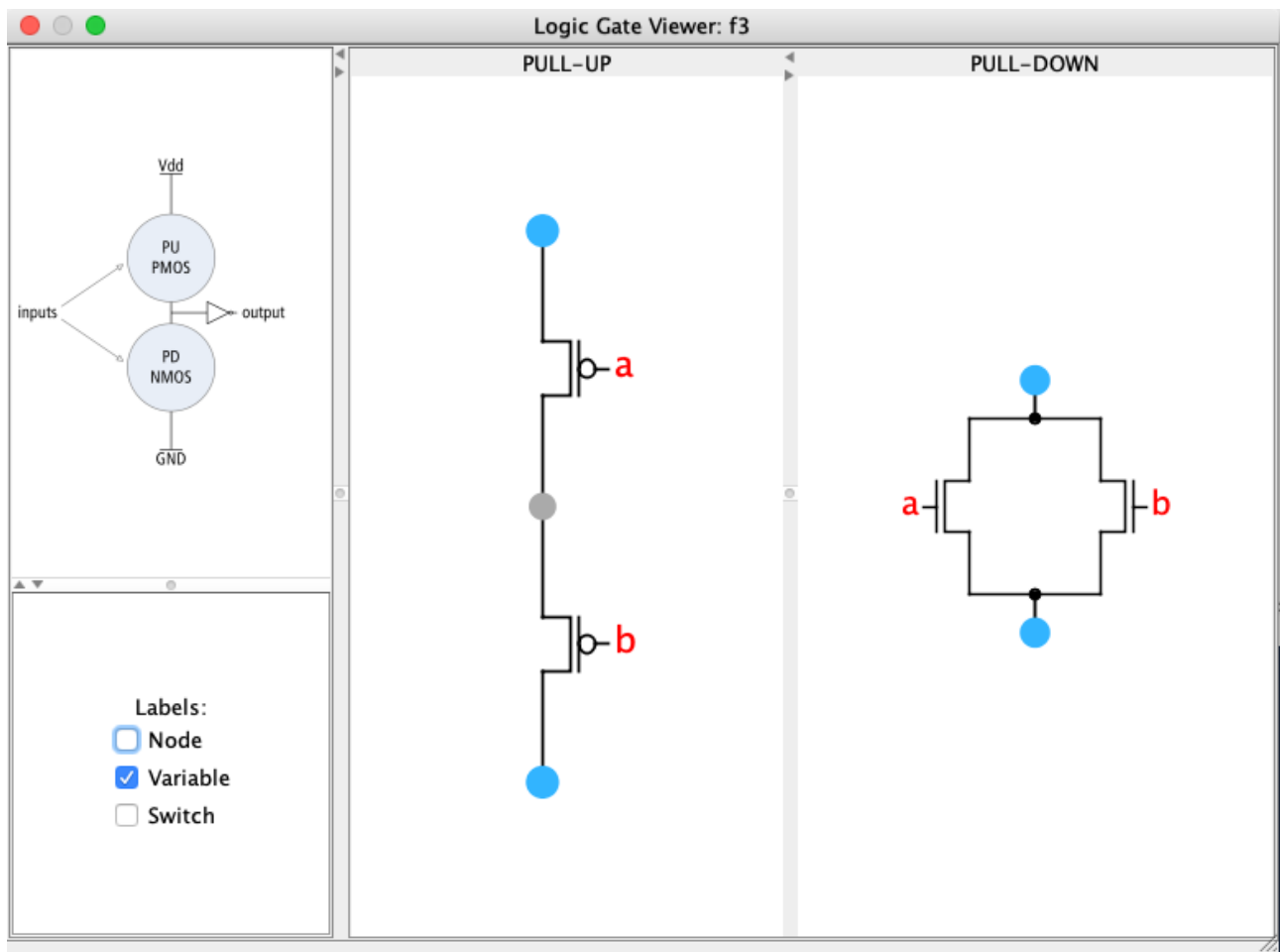


Figura 4: Esquemático das redes de *pull-up* e *pull-down* da função  $F_3$ .

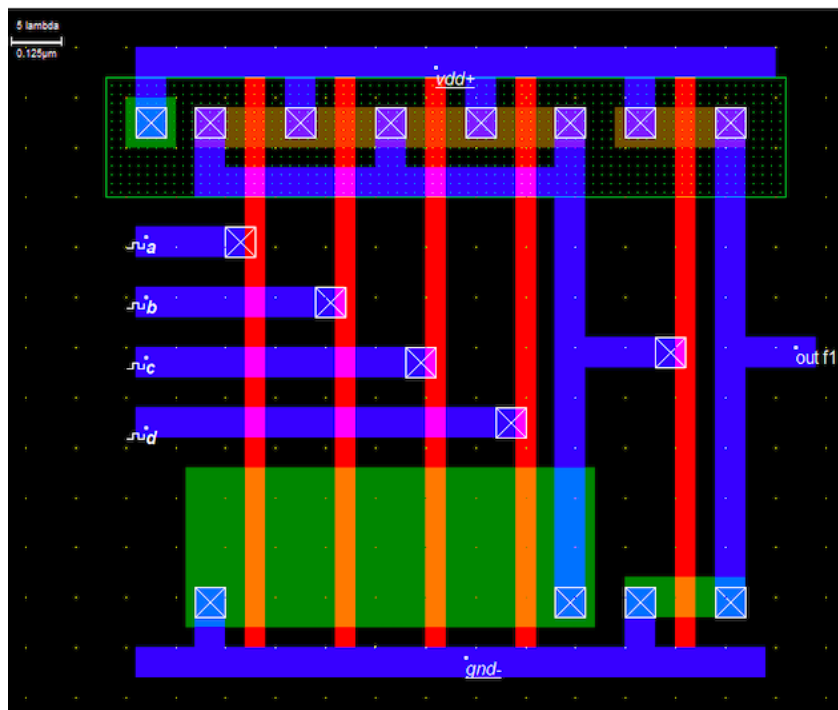


Figura 5: Leiaute da função  $F_1$ .

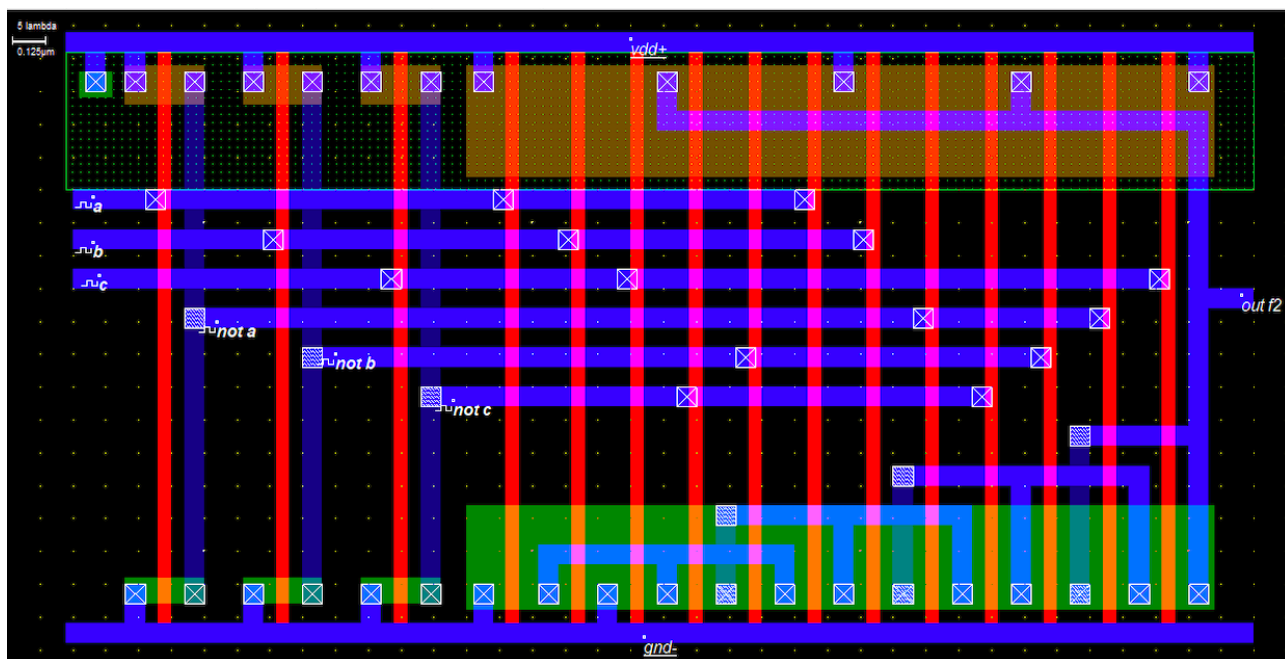


Figura 6: Leiaute da função  $F_2$ .

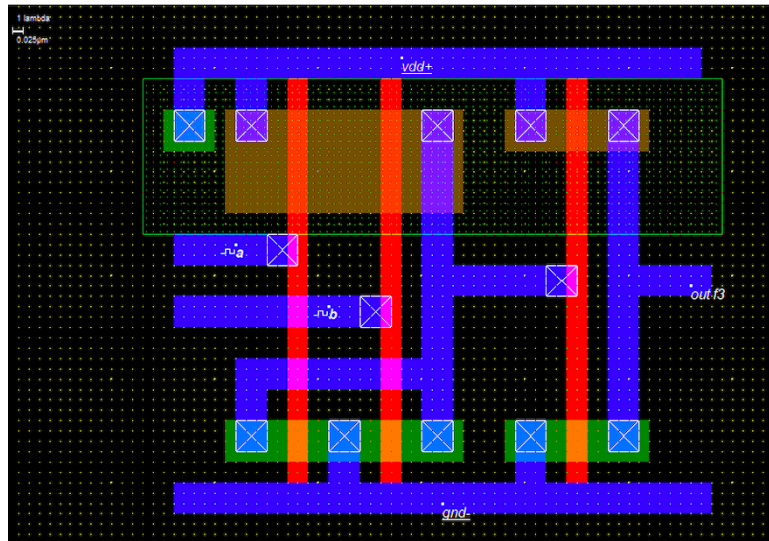


Figura 7: Leiaute da função  $F_3$ .

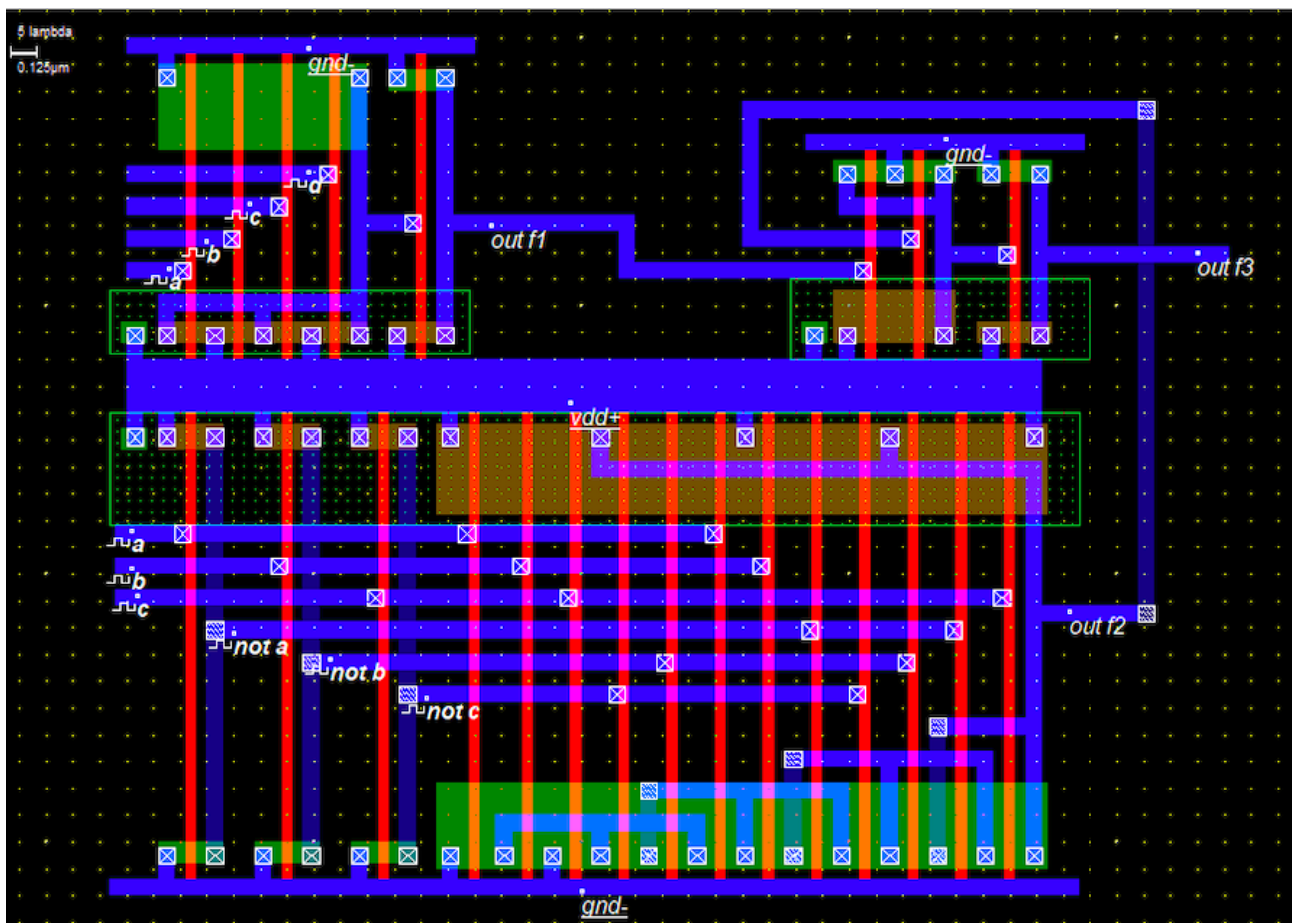


Figura 8: Leiaute do circuito completo.

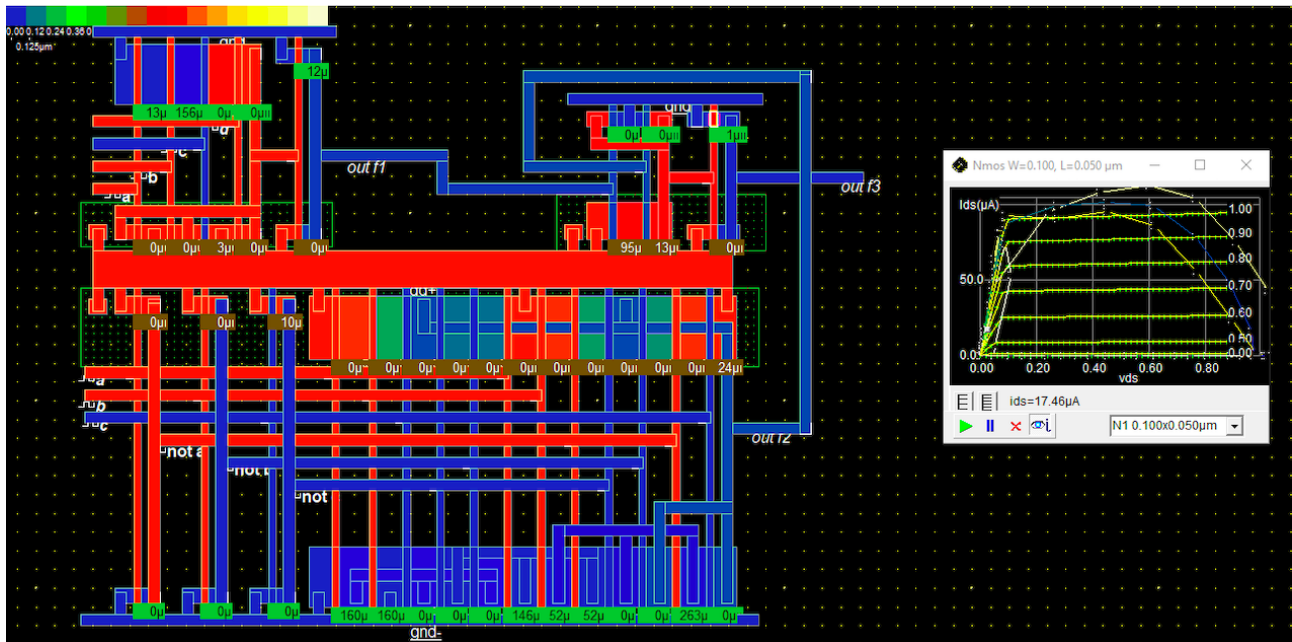


Figura 9: Comportamento do circuito com uma combinação que deve apresentar '0' saída.

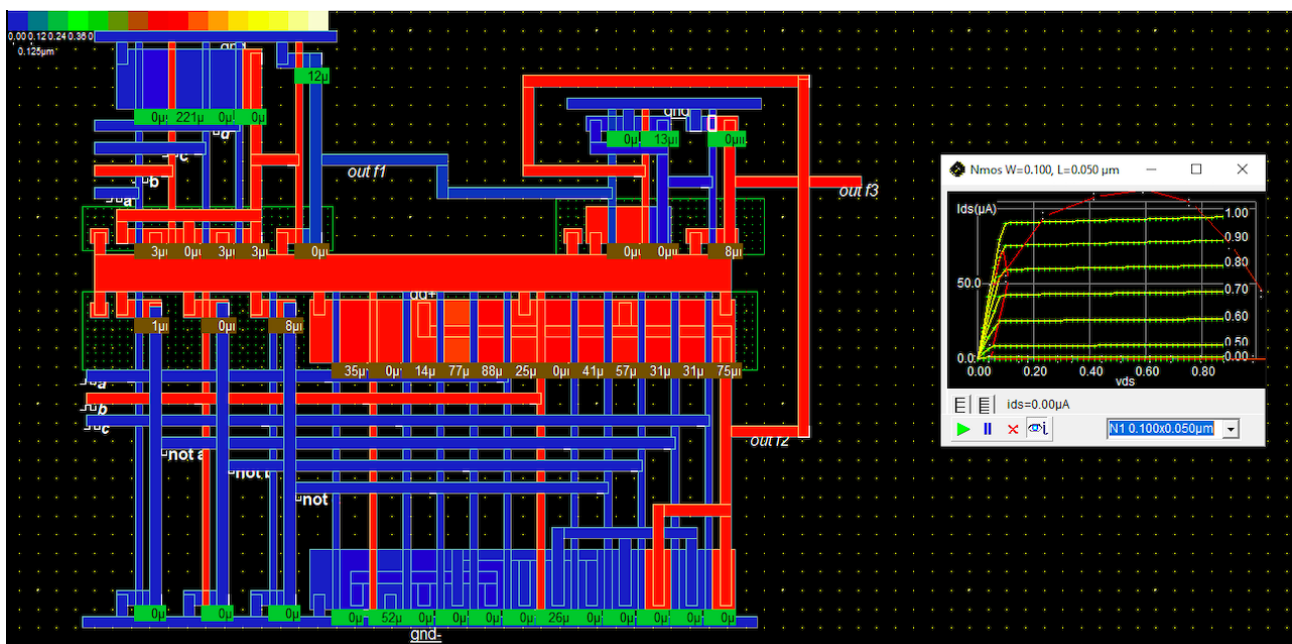


Figura 10: Comportamento do circuito com uma combinação que deve apresentar '1' saída.



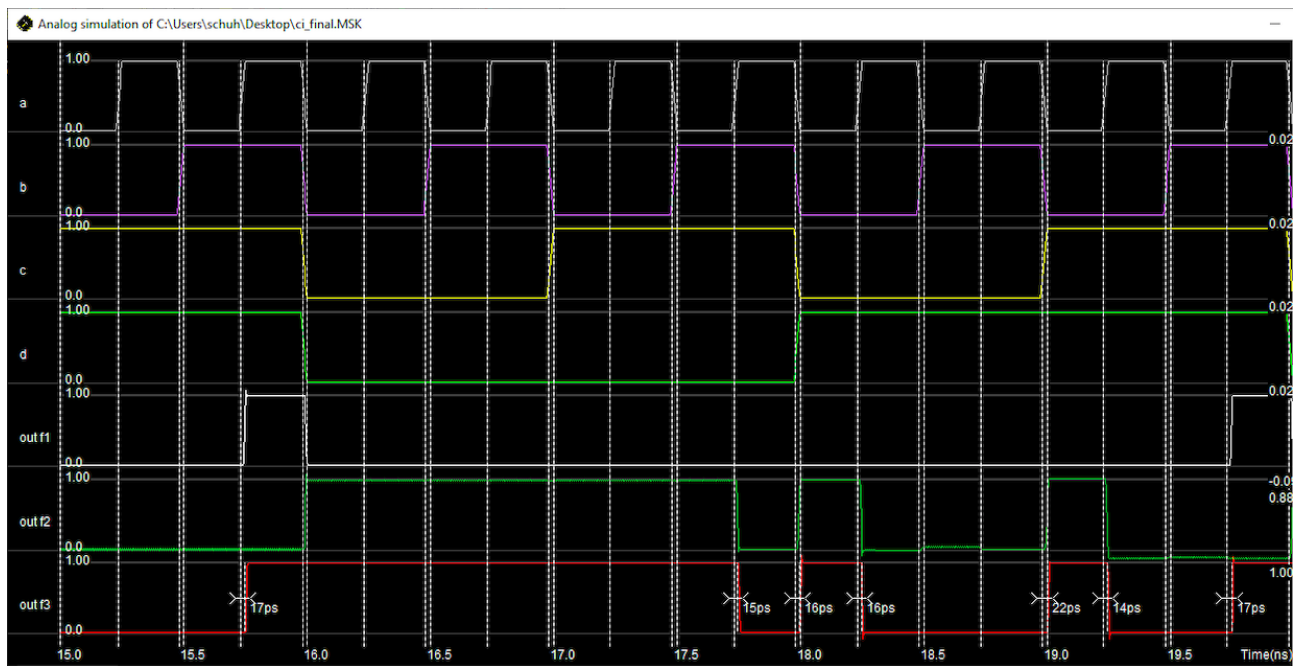


Figura 11: Formas de onda do circuito.