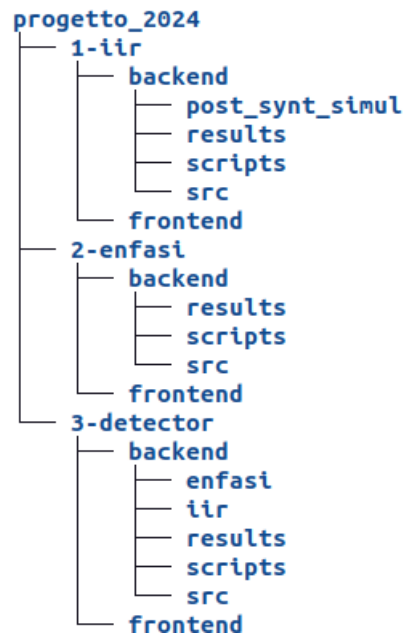


Organizzazione del progetto

La figura seguente mostra la struttura delle directory proposta per lo sviluppo del progetto:



Il progetto è suddiviso in tre blocchi, denominati: iir, enfasi, detector. Per ognuno di essi è definita una directory che, a sua volta, è divisa in una directory “frontend” (dove si deve sviluppare il codice sintetizzabile) ed una directory “backend” (dove si realizzeranno le fasi necessarie alla implementazione fisica dei blocchi). In questa prima parte ci occupiamo della fase di frontend.

Consideriamo, ad esempio il blocco iir. Il contenuto della sua cartella frontend è il seguente:

```
cad@Ubuntu:~/progetto_2024$ tree 1-iir/frontend/
1-iir/frontend/
├── iir_section1.sv
├── iir_section1.txt
├── iir_section2.sv
├── iir_section2.txt
├── iir.sv
├── iir.txt
├── tb_iir_section1.sv
├── tb_iir_section2.sv
└── tb_iir.sv
```

Nella cartella troverete i files systemverilog che includono la definizione dei moduli ed i valori dei coefficienti dei filtri:

```
iir_section1.sv iir_section2.sv iir.sv
```

Ad esempio, il template del file per la descrizione della prima sezione del filtro (*iir_section1.sv*) è riportato di seguito:

```

1  `timescale 1ns / 1ps
2
3  module iir_section1 (input logic clk, rst,
4      input logic signed [10:0] x,
5      output logic signed [10:0] y);
6
7      localparam logic signed [11:0] b0=12'sb0000000011100;
8      localparam logic signed [11:0] b1=12'sb0000000100001;
9      localparam logic signed [11:0] b2=12'sb0000000011100;
10     localparam logic signed [11:0] ma1=12'sb011000101001;
11     localparam logic signed [11:0] ma2=12'sb110101101110;
12
13     localparam logic signed [20:0] round_const=21'sb000000000000010000000000;
14
15     // continuare .....
16
17 endmodule

```

Troverete inoltre i testbench per: prima sezione del filtro, seconda sezione del filtro, filtro complessivo.

`tb_iir_section1.sv` `tb_iir_section2.sv` `tb_iir.sv`

I tre testbench simulano la risposta impulsiva delle sezioni del filtro e confrontano l'uscita simulata con l'uscita attesa, memorizzata nei file di testo presenti nella cartella:

`iir_section1.txt` `iir_section2.txt` `iir.txt`

Se la descrizione systemverilog è corretta, la simulazione fornisce un messaggio analogo al seguente:

```

*****
**** Simulazione Terminata ****
**** Errori individuati: 0
*****
=T:Simulation terminated by $finish at time 1016000 (tb iir_section1.sv

```

Una organizzazione analoga è prevista per gli altri due blocchi, denominati *enfasi* e *detector*