

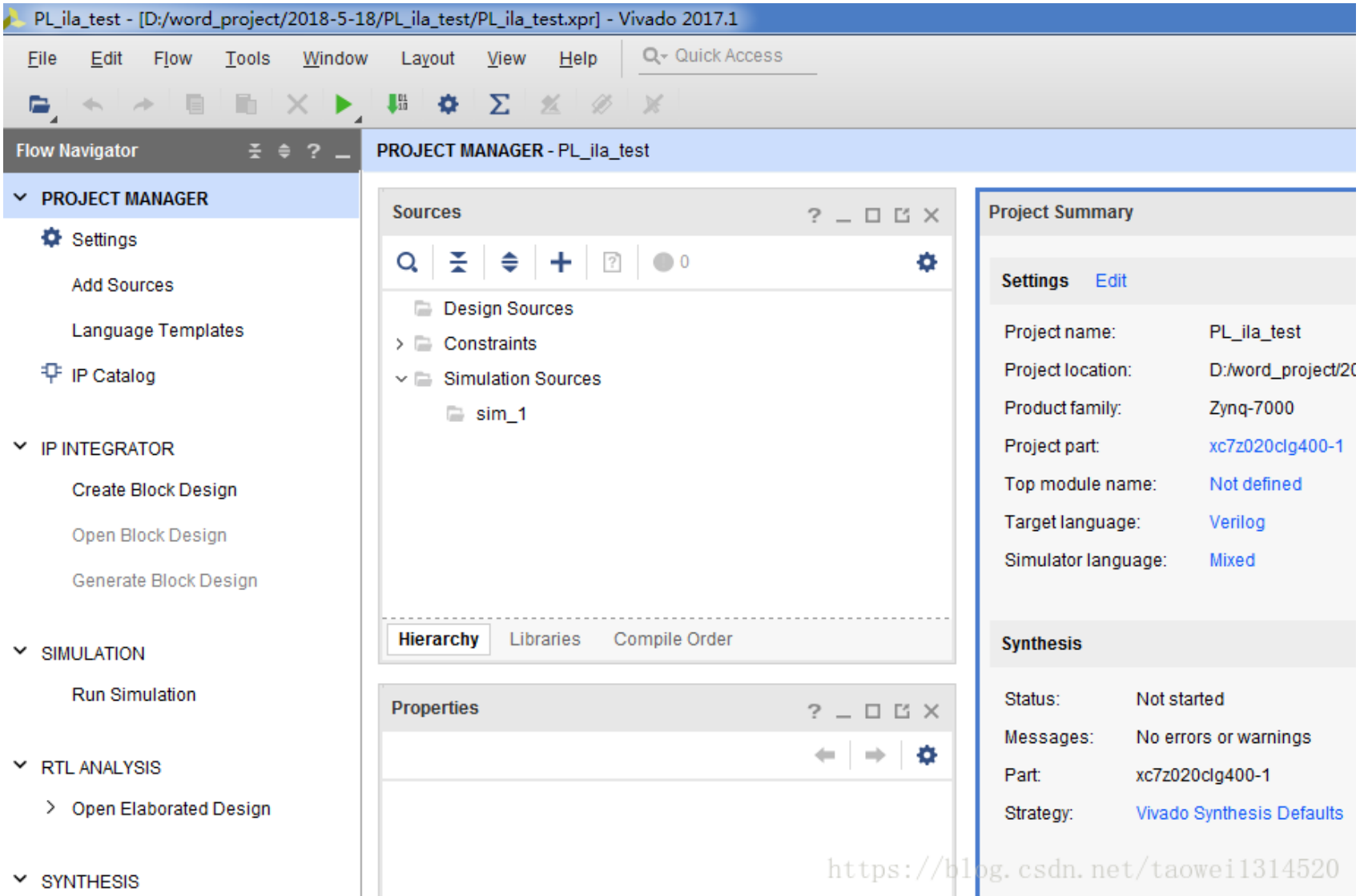
# MYIR-ZYNQ7000系列-zturn教程(14)：在PL中使用ILA进行调试

原创 虚无缥缈vs威武 最后发布于2018-05-22 18:31:06 阅读数 974 ☆ 收藏

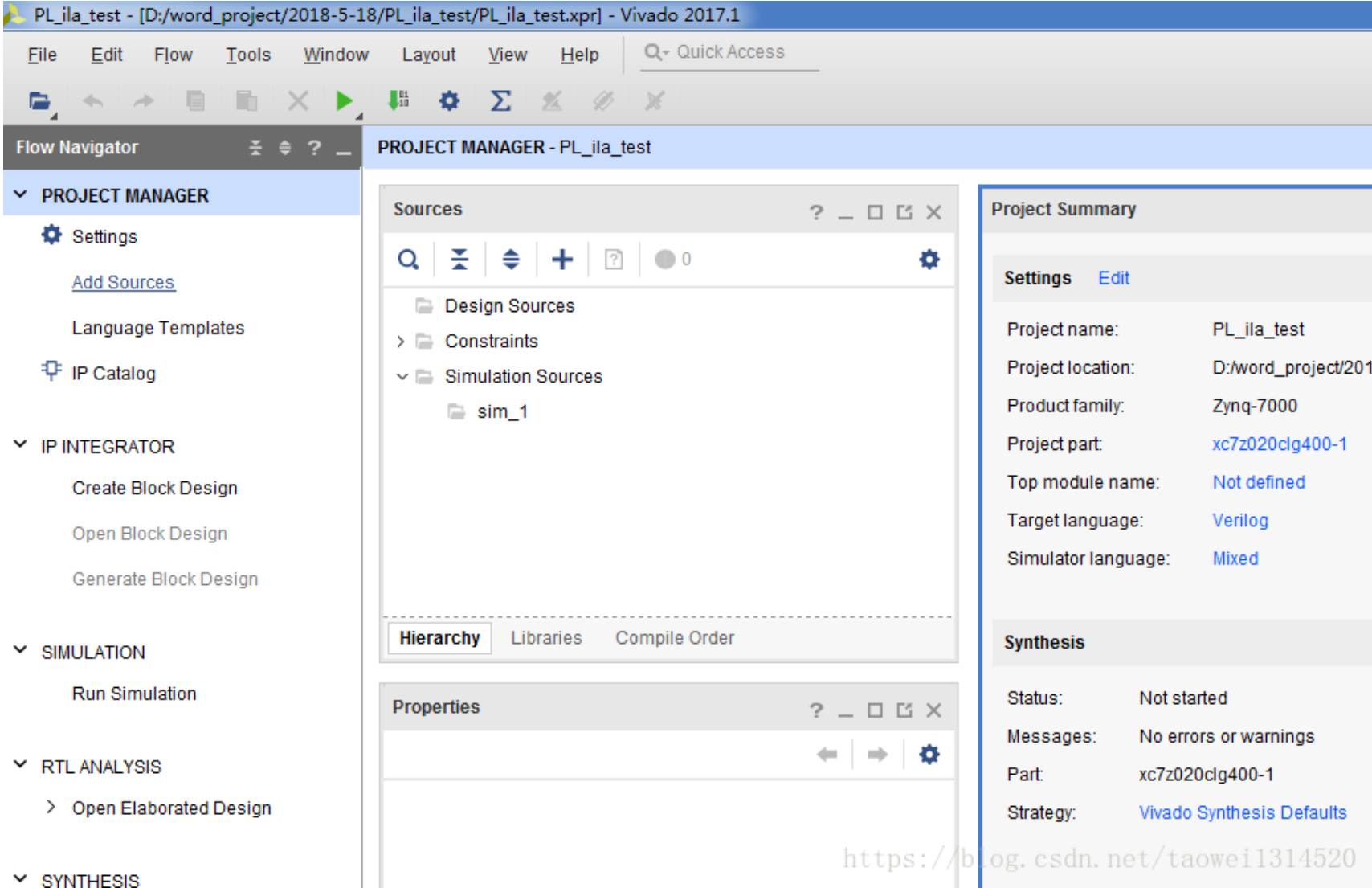
开发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要是用ILA观测FPGA输出管脚的波形

链接：<https://pan.baidu.com/s/1sVfxSVcdcRS2wgOwJU15yg> 密码：0agy

Step1 先新建一个vivado 工程



Step2 点击这个Add Sources新建一个fpga工程



在弹出的对话框中选择第二项，然后点击Next

👍

🔗

💬

☆

📱

<

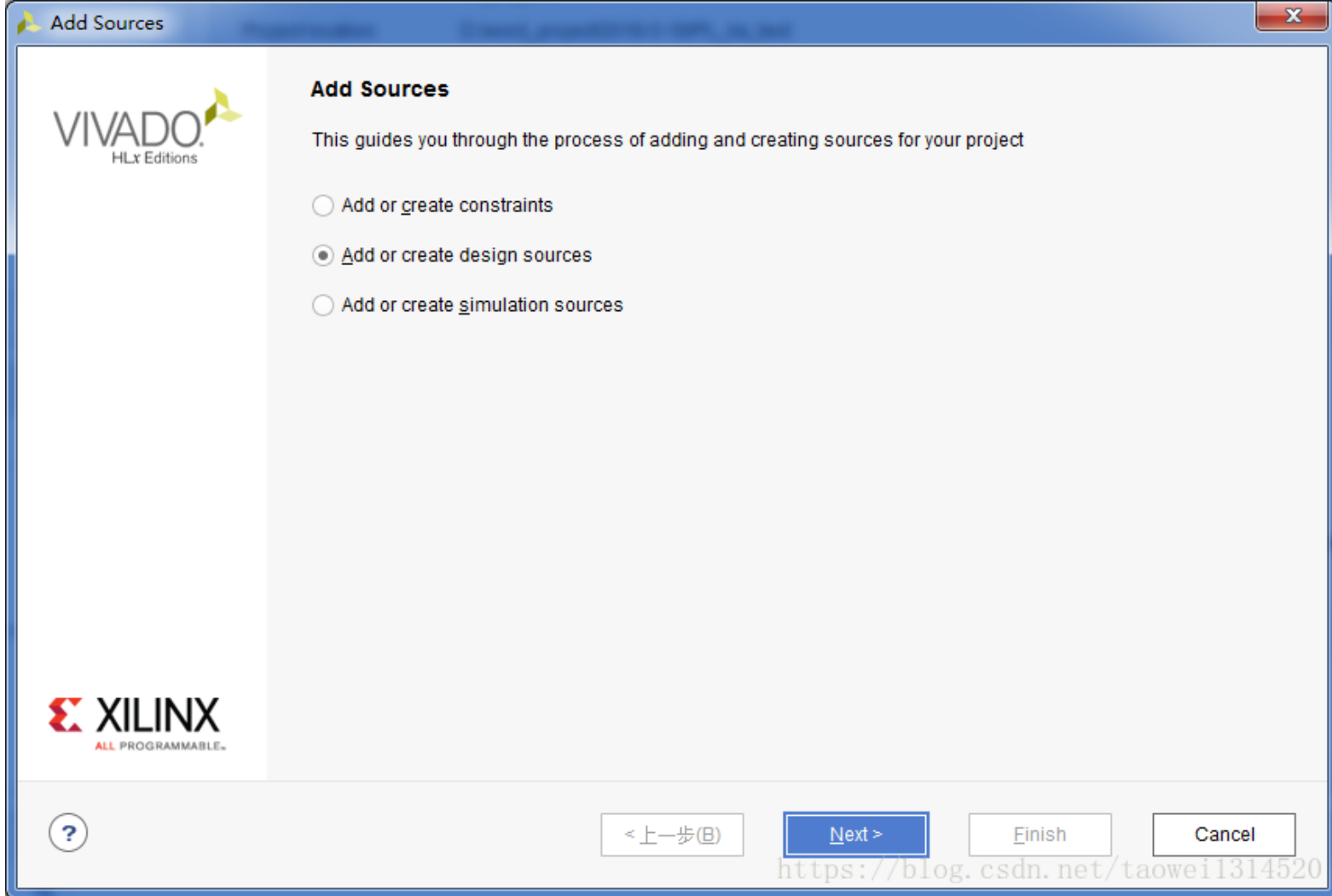
>

赏

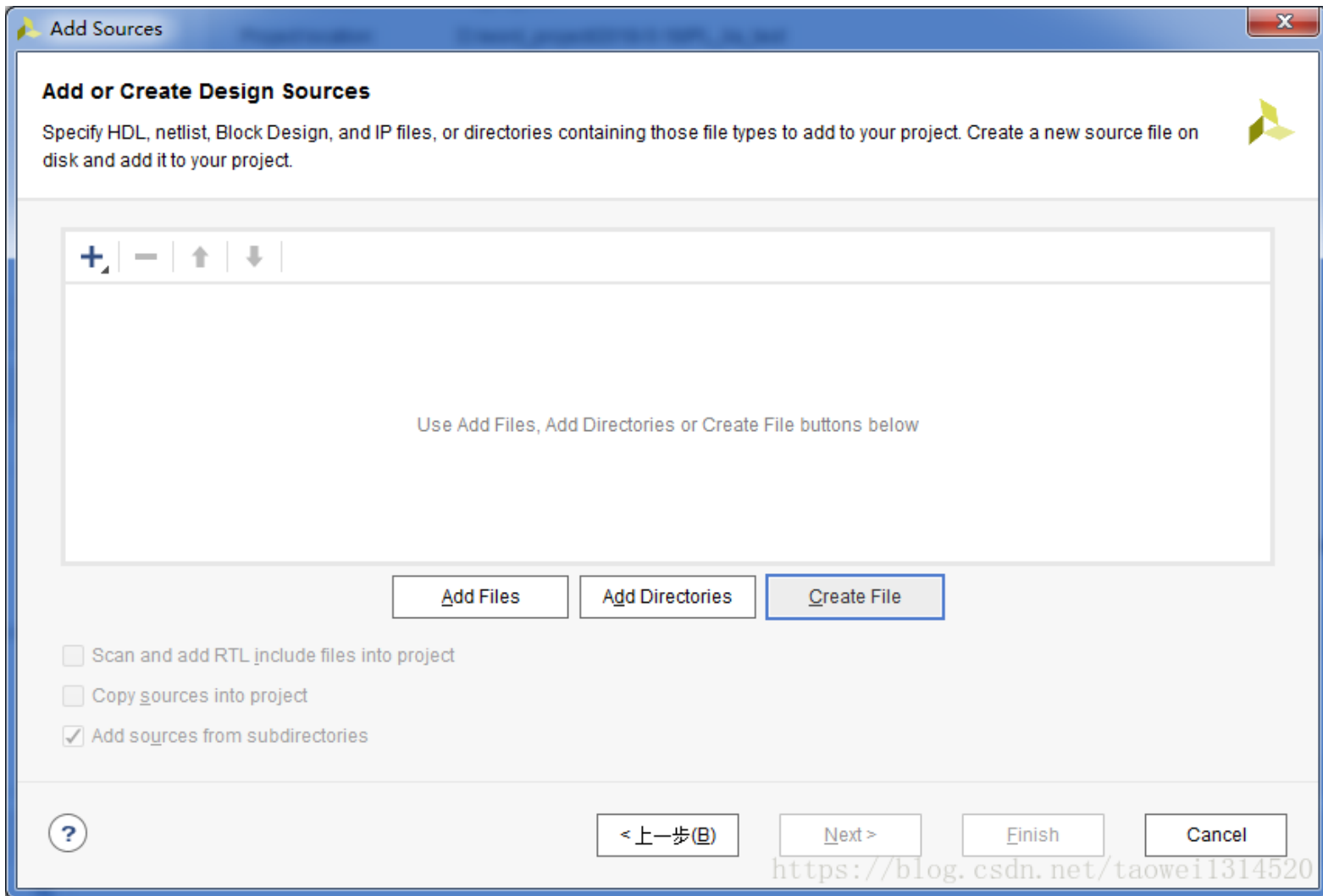
展开

🔊

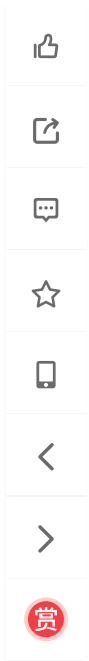
举报

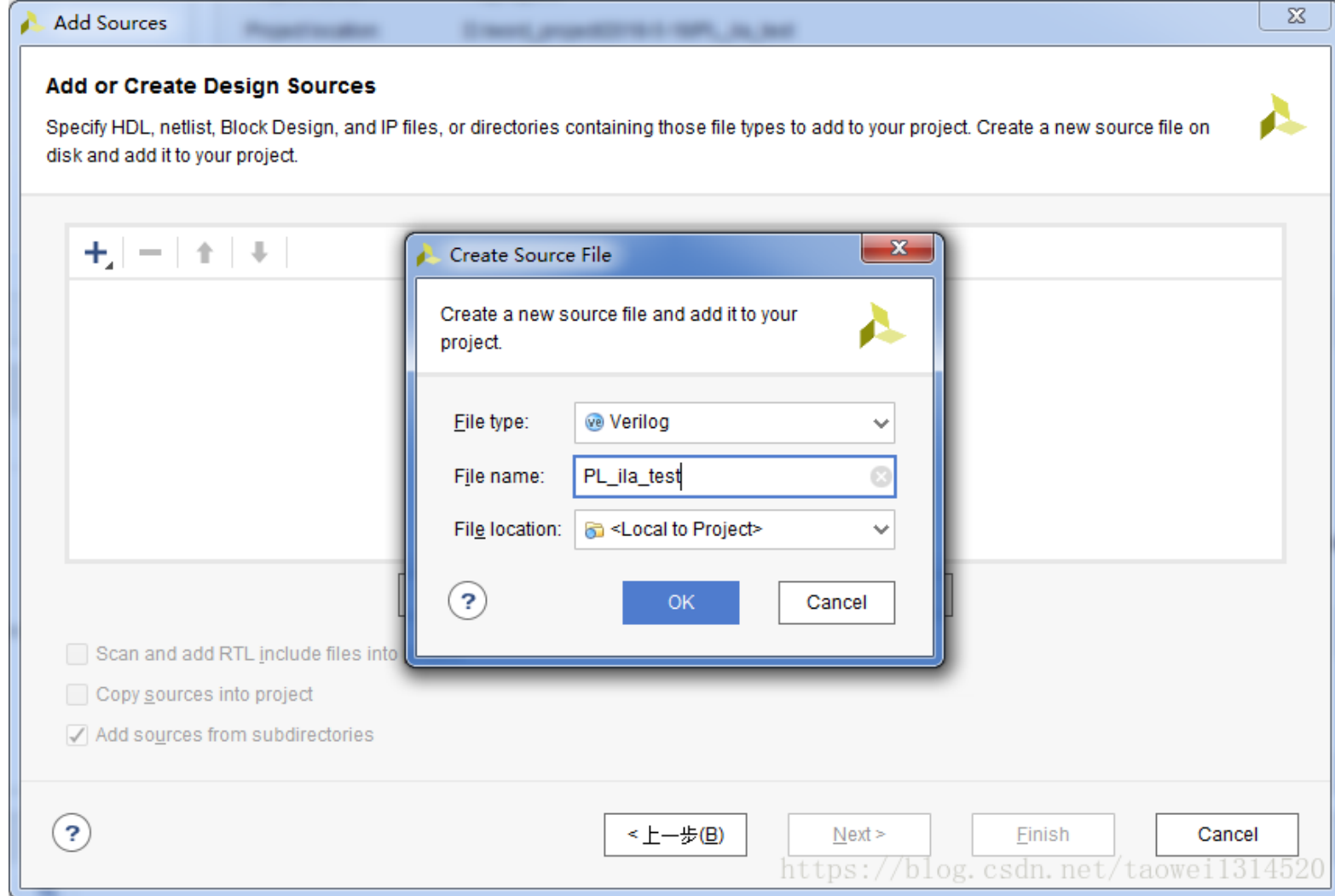


在弹出的对话框中点击Create File新建一个.v文件

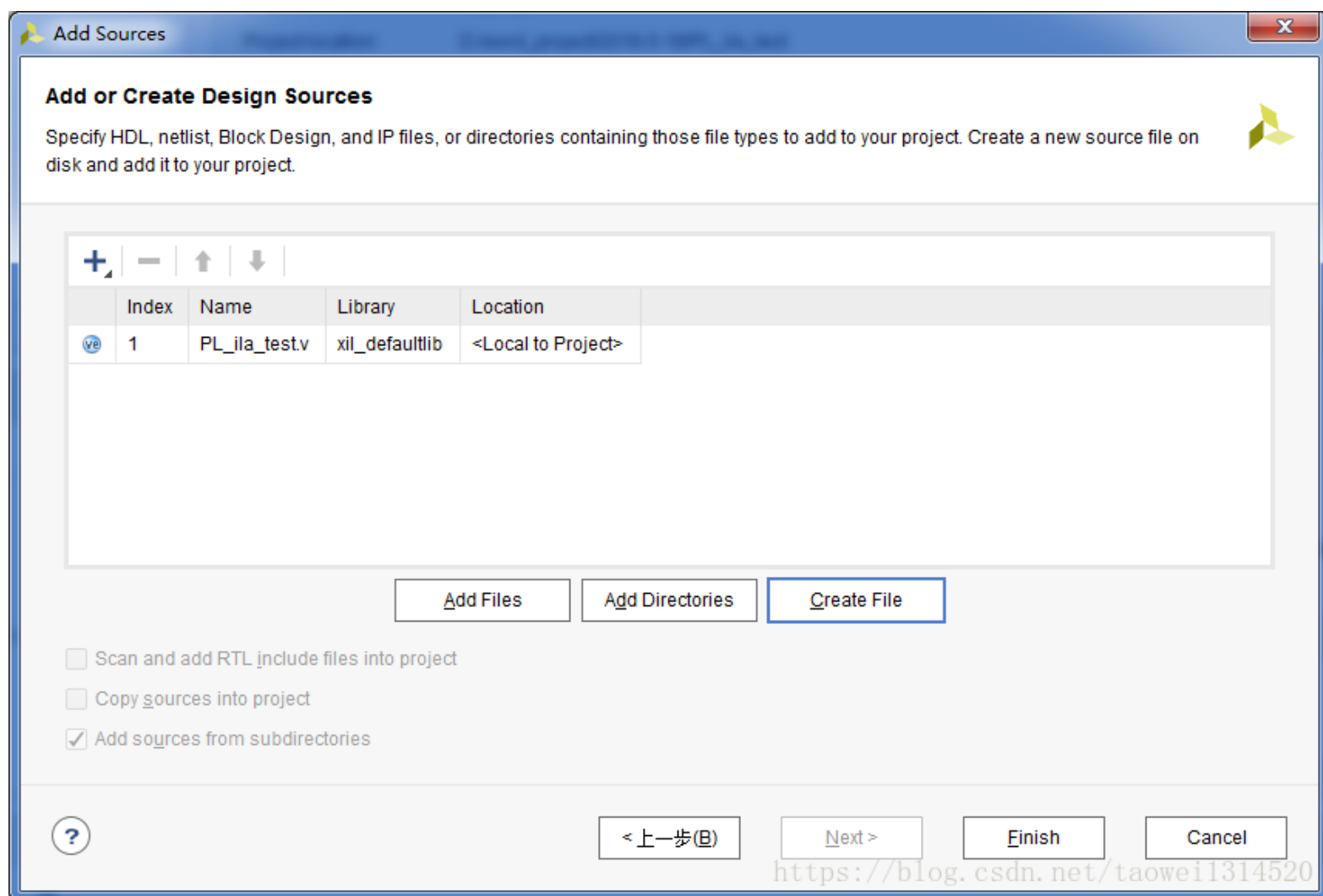


这个.v文件自己可以随便取一个名称，然后点击OK

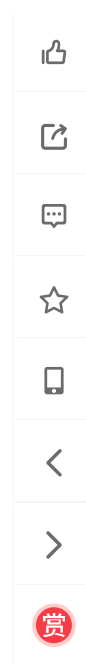


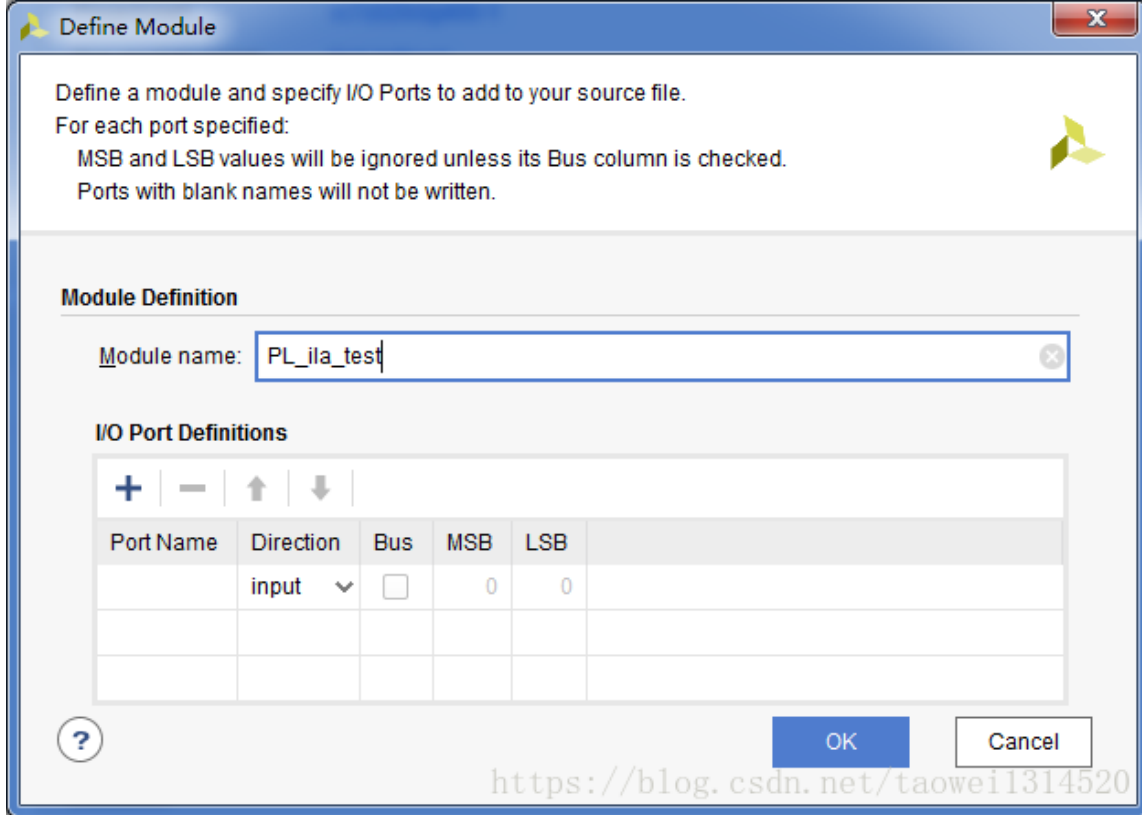


点击Finish

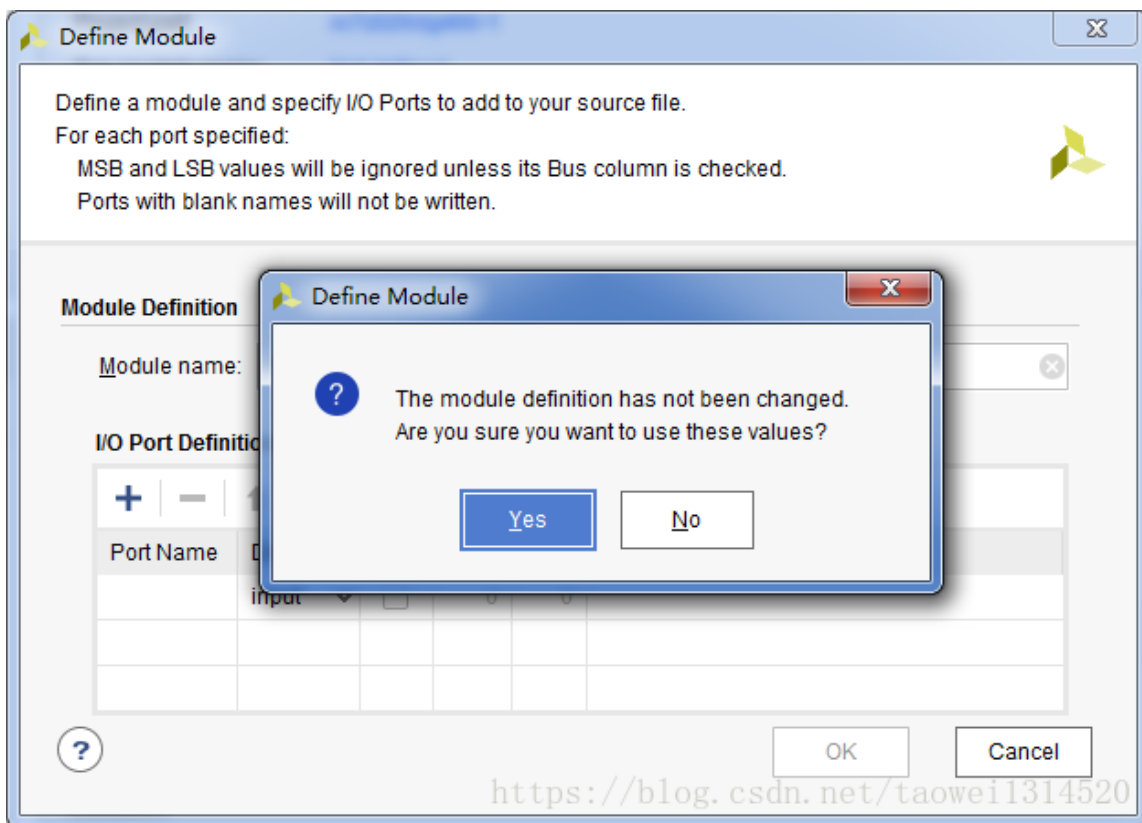


再在弹出的对话框中点击OK

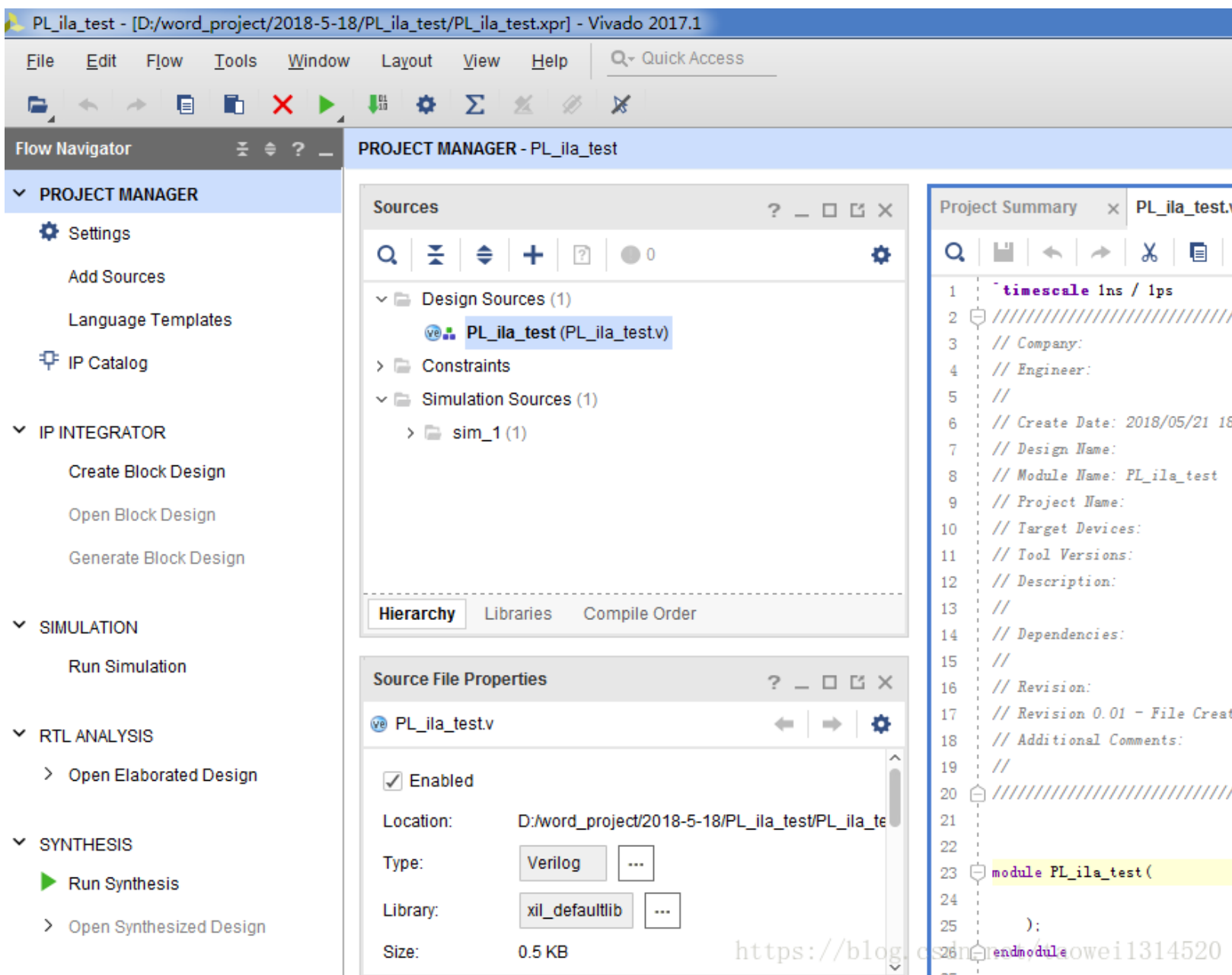




再在弹出的对话框中点击Yes




这样就完成了创建一个fpga工程





举报


这里是写的一个简单的fpga分频的程序，因这里主要是怎么使用这个ila所以程序写得比较简单


```
1  `timescale 1ns / 1ps
2  ///////////////////////////////////////////////////
3  // Company:
4  // Engineer:
5  //
6  // Create Date: 2018/05/21 18:59:48
7  // Design Name:
8  // Module Name: PL_ila_test
9  // Project Name:
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////
21
22
23 module PL_ila_test(
24
25     i_clk,
26     i_rst_n,
27     sclk_out,
28     count
29
30 );
31
32 input  wire      i_clk;
33 input  wire      i_rst_n;
34 output wire      sclk_out;
35 output wire [9:0] count;
36
37
38 reg [9:0]  count_r;
39 reg        sclk_out_r;
40
41
42 always@(posedge i_clk or negedge i_rst_n)begin
43     if(i_rst_n == 1'b0)
44         count_r <= 10'd0;
45     else if(count_r == 10'd999)
46         count_r <= 10'd0;
47     else
48         count_r <= count_r + 1'b1;
49 end
50
51 always@(posedge i_clk or negedge i_rst_n)begin
52     if(i_rst_n == 1'b0)
53         sclk_out_r <= 1'b0;
54     else if(count_r == 10'd999)
55         sclk_out_r <= ~sclk_out_r;
56     else
57         sclk_out_r <= sclk_out_r;
58 end
59
60 assign sclk_out  = sclk_out_r;
61 assign count    = count_r;
62
63
64 endmodule
```
















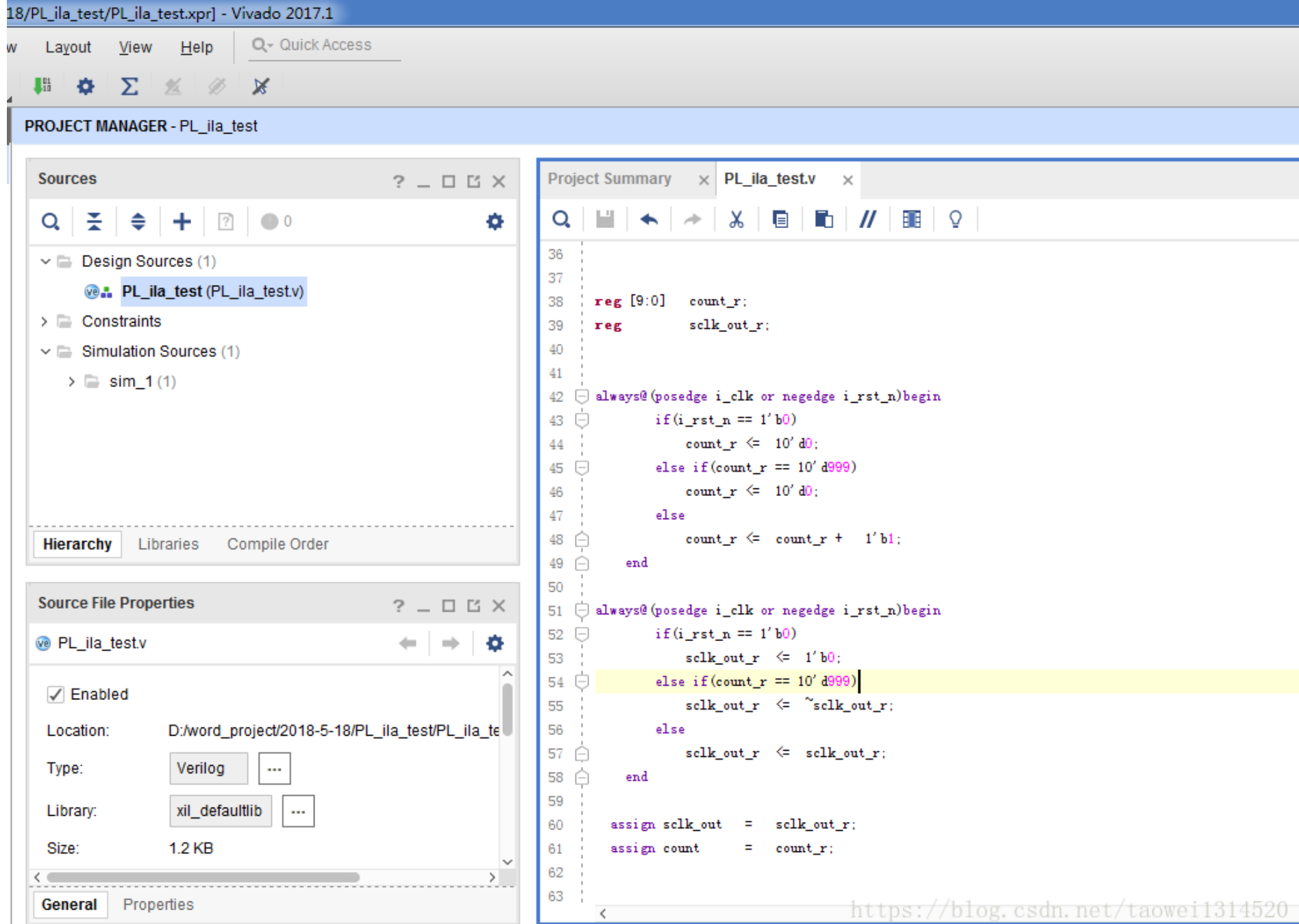




已经写好的fpga程序如下图所示

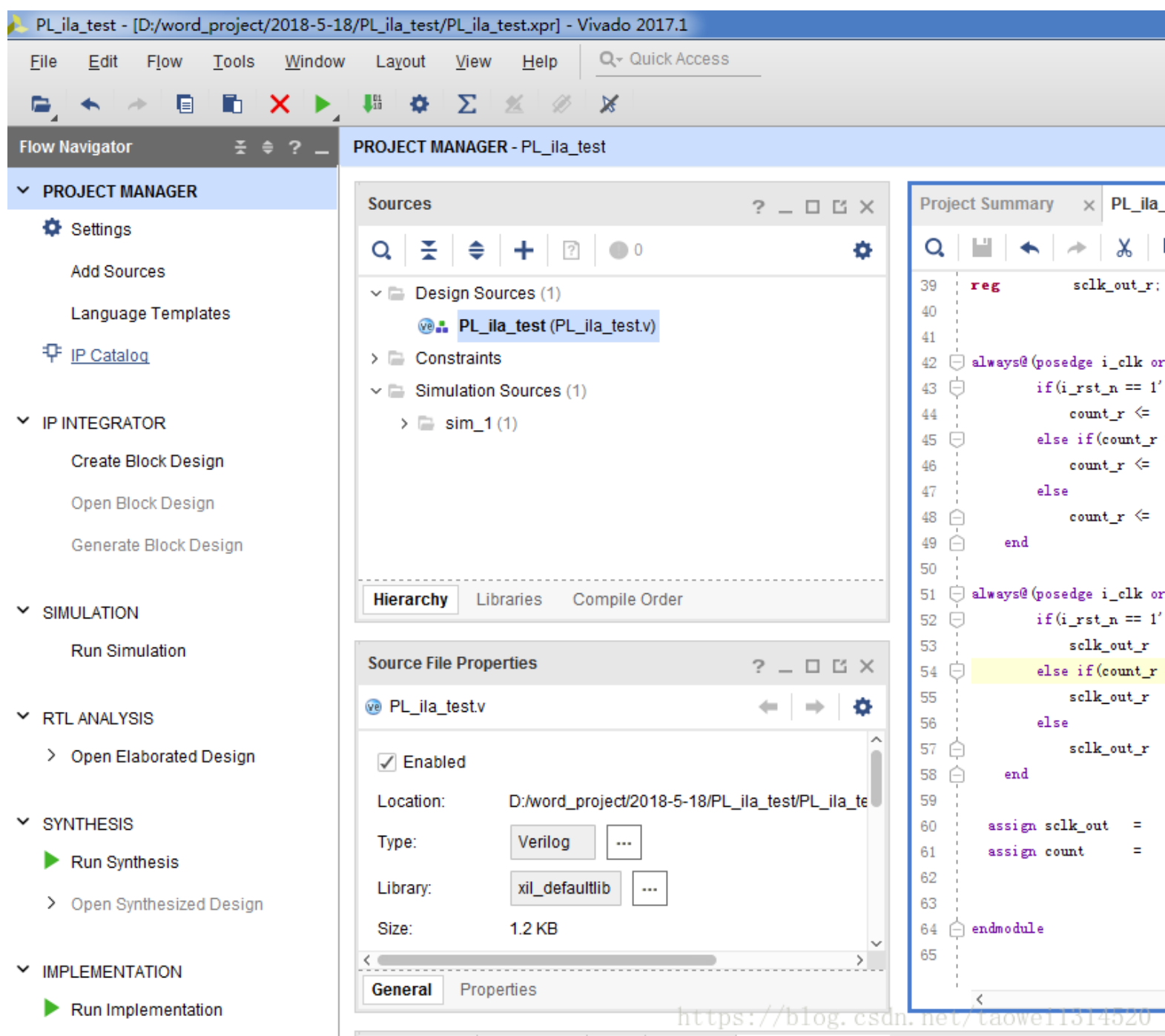


举报



Step3 调用这个ILA核

点击这个IP Catalog

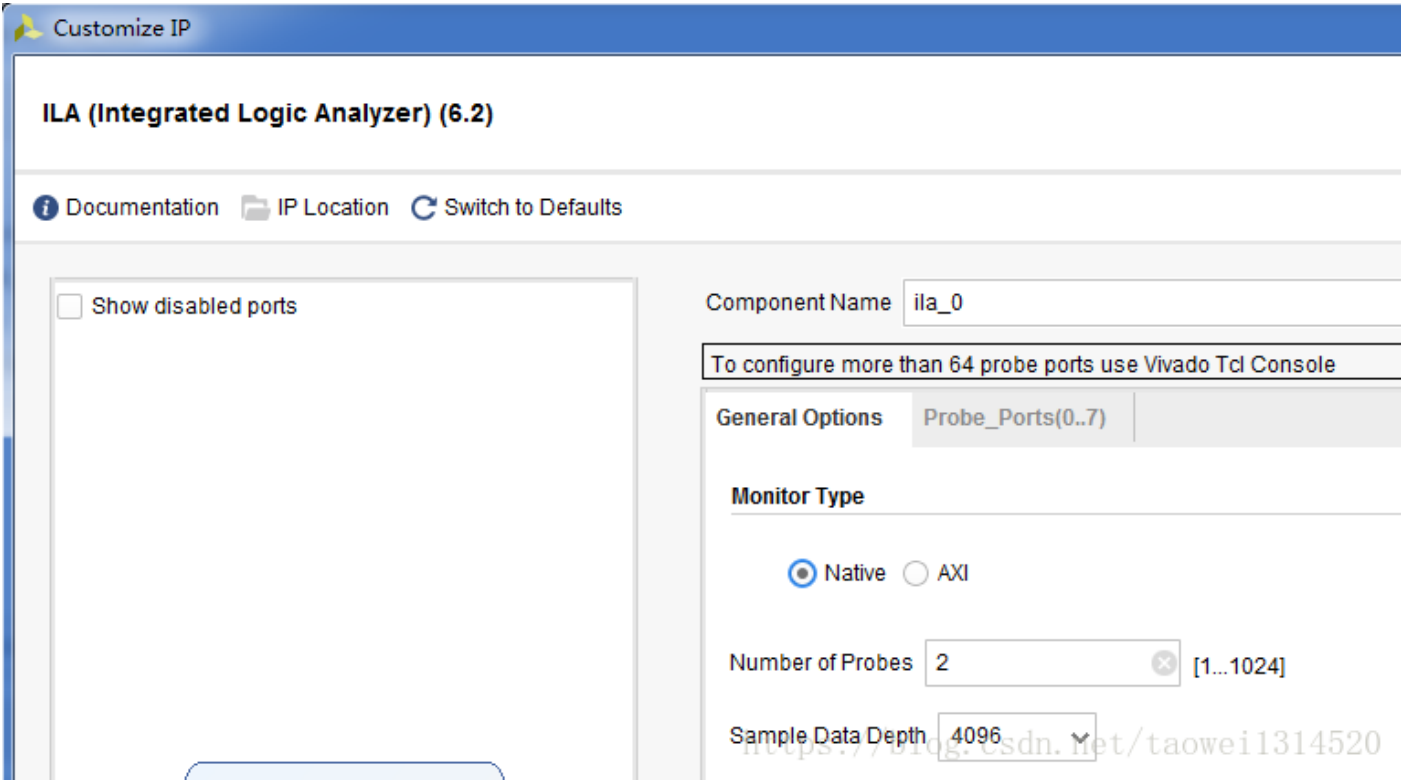


在弹出的查找栏中输入ila，然后选择ILA(Integrated Logic Analyzer)这个双击就会弹出ILA设置对话框

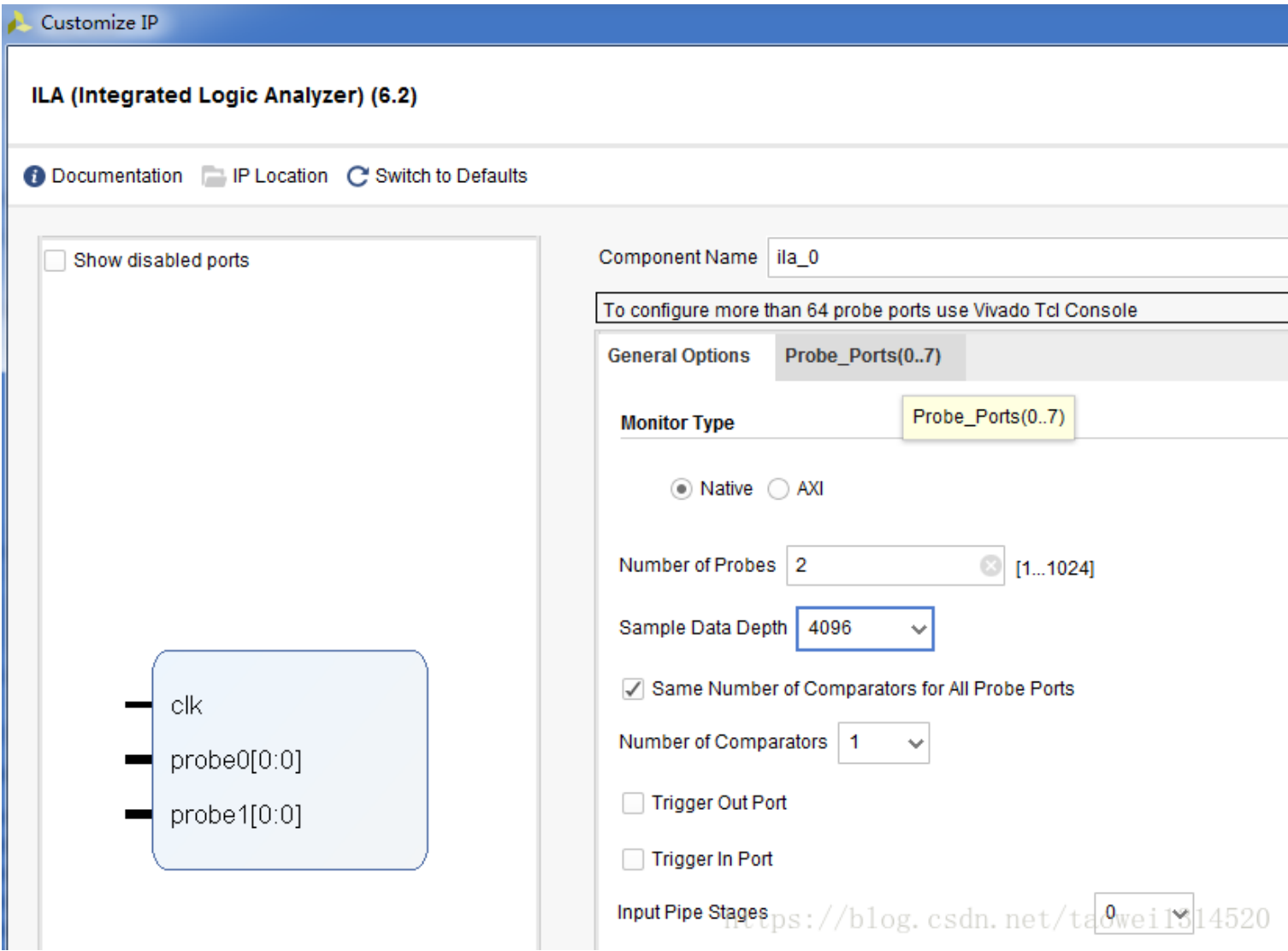




号所以只用两个探针这里设置为2，这个Sample Data Depth相当于设置测量波形长度，这里的4096也就相当于一共采集4096个ILA的时钟周期，因这里的测量是会占用开发板的内存如果你的程序占用内存比较大这里又设置比较大就会出现报错，这里我设置为4096，其它的都保持默认不变。



再点击这个Probe\_PORTS(0..7)这个选项卡



在弹出的设置对话框中，第一个探针我们是测量这个输出时钟的sclk\_out所以位宽不变为1，第二个探针我们测量的是一个[9:0]count的计数器一共有10位所以设置位宽为10，然后点击OK

👍

🔗

💬

☆

📱

⏪

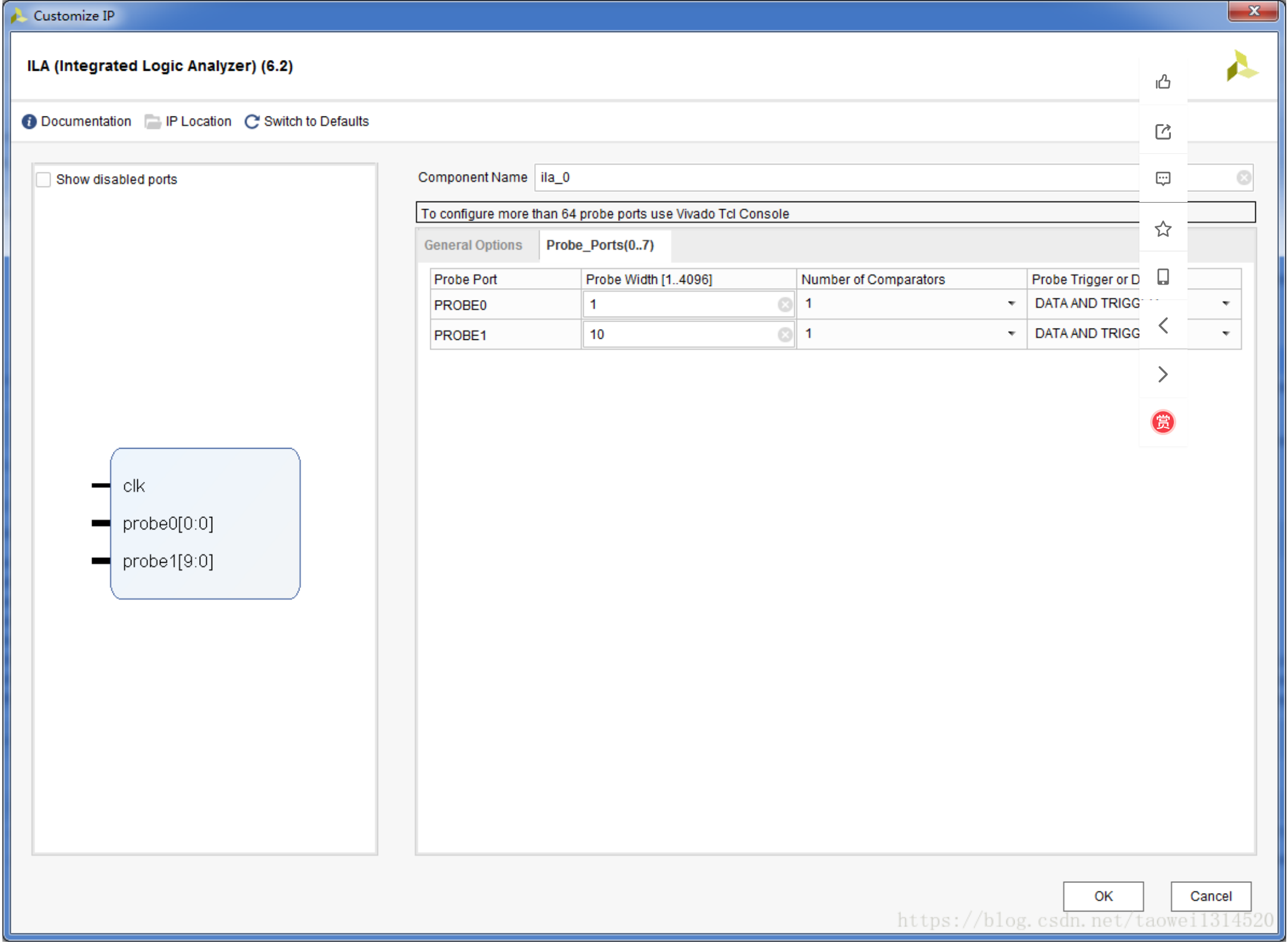
⏩

👤

🔊

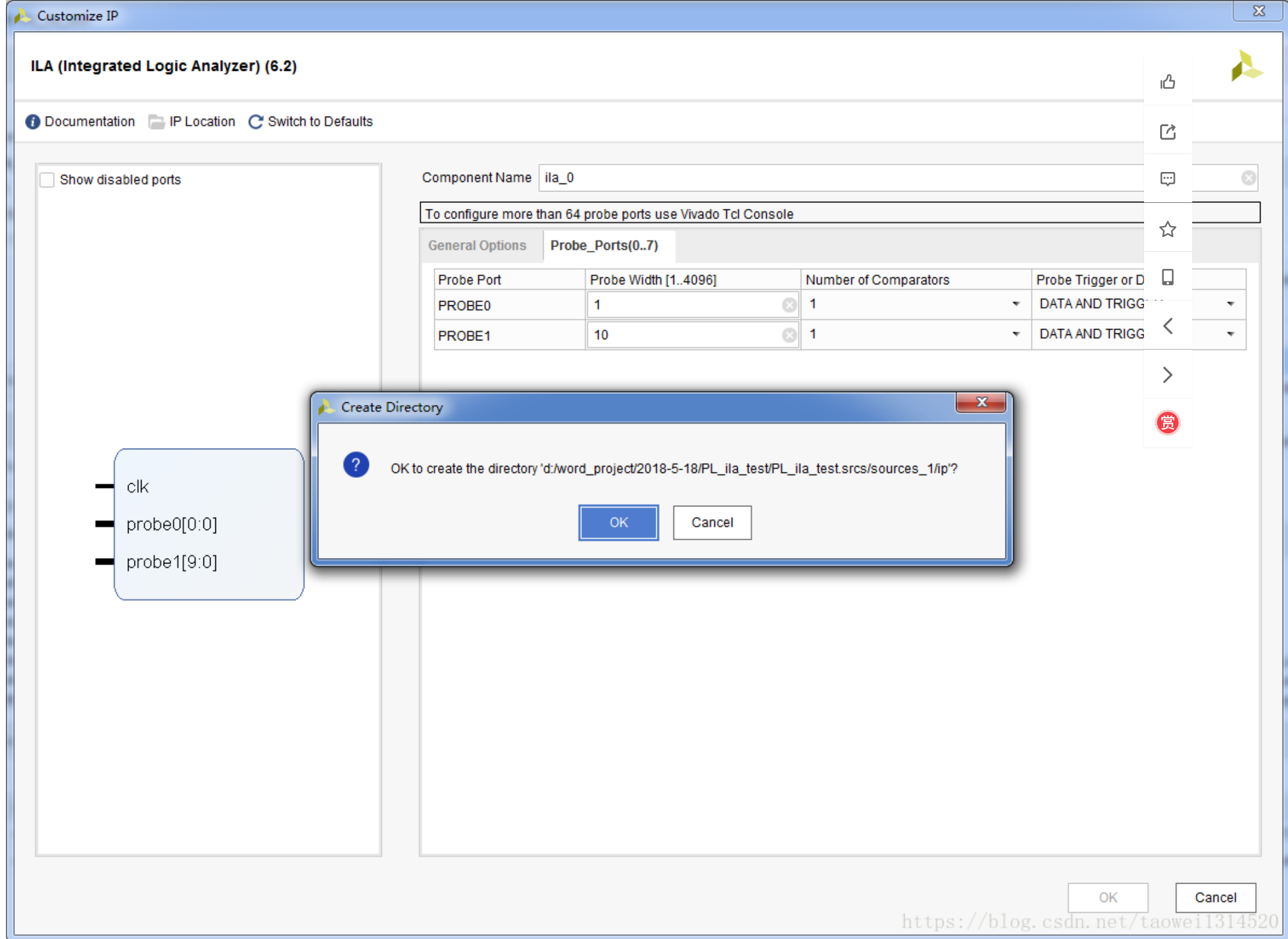
举报



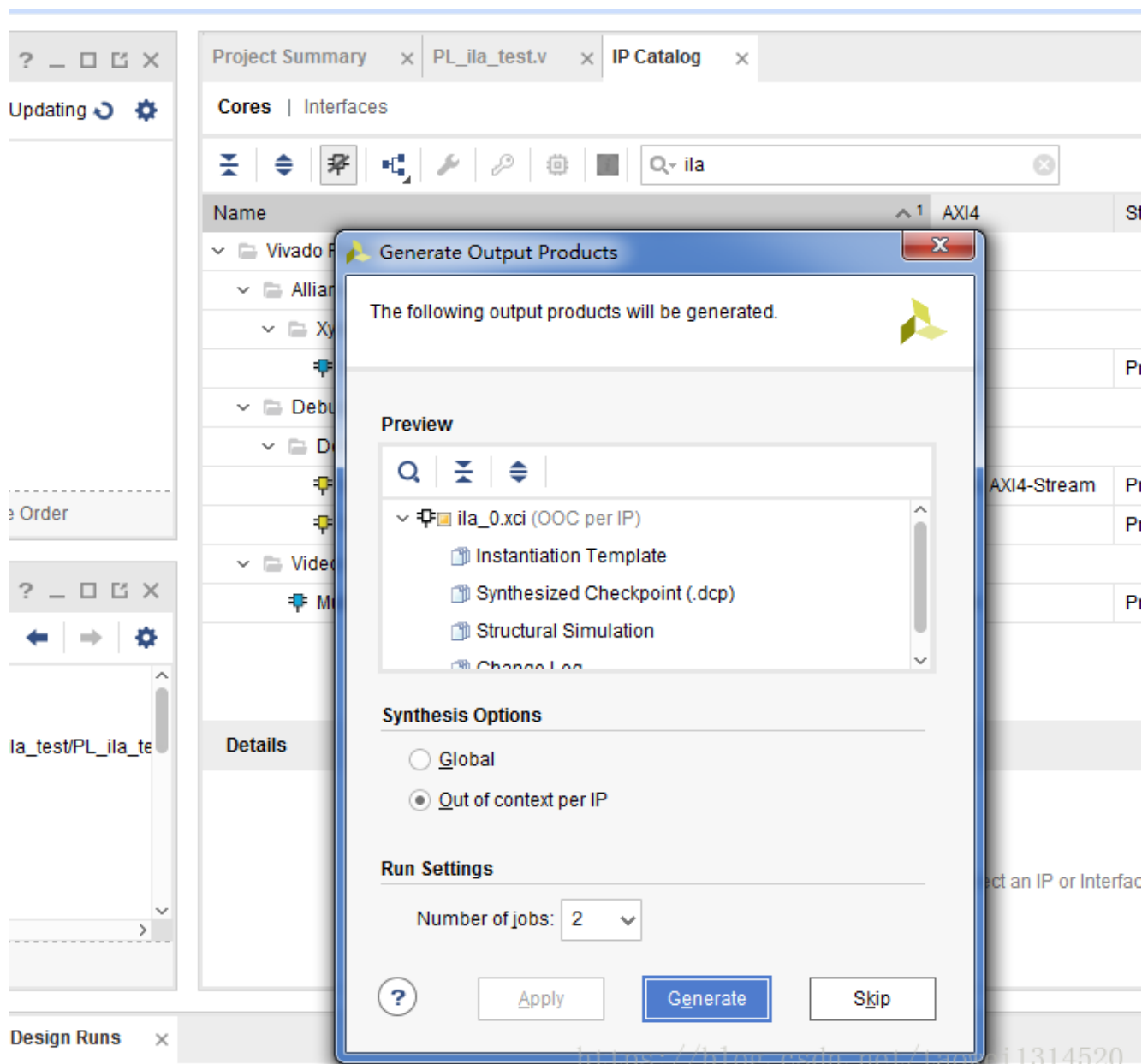


继续点击OK





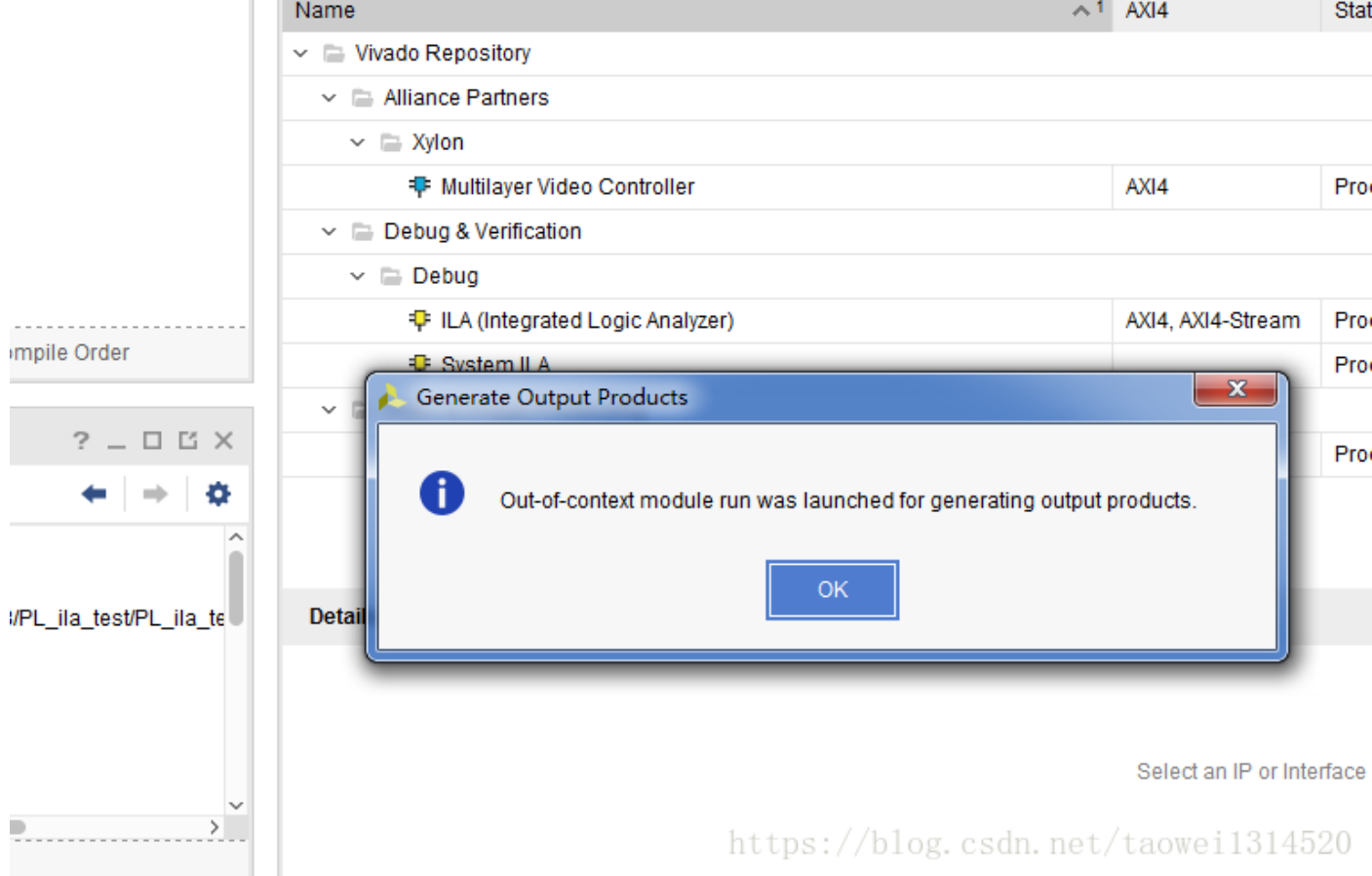
再在弹出的对话框中点击Generate



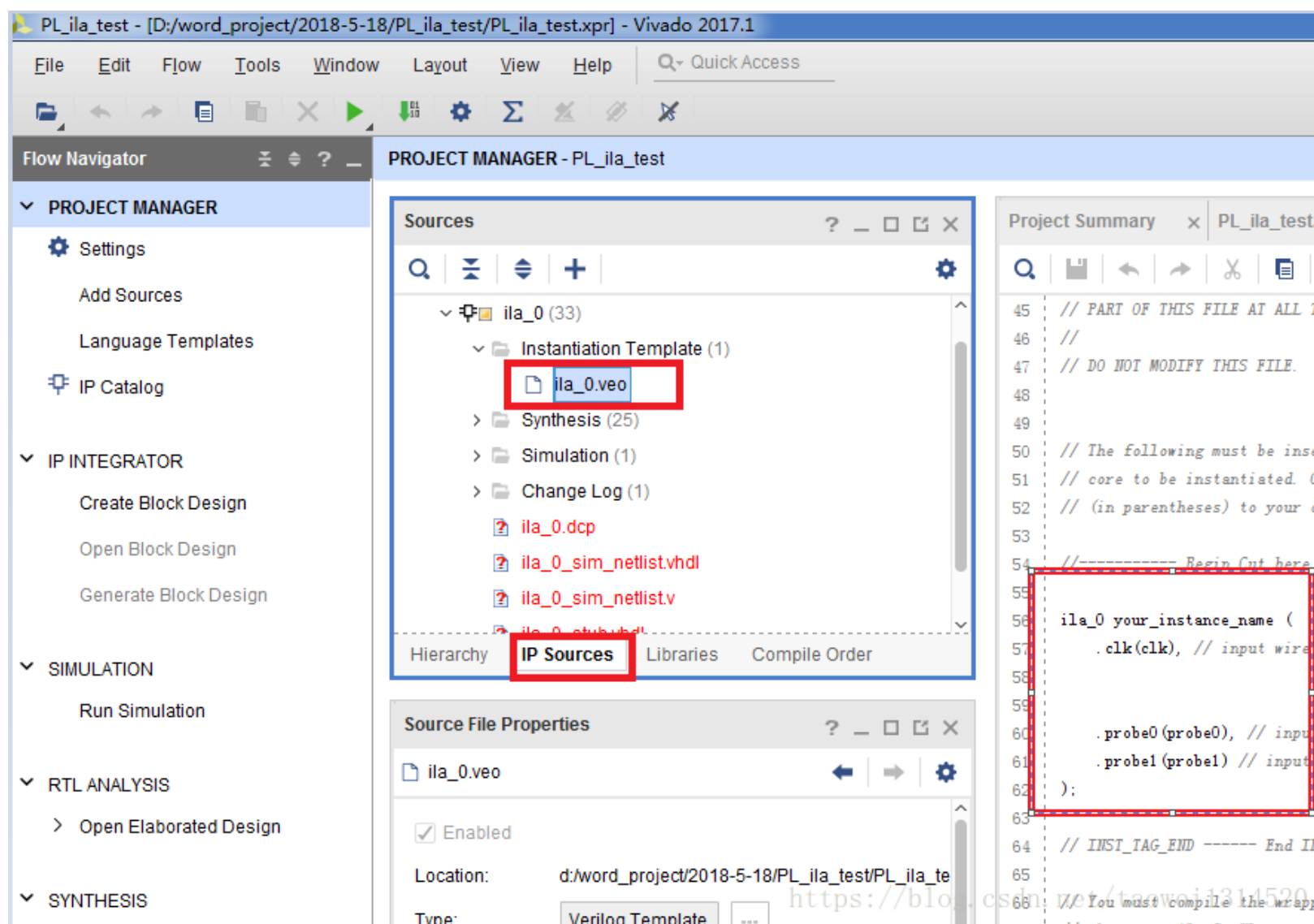
点击OK



举报

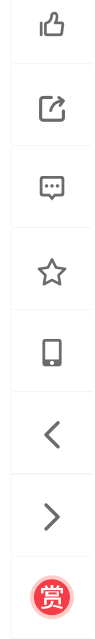


点击这个IP Sources选项卡，然后点击ila\_0.veo可以看到右边有已经例化好的ILA模块

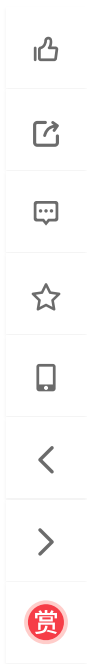
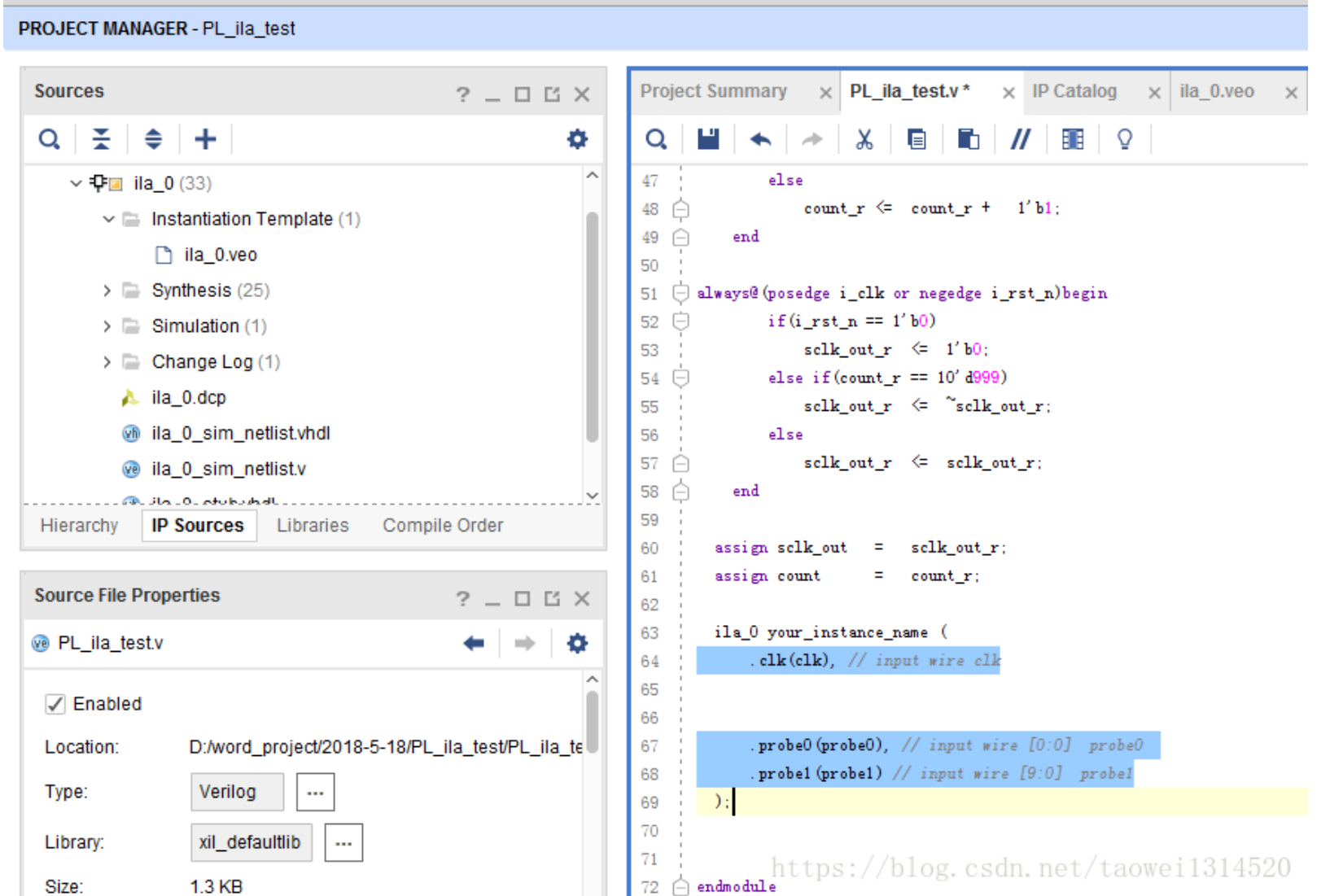


Step4 例化这个ILA核到这个fpga工程

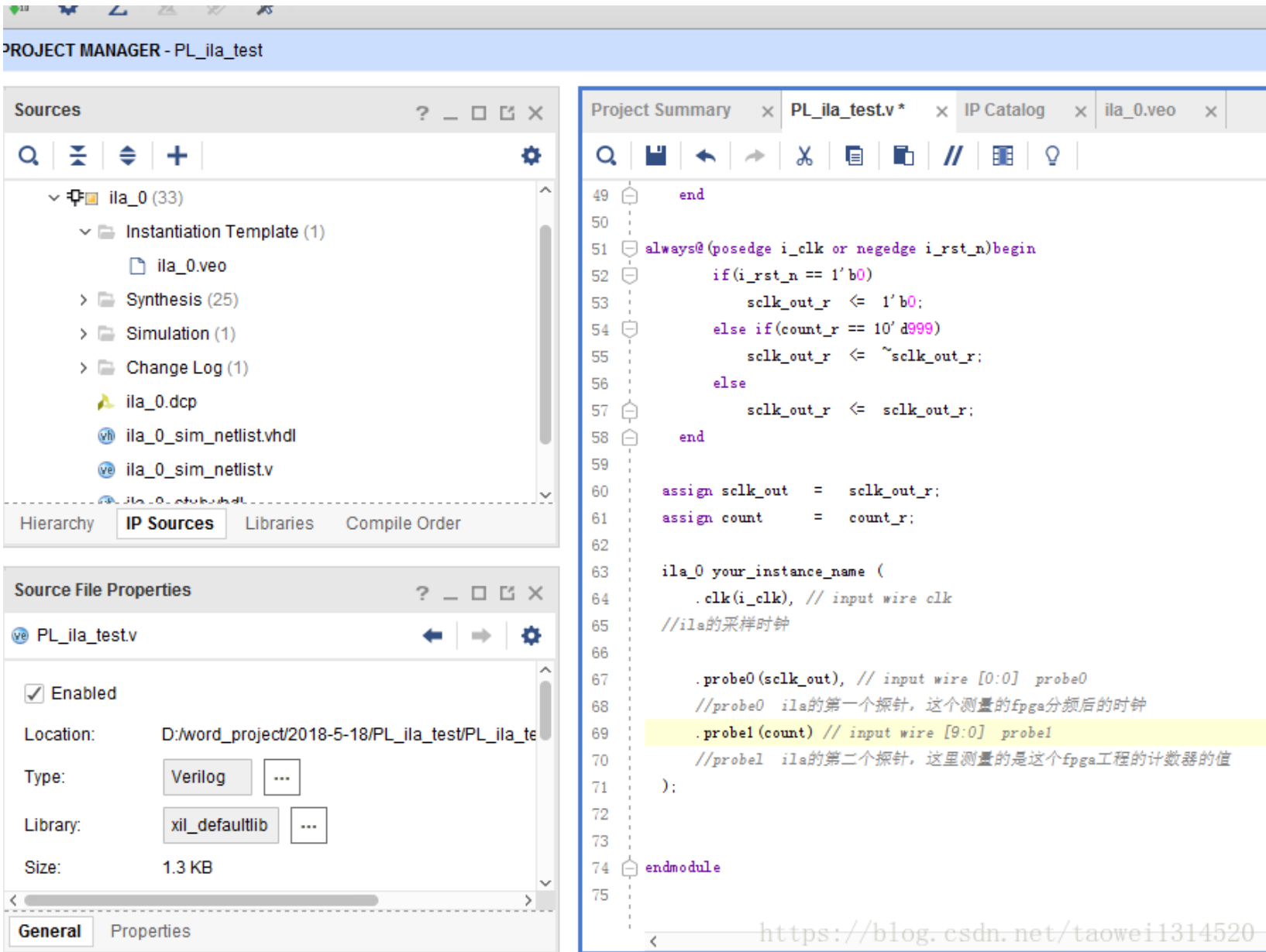
将上图中例化的ILA模块复制到这个fpga工程的下面，如下图所示



举报



将这个所以测量的信号连到这个ILA上如下图所示，这里需要注意的是这个ILA的采样时钟一定要大于这个被采样的时钟的频率，比如这个ILA的采样时钟是输入的i\_clk，那么这个i\_clk最好是大于或者等于这个被采样时钟sclk\_out的2倍或者以上，这个是根据采样定理得出的结论这里一定要注意。



例化后的fpga程序


```


1  `timescale 1ns / 1ps
2  ///////////////////////////////////////////////////
3  // Company:
4  // Engineer:
5  //
6  // Create Date: 2018/05/21 18:59:48
7  // Design Name:
8  // Module Name: PL_ila_test
9  // Project Name:
10 // Target Devices:


```





```
11 // Tool Versions: 12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////
21
22
23 module PL_ila_test(
24
25     i_clk,
26     i_rst_n,
27     sclk_out,
28     count
29
30 );
31
32 input  wire      i_clk;
33 input  wire      i_rst_n;
34 output wire      sclk_out;
35 output wire [9:0] count;
36
37
38 reg [9:0]  count_r;
39 reg       sclk_out_r;
40
41
42 always@(posedge i_clk or negedge i_rst_n)begin
43     if(i_rst_n == 1'b0)
44         count_r <= 10'd0;
45     else if(count_r == 10'd999)
46         count_r <= 10'd0;
47     else
48         count_r <= count_r + 1'b1;
49 end
50
51 always@(posedge i_clk or negedge i_rst_n)begin
52     if(i_rst_n == 1'b0)
53         sclk_out_r <= 1'b0;
54     else if(count_r == 10'd999)
55         sclk_out_r <= ~sclk_out_r;
56     else
57         sclk_out_r <= sclk_out_r;
58 end
59
60 assign sclk_out  = sclk_out_r;
61 assign count     = count_r;
62
63 ila_0 your_instance_name (
64     .clk(i_clk), // input wire clk
65     //ila的采样时钟
66
67     .probe0(sclk_out), // input wire [0:0] probe0
68     //probe0  ila的第一个探针，这个测量的fpga分频后的时钟
69     .probe1(count) // input wire [9:0] probe1
70     //probe1  ila的第二个探针，这里测量的是这个fpga工程的计数器的值
71 );
72
73
74 endmodule
75
```




















Step5 分配fpga管脚并且生成bit文件

这里设置管脚比较简单，因之前的博客有详细介绍这里不在重复



举报

PL\_ila\_test - [D:/word\_project/2018-5-18/PL\_ila\_test/PL\_ila\_test.xpr] - Vivado 2017.1

File Edit Flow Tools Window Layout View Help Quick Access

Flow Navigator

PROJECT MANAGER

- Settings
- Add Sources
- Language Templates
- IP Catalog

IP INTEGRATOR

- Create Block Design
- Open Block Design
- Generate Block Design

SIMULATION

- Run Simulation

RTL ANALYSIS

- Open Elaborated Design

SYNTHESIS

- Run Synthesis
- Open Synthesized Design
  - Constraints Wizard
  - Edit Timing Constraints
  - Set Up Debug
  - Report Timing Summary
  - Report Clock Networks
  - Report Clock Interaction
  - Report Methodology
  - Report DRC
  - Report Noise
  - Report Utilization
  - Report Power

SYNTHESIZED DESIGN - synth\_1 | xc7z020clg400-1 (active)

Sources x Netlist

- Design Sources (1)
  - PL\_ila\_test (PL\_ila\_test.v) (1)
- Constraints (1)
  - constrs\_1 (1)
- Simulation Sources (1)
  - sim\_1 (1)

Hierarchy IP Sources Libraries Compile Order

I/O Port Properties

sclk\_out

Name: sclk\_out

Direction: OUT

Package pin: T11 ☒ Fixed

Site type: IO\_L1P\_T0\_34

Site info: IOB\_X1Y98

General Properties Configure Power

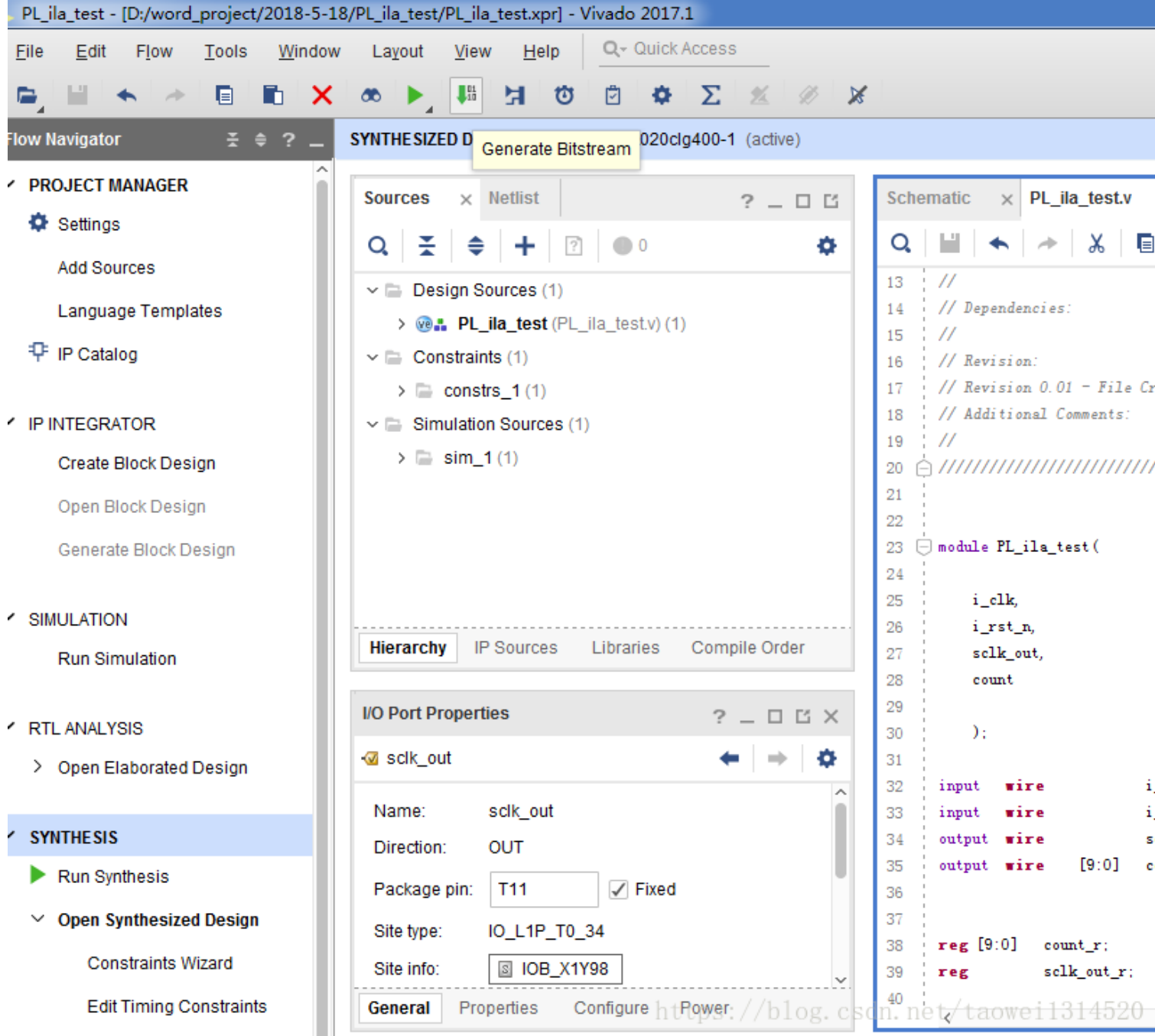
Tcl Console Messages Log Reports Design Runs Debug I/O Ports x

| Name                                         | Direction | Neg Diff Pair | Package Pin | Fixed                               | Bank | I/O Std    | Vcco  | Vref | Dr |
|----------------------------------------------|-----------|---------------|-------------|-------------------------------------|------|------------|-------|------|----|
| <input checked="" type="checkbox"/> count[2] | OUT       |               | D20         | <input checked="" type="checkbox"/> | 35   | LVC MOS33* | 3.300 |      | 12 |
| <input checked="" type="checkbox"/> count[1] | OUT       |               | D18         | <input checked="" type="checkbox"/> | 35   | LVC MOS33* | 3.300 |      | 12 |
| <input checked="" type="checkbox"/> count[0] | OUT       |               | A20         | <input checked="" type="checkbox"/> | 35   | LVC MOS33* | 3.300 |      | 12 |
| Scalar ports (3)                             |           |               |             |                                     |      |            |       |      |    |
| <input checked="" type="checkbox"/> i_clk    | IN        |               | U14         | <input checked="" type="checkbox"/> | 34   | LVC MOS33* | 3.300 |      |    |
| <input checked="" type="checkbox"/> i_rst_n  | IN        |               | R19         | <input checked="" type="checkbox"/> | 34   | LVC MOS33* | 3.300 |      |    |
| <input checked="" type="checkbox"/> sclk_out | OUT       |               | T11         | <input checked="" type="checkbox"/> | 34   | LVC MOS33* | 3.300 |      | 12 |

点击这个图标生成bit文件





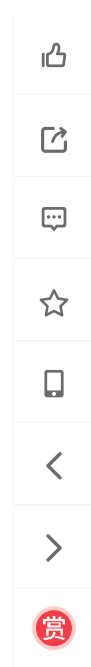
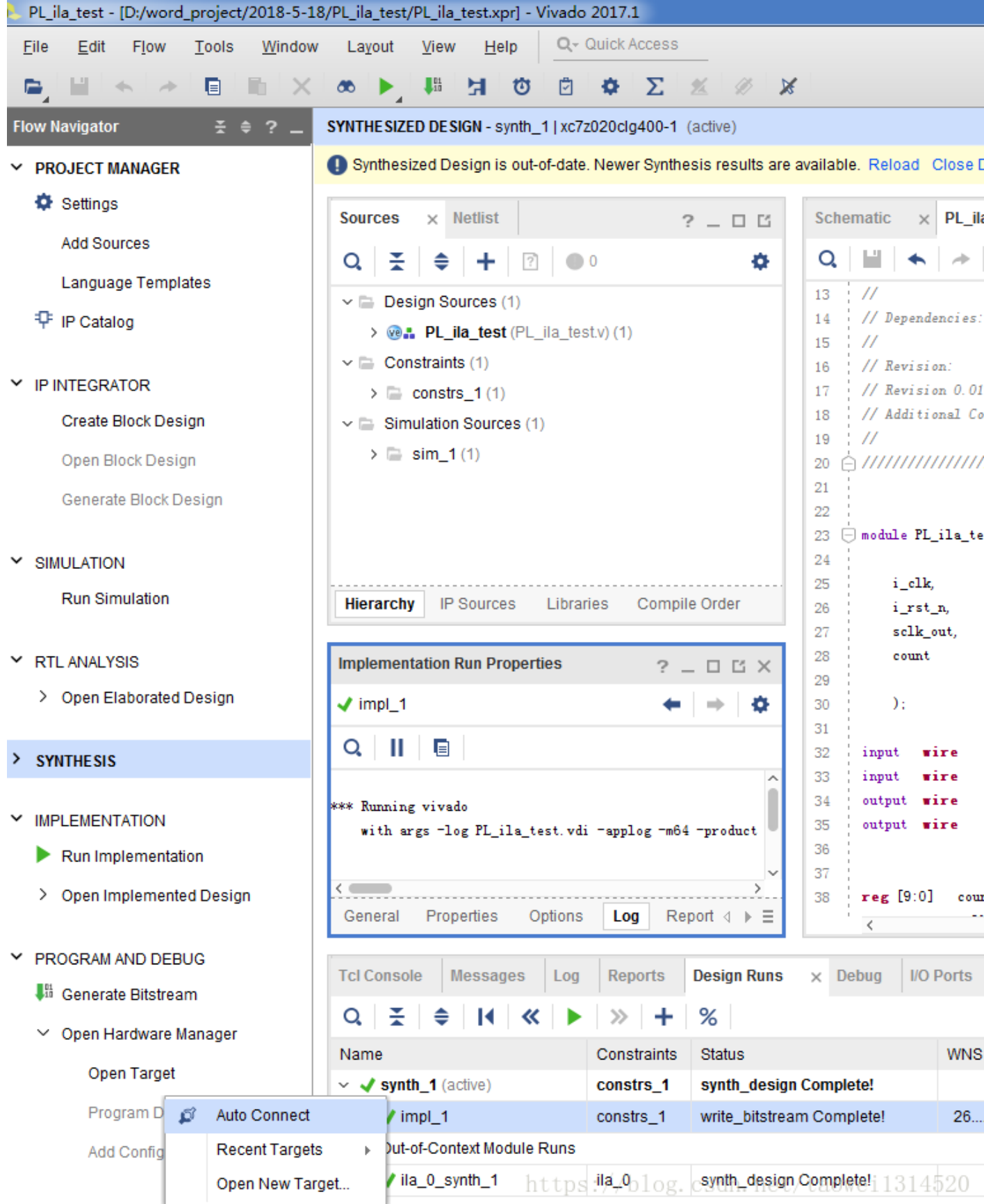


Step6 将bit文件下载到开发板进行ila调试

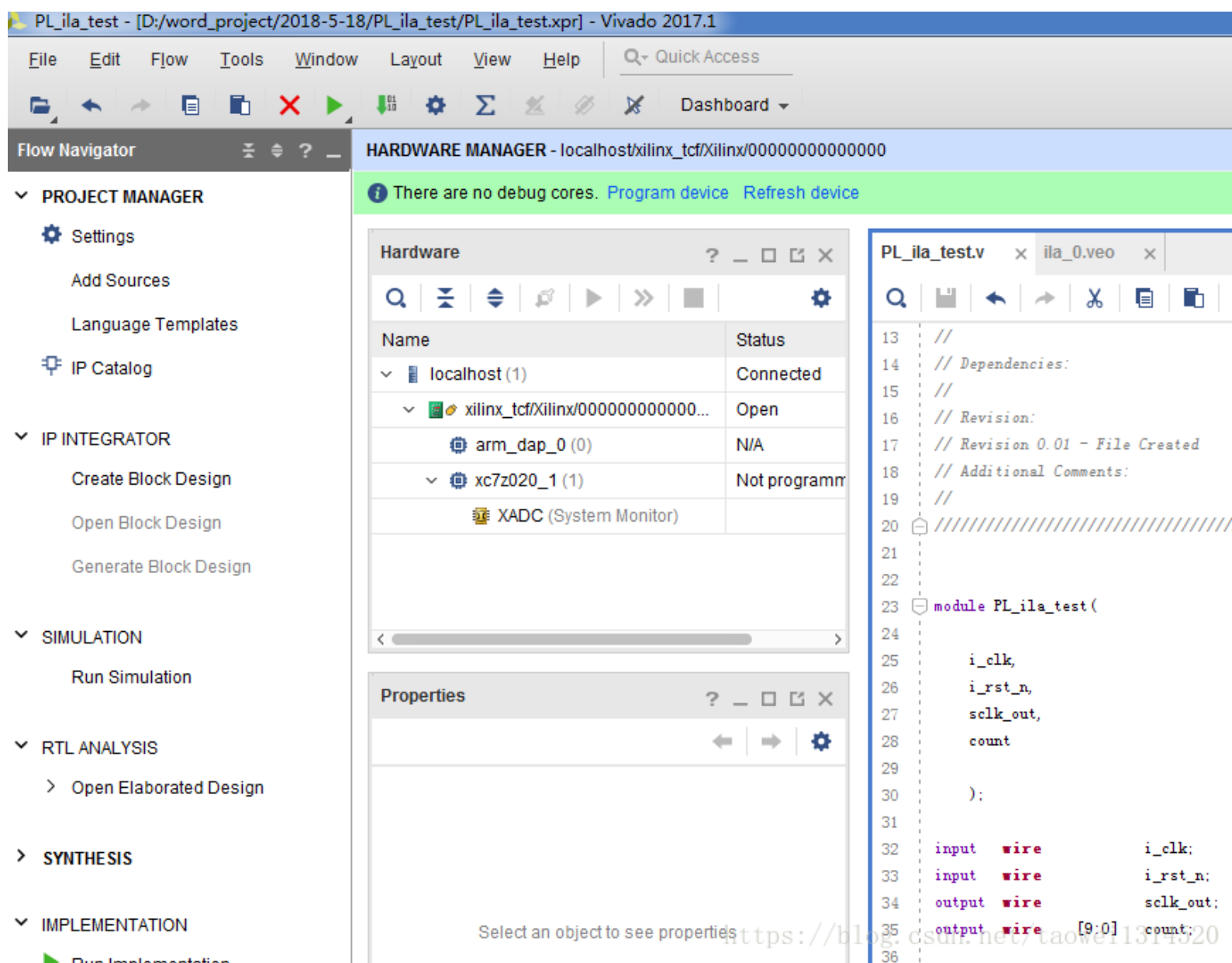
点击下面的Open Target-->选择Auto Connect



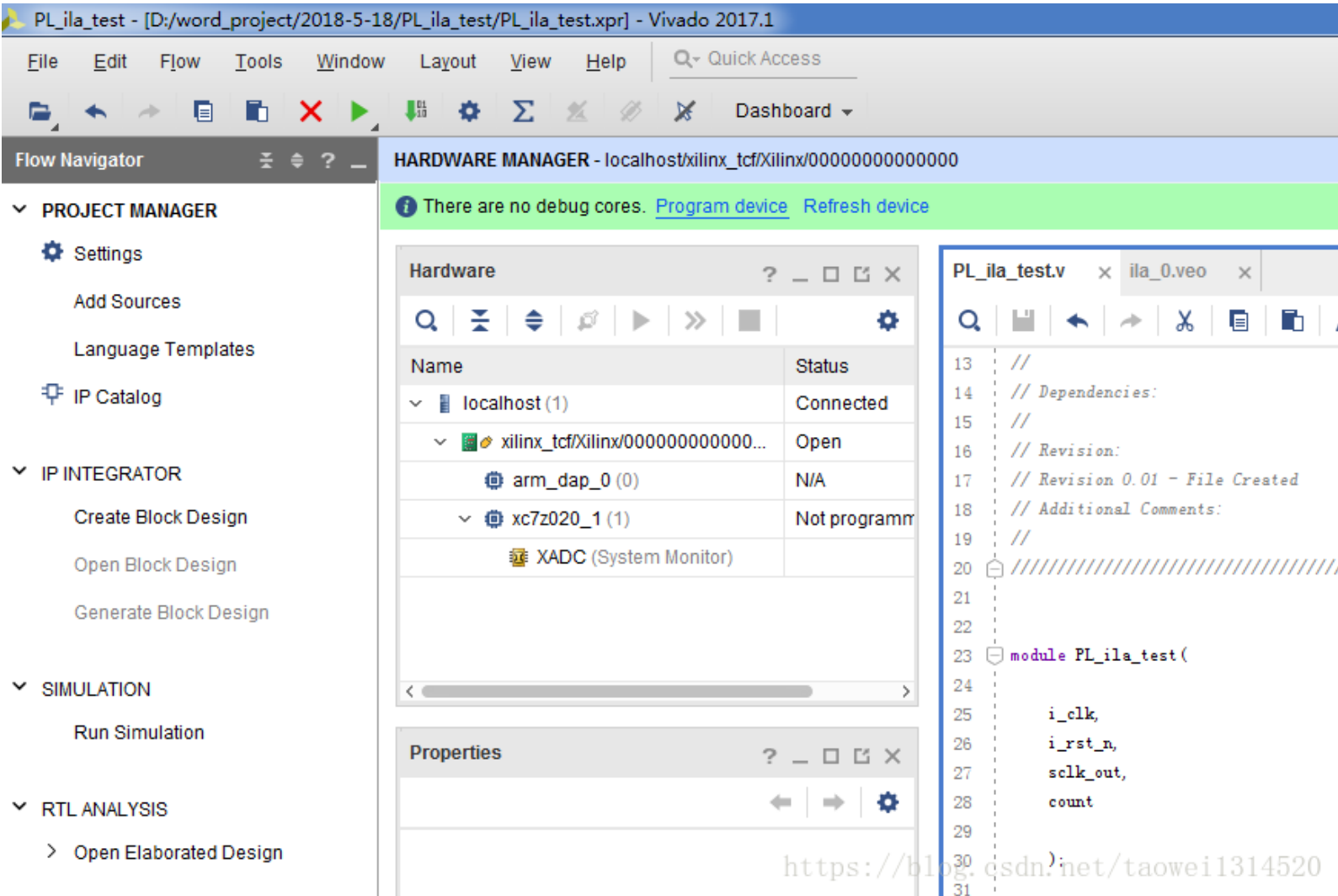
举报



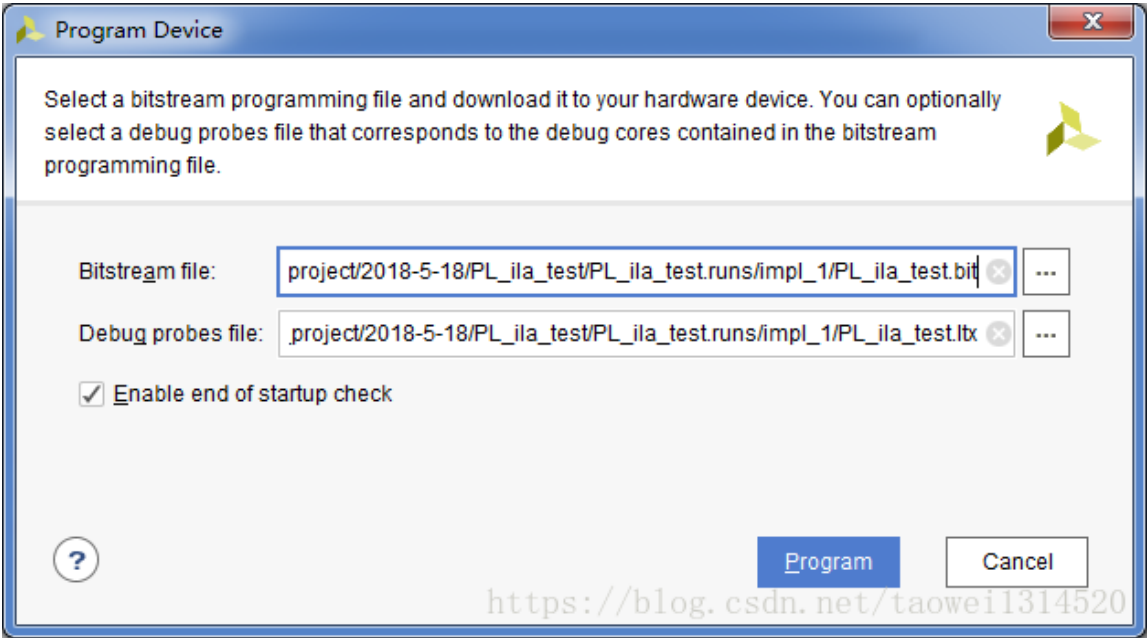
可以看到已经检测我们的开发板，说明这个jtag连接是正常的



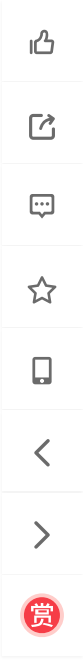
点击这个Program device

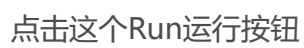


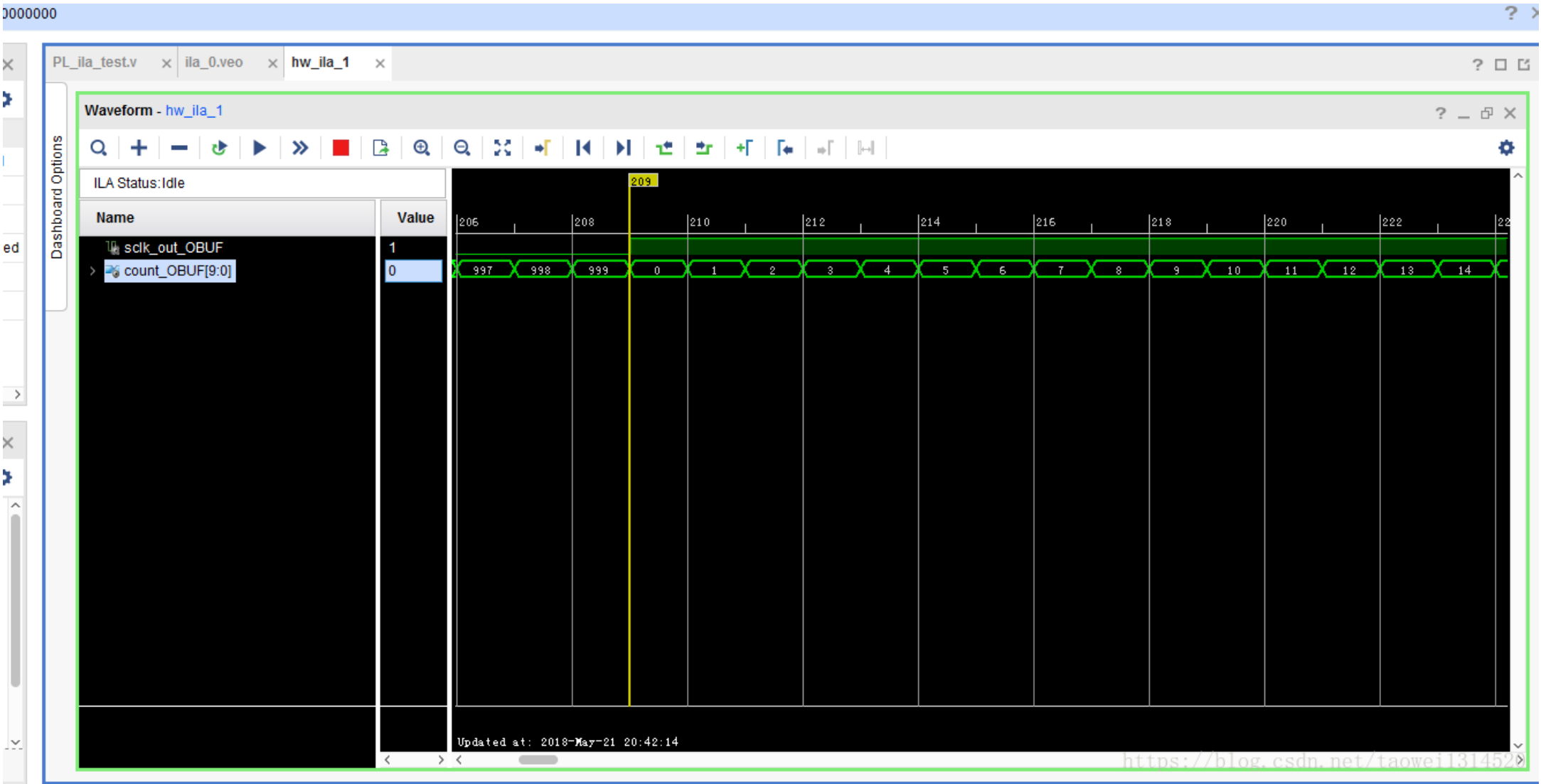
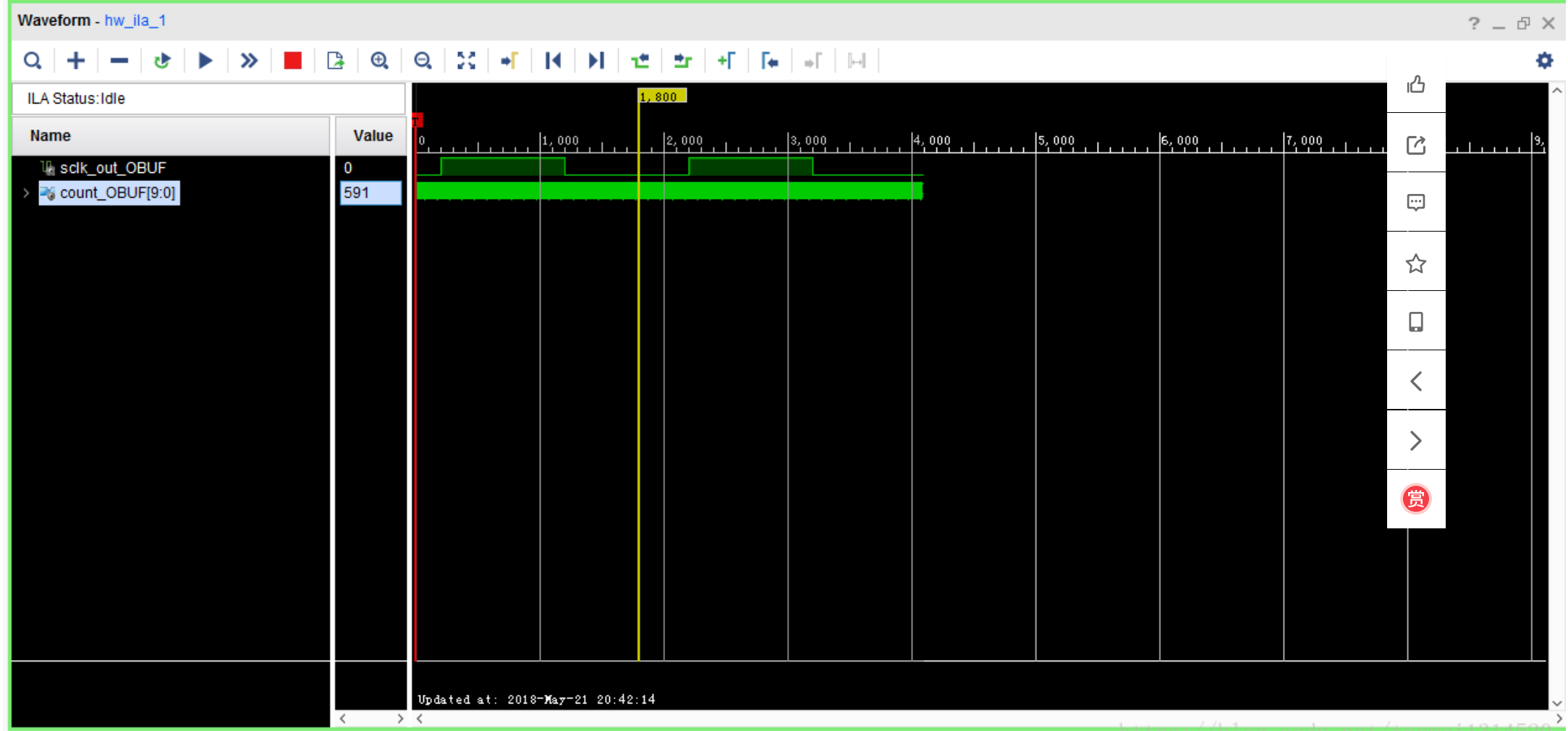
在弹出的对话框中点击Program进行下载



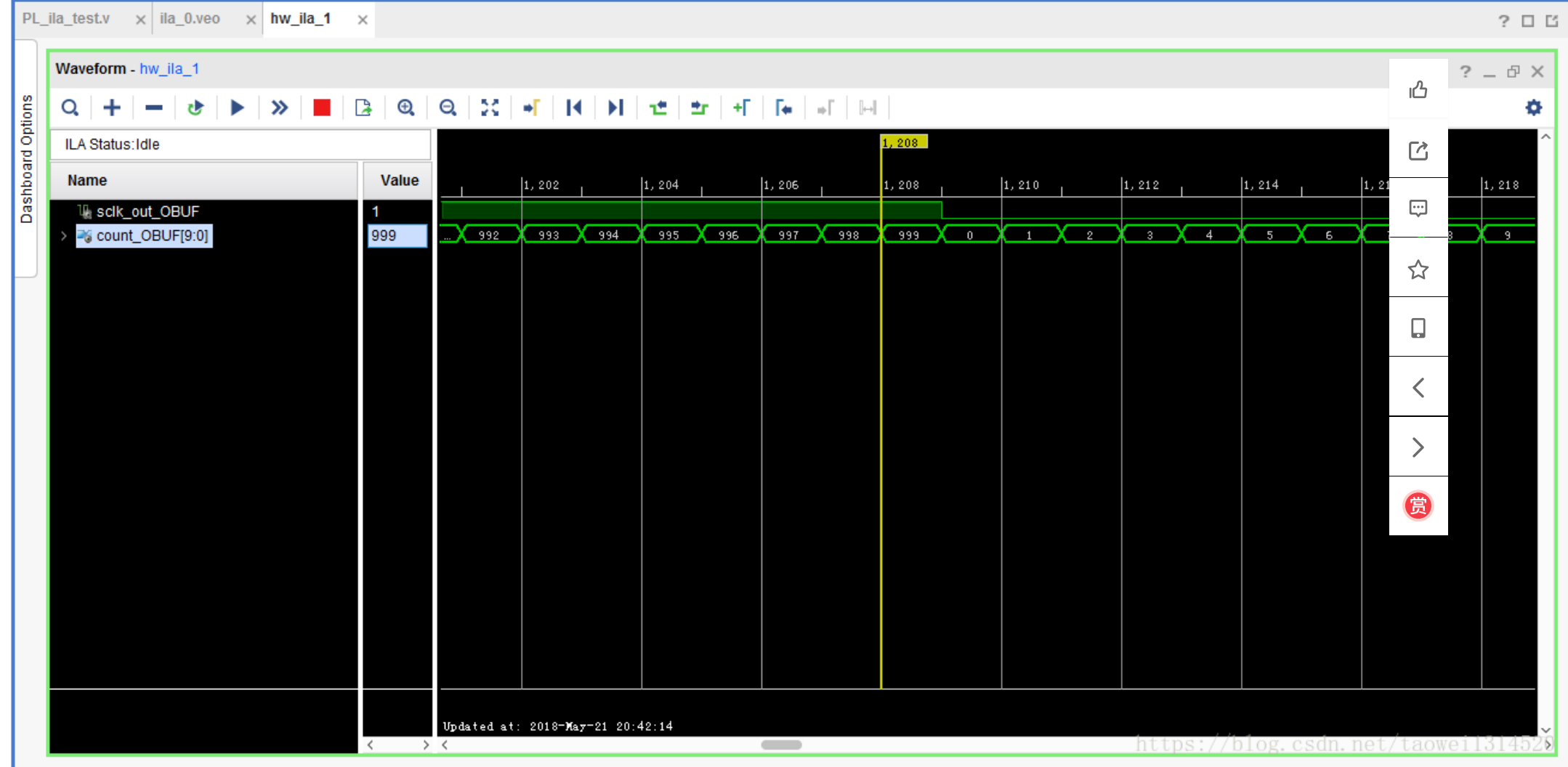
下载完成后如下图所示







举报



点赞 收藏 分享 ...



**虚无缥缈vs威武**  
发布了37 篇原创文章 · 获赞 58 · 访问量 15万+


私信

关注



**CorelDRAW Graphics Suite 2020**  
為您帶來市面上最快速、流暢、精準的向量圖形設計軟體。

广告 coreldraw.com



想对作者说点什么

**Vivado与SDK的联合调试方法-使用ILA** 阅读数 8902  
首先介绍一下我的硬件平台：使用的开发板为米联客出的ZYNQ-7000系列的MIZ702，这个开发板与ZedBoard是兼... 博文 来自： DAYDAYUP

**500行代码，教你用python写个微信飞机大战** 阅读数 8万+  
这几天在重温微信小游戏的飞机大战，玩着玩着就在思考人生了，这飞机大战怎么就可以做的那么好，操作简单，简... 博文 来自： Python专栏

**MYIR-ZYNQ7000系列-zturn教程(7)：pl\_int** 阅读数 1046  
开发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要功能是使用拨码开关U20的三个开关来... 博文 来自： taowei1314520的...

**MYIR-ZYNQ7000系列-zturn教程(15)：在PS中使用ILA观测AXI总线** 阅读数 1311  
开发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要是用ILA观测PS端AXI总线的波形链接：... 博文 来自： taowei1314520的...

**ZYNQ初体验千兆以太网的那些事儿（ps端）** 阅读数 727  
这里写自定义目录标题欢迎使用Markdown编辑器新的改变功能快捷键合理的创建标题，有助于目录的生成如何改变... 博文 来自： Gemini\_Lesl\_Z的...

**VIVADO之ILA与时序分析（Xilinx FPGA）** 04-26  
最近开始学习基于VIVADO的FPGA学习，有几个问题很困惑，希望各位大虾指点。（1）自己写的逻辑模块IP封装到block... 论坛

**ISE工程里添加 ILA/ICON 逻辑分析仪** 阅读数 659  
目录1、概述2、ILA/ICON使用方式2.1 实例化2.2 自动导入ILA观察信号名2.3 在block图中添加ILA/ICON2.3.1 实例... 博文 来自： 大咖之路，砥砺前行...

**Zynq，使用ps与pl数据交互问题** 05-12  
需要在pl端设置多个串口，但要求每个串口FIFO要大于128byte，求问，用什么方式和ps通信？如何设定使用这个FIFO？ ... 问答

**ZYNQ Linux开发——以太网配置** 阅读数 5495  
硬件平台：XCZ7020CLG484-1完全适配Zedboard开发环境：Widows下Vivado2016.2、SDK2016.2、Linux机器... 博文 来自： DAYDAYUP



**Xilinx-ZYNQ7000系列-学习笔记（7）：解决ZYNQ IP核自动布线后会更改原有配置的问题** 阅读数 1102

Xilinx-ZYNQ7000系列-学习笔记（7）：解决ZYNQ IP核自动布线后会更改原有配置的问题之前在玩zedboard板卡... 博文 来自： qq\_42826337的博客

**Vivado下的集成逻辑分析仪ILA 入门** 阅读数 9686

刚刚开始学习Zynq7000的时候，看到别人问ILA的问题时，说是集成逻辑分析仪，我觉得这是一个好东西，我一定要... 博文 来自： 曾立文的博客



**怡\_同学少年**  
16篇文章  

关注


排名:千里之外



**上海小胖**  
425篇文章  

关注

排名:3000+



**Gemini\_Lesl\_Z**  
1篇文章  

关注

排名:千里之外

**ISE - 采用例化ILA核的方式抓信号** 阅读数 155

除了采用.cdc文件抓取信号以外，还有一种方式是采用例化ILA核的方式抓信号的时序。这种方式的详细操作流程如下... 博文 来自： 理论结合实践，开...

**模块例化是怎么进行的？——FPGA学习笔记（四）** 阅读数 5341

最近在学FPGA的时候，总搞不清楚例化两个字是什么意思？什么是模块例化？各个模块例化之后怎么连接的弄得我... 博文 来自： sy243772901的博客

**zynq 在线逻辑分析仪的使用** 阅读数 408

1、添加调试用 IP CORE ILA针对上图的 BD 设计文件，我们现在要掌握一些调试方法，方便后面在开发过程中用到... 博文 来自： fighting2019的博客

**zynq-7000系列基于zynq-zed的MAC->MAC 的实现（fixed-link）** 阅读数 2503

zynq-7000系列基于zynq-zed的MAC->MAC 的实现（fixed-link） 作者：卢浩 ... 博文 来自： luhao806的专栏

**【FPGA】2017.4的ILA使用** 阅读数 976

ILA使用分两个方式，一个是加在代码里，一个加在网表里。参考文档UG908 博文 来自： 世界各处去跑马

**【Zynq学习笔记2】SDK使用JTAG调试** 阅读数 3433

本文使用的开发板为ZC702.1.连接仿真器，并将SW10和SW16设置为如下模式： 其他选项可参考下表【来源于UG8... 博文 来自： 钝钝的博客

**FPGA开发要懂得使用硬件分析仪调试——ILA** 阅读数 5712

0. ILA概述在FPGA开发中，当我们写完代码，进行仿真，确定设计没有问题后，下载到硬件上一般都能按照我们的设... 博文 来自： 坚持

**zynq以太网官网例子调试** 阅读数 6764

小问题，弄了三四天，终于弄好了，记录下。主要是三个问题1引脚的bank1的LVCMOS的电压不是1.8v2以太网的5... 博文 来自： wuzhouqingcy的...

**Xilinx ZYNQ 7000+Vivado2015.2系列（二）之奇数分频和逻辑分析仪（ILA）的使用** 阅读数 1358

前言：偶数分频容易得到：N倍偶数分频，可以通过由待分频的时钟触发计数器计数，当计数器从0计数到N/2-1时， ... 博文 来自： ChuanjieZhu

**zynq-7000系列基于zynq-zed的RGMII以太网控制器稳定性的问题** 阅读数 5414

zynq-7000系列基于zynq-zed的RGMII以太网控制器稳定性的问题 作者：卢浩 ... 博文 来自： luhao806的专栏

**使用vivado的ila在线调试** 阅读数 3130

可以在rtl代码中添加(\*mark\_debug = "true"\*)属性来修饰变量，但不好！我一般是新建一个xdc文件（不要在原本的... 博文 来自： mkelehk的专栏

**vivado中ILA核的使用** 阅读数 1397

RTL设计在RTL设计中，将想要抓取的信号前加上：(\*KEEP = "TRUE"\*) reg led\_reg02;例如，本例中需要抓取的信号... 博文 来自： Reborn Lee

**四、使用SDk对ZYNQ调试** 阅读数 9196

上一节把生成的Bitstream导入到SDk后，单击启动SDK。打开后如图将PC与Zedboard相连，接成调试模式，选择Xi... 博文 来自： 魔亦有道的博客

**ZYNQ学习之PL和PS接口** 阅读数 1369

ZYNQ学习之PL和PS接口1、 PL和PS的接口类型总共有两种：(1) 功能接口：AXI、EMIO、中断、DMA流控制、时... 博文 来自： miss\_youhappy的...

**zynq中纯PL编程** 阅读数 3956

没接触zynq之前，只用过FPGA，在FPGA中用verilog编程简单明了，后来稍微学习过一点nios ii，就在FPGA中也用... 博文 来自： 好记性不如烂笔头

**【ZYNQ-7000开发之九】使用VDMA在PL和PS之间传输视频流数据** 阅读数 1万+


VDMA可以把AXI4-Stream 类型的视频流通过S2MM，写入到DDR3中，反之也可以通过MM2S读入到VDMA接口... 博文 来自： RZJMPB的博客


**Vivado设计二：zynq的PS访问PL中的自带IP核（基于zybo）** 阅读数 678


1.建立工程首先和Vivado设计一中一样，先建立工程（这部分就忽略了）2.create block design同样，Add IP同样... 博文 来自： weixin\_34381666...


**关于vivado中使用ila观测信号的问题**


调用ZYNQ的IP核，并产生100M和200M的时钟提供给PL端使用，再调用一个异步FIFO，用100M时钟做为写时钟，并用... 论坛






















举报

vivado----fpga硬件调试 (八)----例化ila核 阅读数 8779

VIVADO下ILA使用指南 博文 来自: [坚持](#)

Vivado中使用逻辑分析仪ILA 阅读数 7019

FPGA综合出来的电路都在芯片内部，基本上没法用示波器或者逻辑分析仪器去测量信号的，所以xilinx等厂家就发... 博文 来自: [坚持](#)

Vivado下集成逻辑分析仪ILA入门续 阅读数 6944

在 Vivado下集成逻辑分析仪ILA入门 一文中带着读者走了一遍集成逻辑分析仪ILA的使用过程。当时通过Set up Deb... 博文 来自: [曾立文的博客](#)

vivado下使用ILA抓取波形 阅读数 1万+

第一部分：RTL设计 在RTL中想要抓取的信号前加上（\*keep="TRUE"）例如想要抓取cnt信号： （\*keep="TRUE... 博文 来自: [Tristone的学习笔记](#)

（二）zynq芯片是什么 阅读数 7289

目录 2.1处理器系统2.1.1应用处理器单元（APU的基本结构）2.1.2 关于ARM模式2.1.3 处理器系统外部2.2可编程逻... 博文 来自: [Tristone的学习笔记](#)

爬虫福利二 之 妹子图网MM批量下载 阅读数 27万+

爬虫福利一：27报网MM批量下载 点击看了本文，相信大家对爬虫一定会产生强烈的兴趣，激励自己去学习爬虫， ... 博文 来自: [Nick.Peng 的博客](#)

Java学习的正确打开方式 阅读数 40万+

在博主认为，对于入门级学习java的最佳学习方法莫过于视频+博客+书籍+总结，前三者博主将淋漓尽致地挥毫于这... 博文 来自: [程序员宜春的博客](#)

程序员必须掌握的核心算法有哪些？ 阅读数 53万+

由于我之前一直强调数据结构以及算法学习的重要性，所以就有一些读者经常问我，数据结构与算法应该要学习到哪... 博文 来自: [帅地](#)

Python——画一棵漂亮的樱花树（不同种樱花+玫瑰+圣诞树喔） 阅读数 30万+

最近翻到一篇知乎，上面有不少用Python（大多是turtle库）绘制的树图，感觉很漂亮，我整理了一下，挑了一些我... 博文 来自: [碎片](#)

大学四年自学走来，这些私藏的实用工具/学习网站我贡献出来了 阅读数 55万+

大学四年，看课本是不可能一直看课本的了，对于学习，特别是自学，善于搜索网上的一些资源来辅助，还是非常有... 博文 来自: [帅地](#)

计算机专业的书普遍都这么贵，你们都是怎么获取资源的？ 阅读数 14万+

介绍几个可以下载编程电子书籍的网站。1.GithubGithub上编程书资源很多，你可以根据类型和语言去搜索。推荐几... 博文 来自: [九章算法的博客](#)

python json java mysql pycharm android linux json格式

 虚无缥缈vs威武

 TA的个人主页 >

|    |     |    |     |      |
|----|-----|----|-----|------|
| 原创 | 粉丝  | 获赞 | 评论  | 访问   |
| 37 | 195 | 58 | 164 | 15万+ |

等级:  4 周排名: 3万+

积分: 1254 总排名: 6万+

勋章:  

关注

私信

### 最新文章

quartus II 12.1 使用教程（7） vga显示测试

MYIR-ZYNQ7000系列-zturn教程(27): lwip测试



举报

quartus II 12.1 使用教程 (6) ROM 测试

quartus II 12.1 使用教程 (5) eeprom 读写测试

quartus II 12.1 使用教程 (4) uart 测试

分类专栏

|                                                                                 |                       |     |
|---------------------------------------------------------------------------------|-----------------------|-----|
|  | VIVADO 安装教程           | 1篇  |
|  | quartus II            | 5篇  |
|  | 三态门详解                 |     |
|  | quartus II 12.1 使用... | 1篇  |
|  | ZYNQ7000              | 27篇 |

归档

|          |    |
|----------|----|
| 2019年12月 | 1篇 |
| 2019年9月  | 1篇 |
| 2019年8月  | 5篇 |
| 2019年7月  | 2篇 |
| 2019年4月  | 1篇 |
| 2019年3月  | 2篇 |
| 2019年1月  | 1篇 |
| 2018年11月 | 1篇 |


展开


热门文章


- VIVADO 安装教程  
阅读数 84216
- 三态门详解  
阅读数 15398
- quartus II 12.1 使用教程 (1) 怎样调用 PLL 核  
阅读数 7556
- MYIR-ZYNQ7000系列-zturn教程(17): 用 axi\_uart发送数据  
阅读数 4156
- MYIR-ZYNQ7000系列-zturn教程(9): 将 bit文件固化到QSPI\_Flash  
阅读数 4055


最新评论


- VIVADO 安装教程  
rq8866: 缺License的小伙伴 链接: https://pan.baidu.com/s/11mjkpyERdUH3q5C\_TpfQxQ ...
- FT232H如何使用jtag接口  
taowei1314520: [reply]qq\_42662835[/reply]我是直接对eeprom里写数据进去的, 数据我已经 ...
- FT232H如何使用jtag接口  
taowei1314520: [reply]sssshhhhhhhh[/reply]这个vivado有这个usb驱动也需要安装一下, 你 ...
- FT232H如何使用jtag接口  
sssshhhhhhhh: 你好, 插上电脑以后显示 USB Serial Conventor (仅配置了USB和EEPROM这 ...
- MYIR-ZYNQ7000系列-z...  
kuyunge: SPI一次是通信一个字节码?






















举报



🗨️ QQ客服      ✉️ kefu@csdn.net  
💬 客服论坛      ☎️ 400-660-0108

工作时间 8:30-22:00

[关于我们](#)   [招聘](#)   [广告服务](#)   [网站地图](#)

京ICP备19004658号 经营性网站备案信息

👮 公安备案号 11010502030143

©1999-2020 北京创新乐知网络技术有限公司  
网络110报警服务

北京互联网违法和不良信息举报中心

中国互联网举报中心 家长监护 版权申诉

👍

🔗

💬

☆

📱

<

>

赏

🔊

举报