

MYIR-ZYNQ7000系列-zturn教程(8)-PS给PL时钟点亮LED

原创

虚无缥缈vs威武

最后发布于2017-09-11 23:24:43

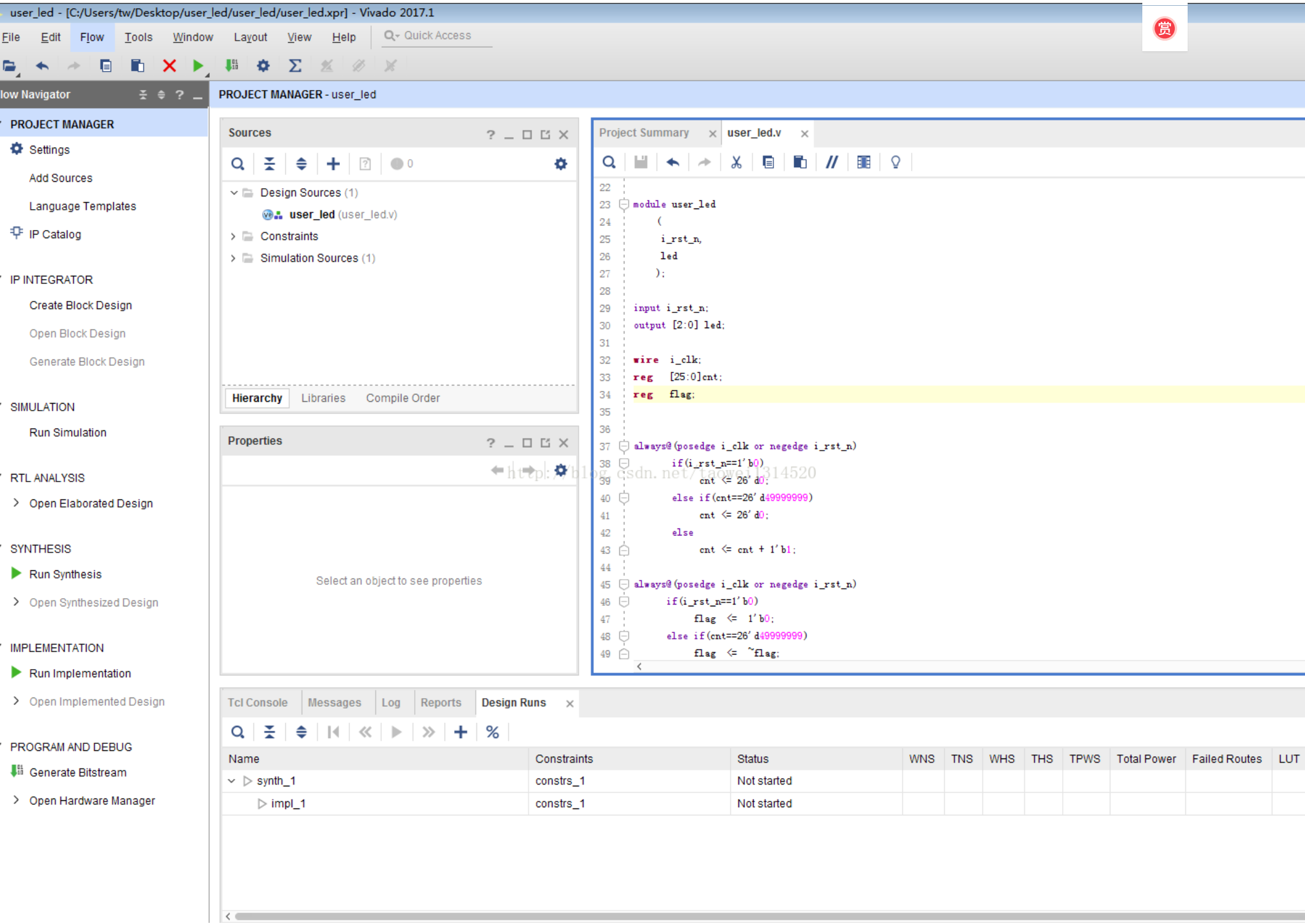
阅读数 3614

☆ 收藏

开发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这里用的这个工程是“从新建工程到下载bit”这个工程里的流水灯，


这个工程没有用z-turn 板提供的时钟而且用ZYNQ核提供的时钟给到FPGA点亮LED灯。


step1 这里是已经新建好的FPGA流水灯如下图所示





```
1 | `timescale 1ns / 1ps
2 | ///////////////////////////////////////////////////////////////////
3 | // Company:
4 | // Engineer:
5 | //
6 | // Create Date: 2017/08/28 17:53:04
7 | // Design Name:
8 | // Module Name: user_led
9 | // Project Name:
10 | // Target Devices:
11 | // Tool Versions:
12 | // Description:
13 | //
14 | // Dependencies:
15 | //
16 | // Revision:
17 | // Revision 0.01 - File Created
18 | // Additional Comments:
19 | //
20 | ///////////////////////////////////////////////////////////////////
21 |
```


```
22 | 23 | module user_led
24 |   (
25 |     i_rst_n,
26 |     led
27 |   );
28 |
29 | input i_rst_n;
30 | output [2:0] led;
31 |
32 | wire i_clk;
33 | reg [25:0] cnt;
34 | reg flag;
35 |
36 | design_1_wrapper u1 //将PS部分50M的时钟例化到PL中
37 |   (
38 |     .FCLK_CLK0(i_clk)
39 |   );
40 |
41 |
42 | always@(posedge i_clk or negedge i_rst_n)
43 |     if(i_rst_n==1'b0)
44 |         cnt <= 26'd0;
45 |     else if(cnt==26'd49999999)
46 |         cnt <= 26'd0;
47 |     else
48 |         cnt <= cnt + 1'b1;
49 |
50 | always@(posedge i_clk or negedge i_rst_n)
51 |     if(i_rst_n==1'b0)
52 |         flag <= 1'b0;
53 |     else if(cnt==26'd49999999)
54 |         flag <= ~flag;
55 |
56 | assign led[0] = flag;
57 | assign led[1] = flag;
58 | assign led[2] = flag;
59 |
60 | endmodule
```


2





7







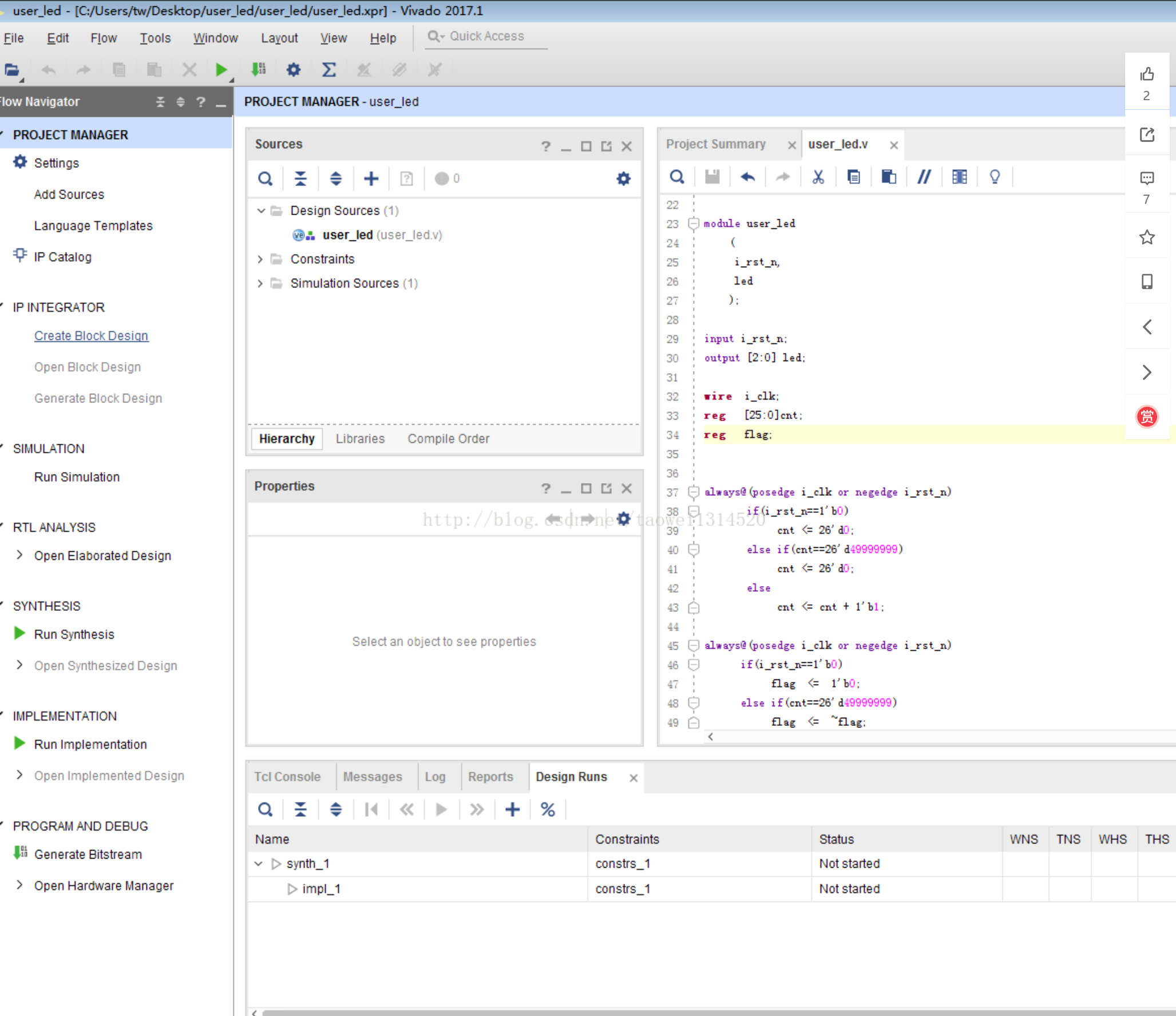




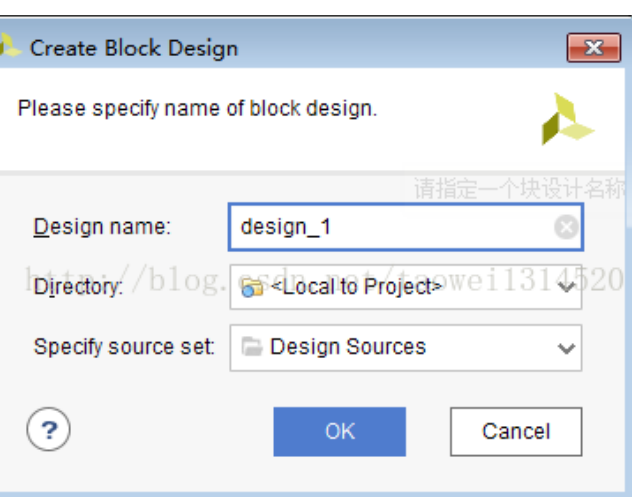
tep2 点击Flow Navigator 下的Create Block Desion新建一个Block Desion



举报



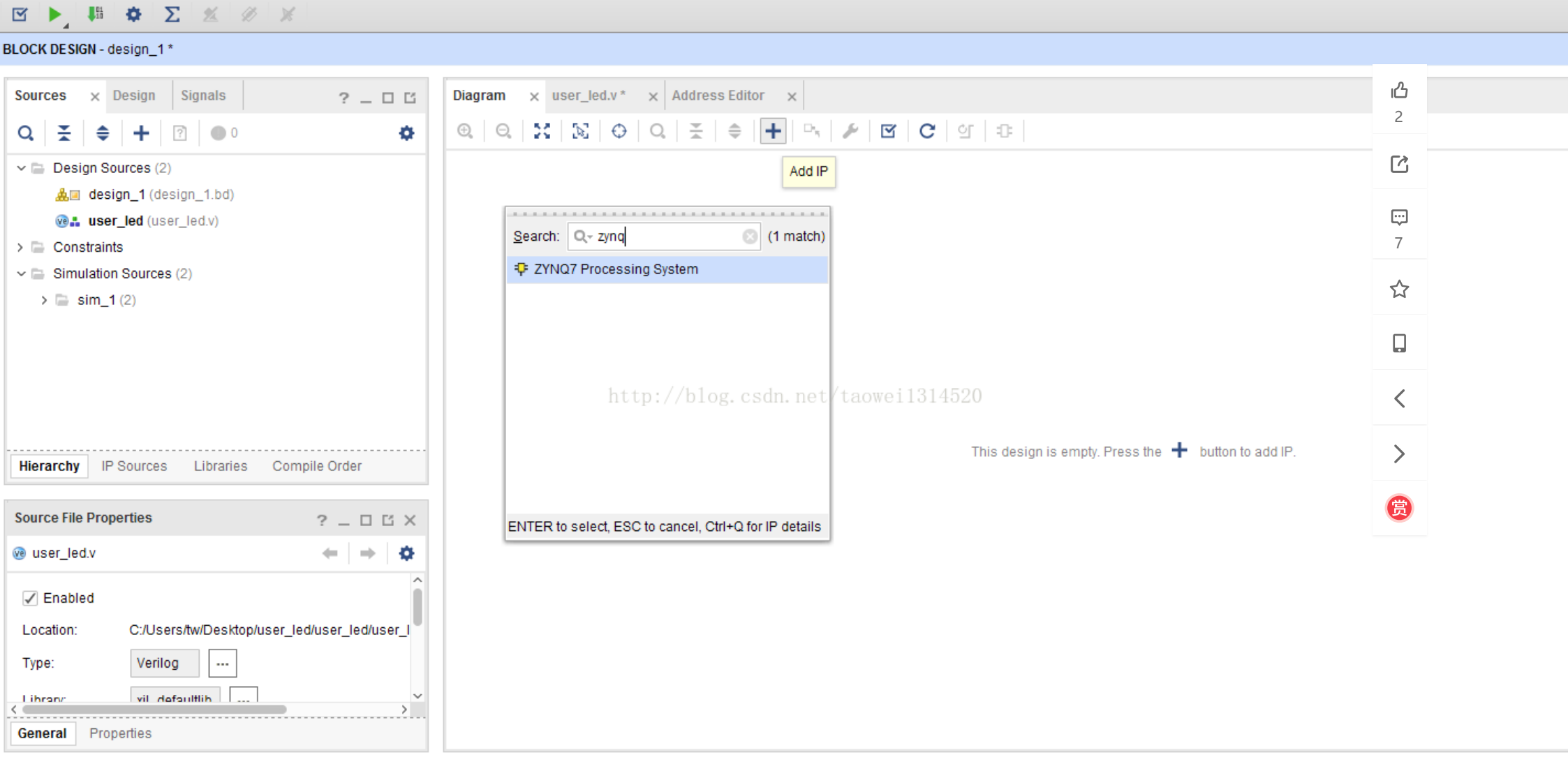
点击OK



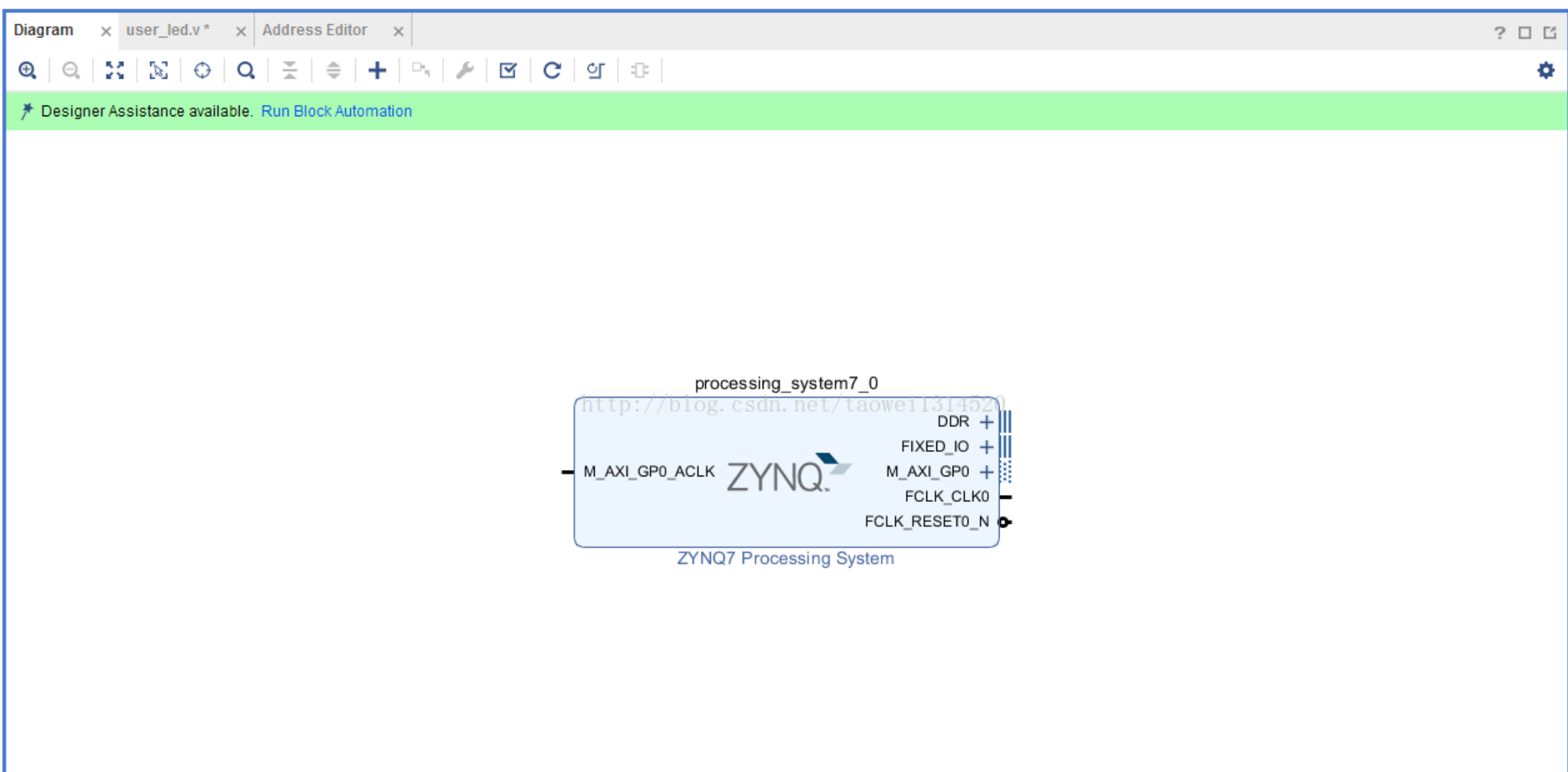
Step 3 点击工作区的Add IP添加IP核，在搜索栏中输入zynq 双击搜索到的ZYNQ核添加工作区内



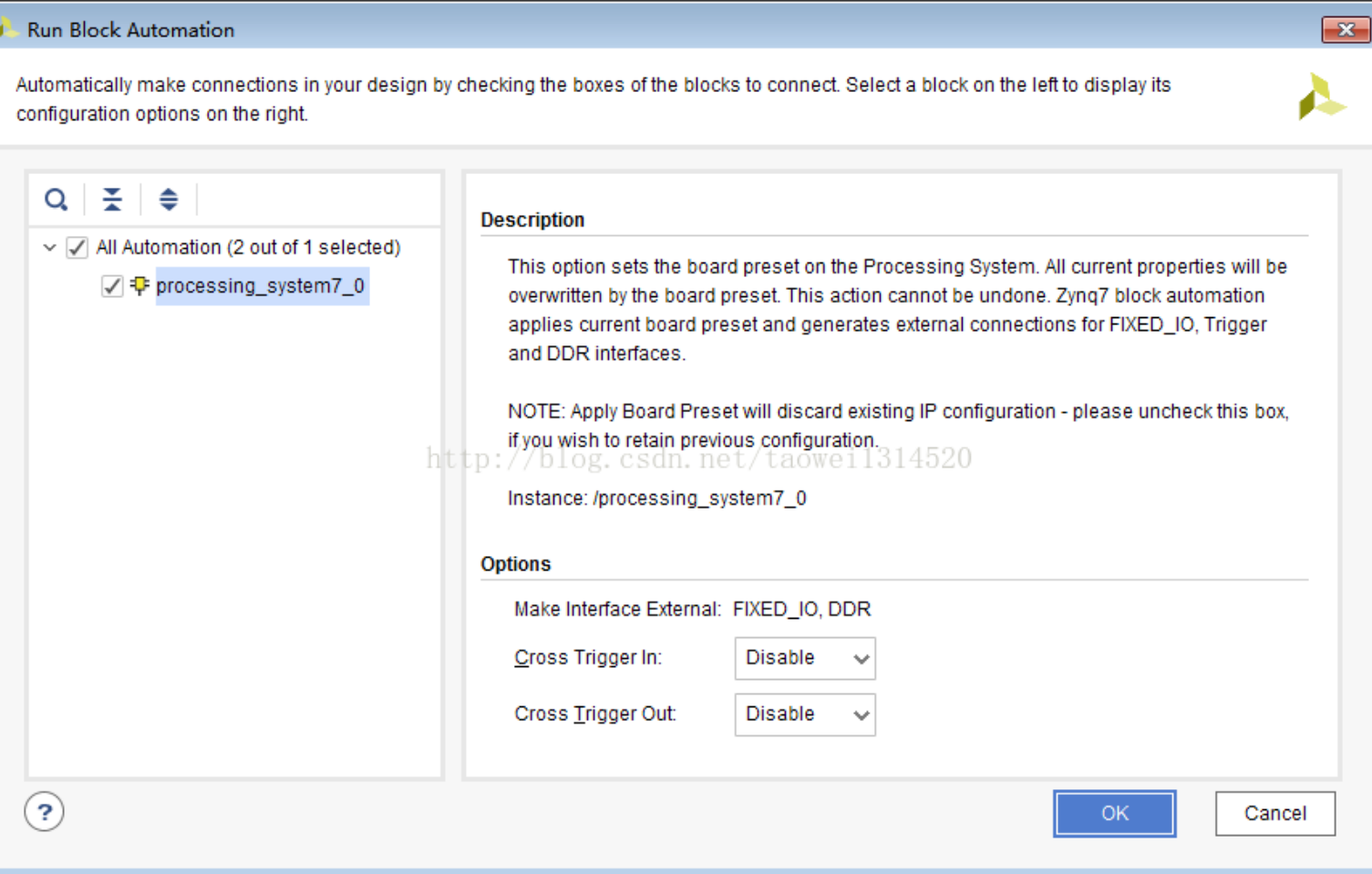
举报



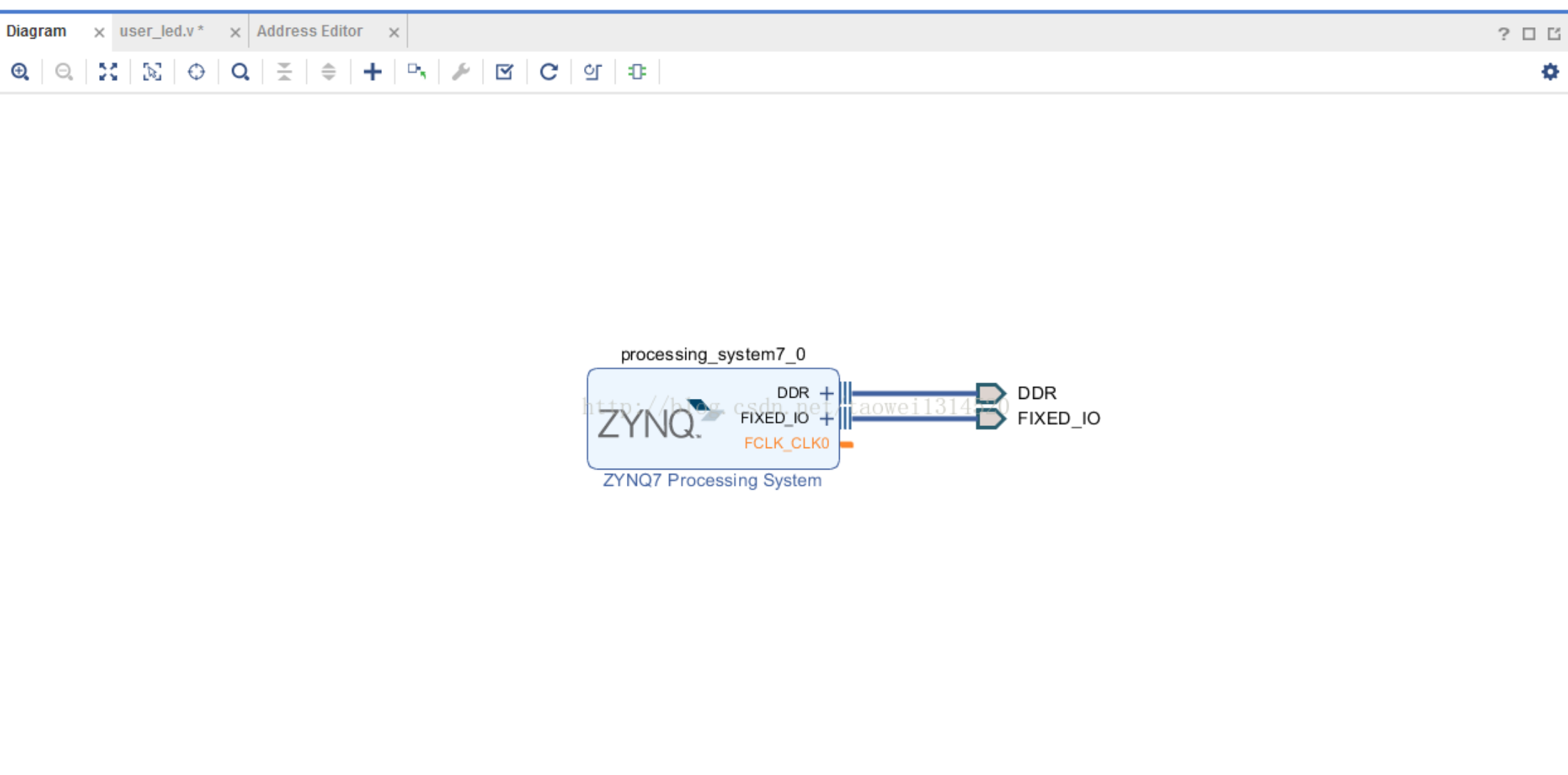
已经添加好的ZYNQ IP核如下图所示



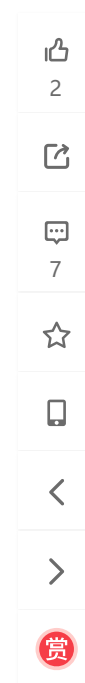
点击ZYNQ 将我提供的工程里的tcl文件添加进来（添加方法这里不再详细说明如不明白请参考前面基础教程）

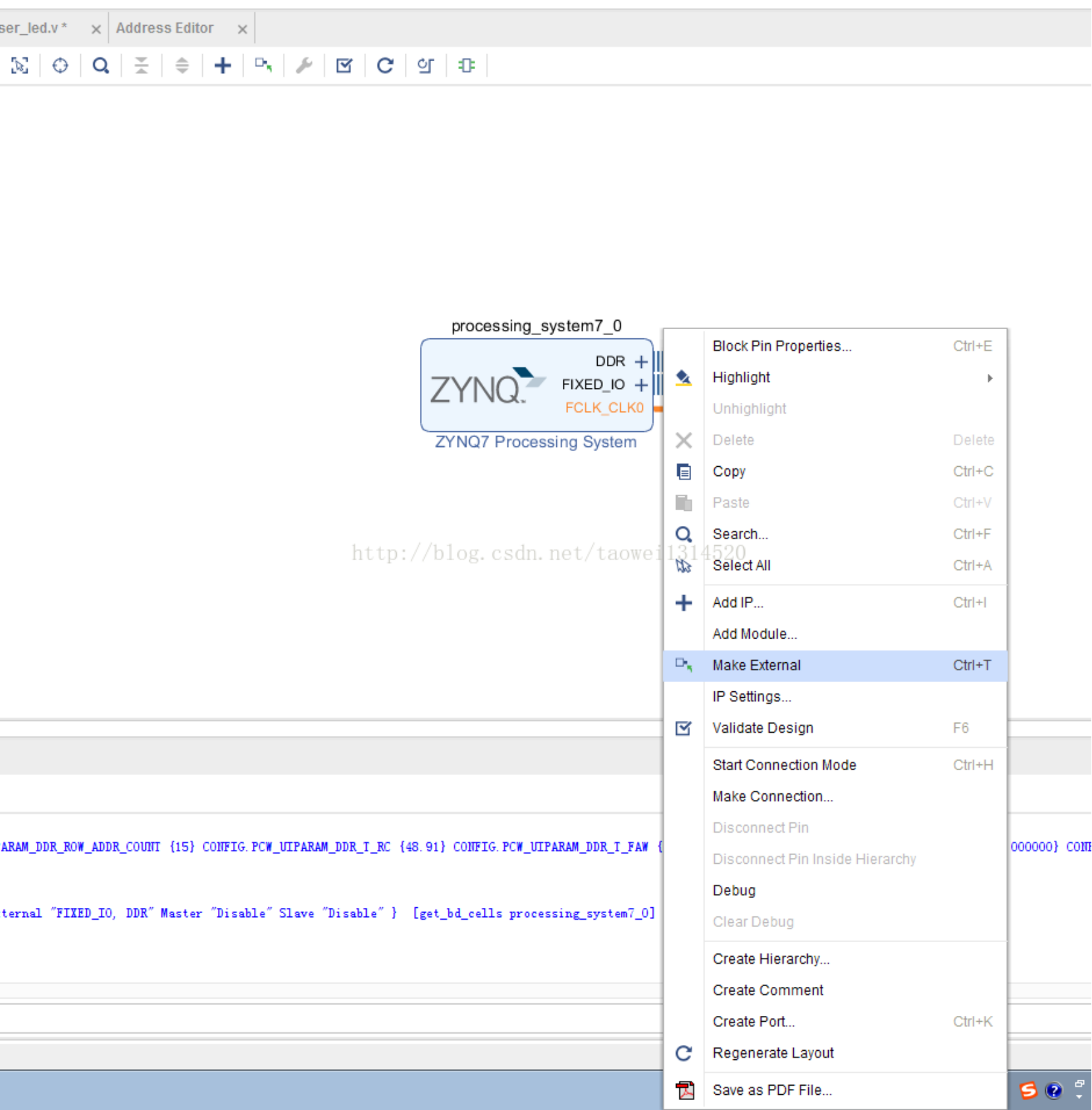


动布线后如下图所示

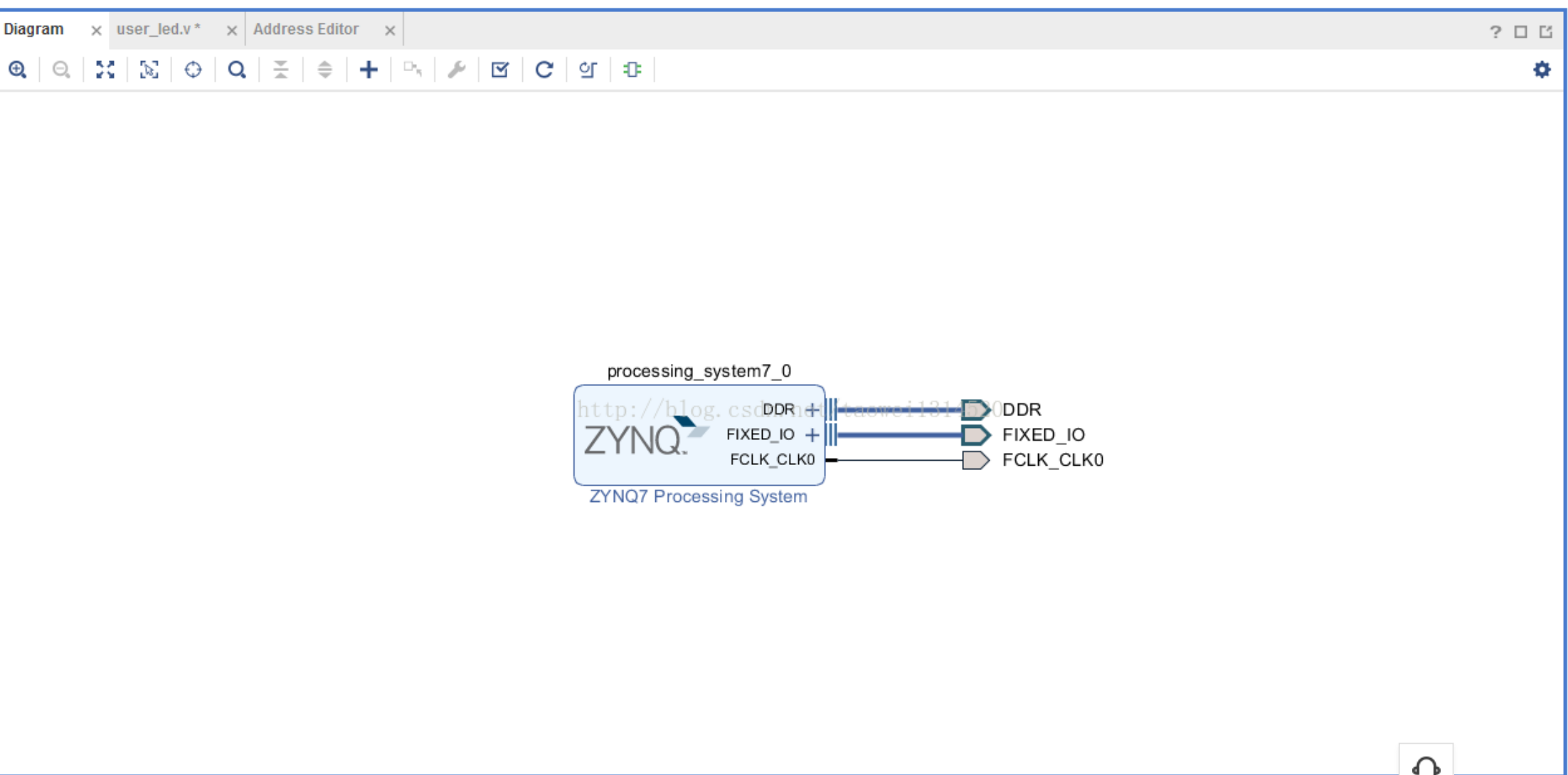


在FCLK_CLK0上右击-->Make Ecternal将FCLK管脚引出来

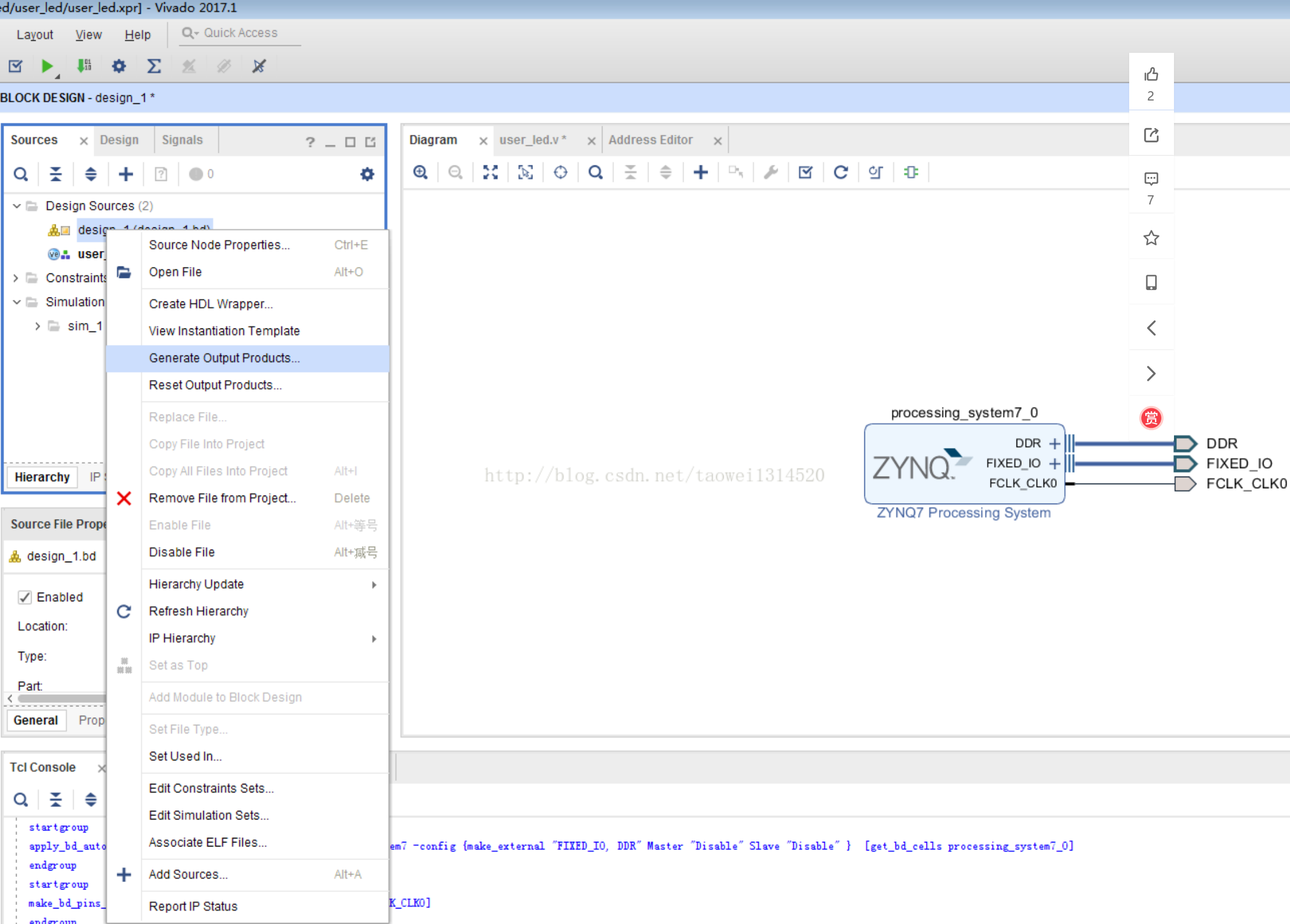




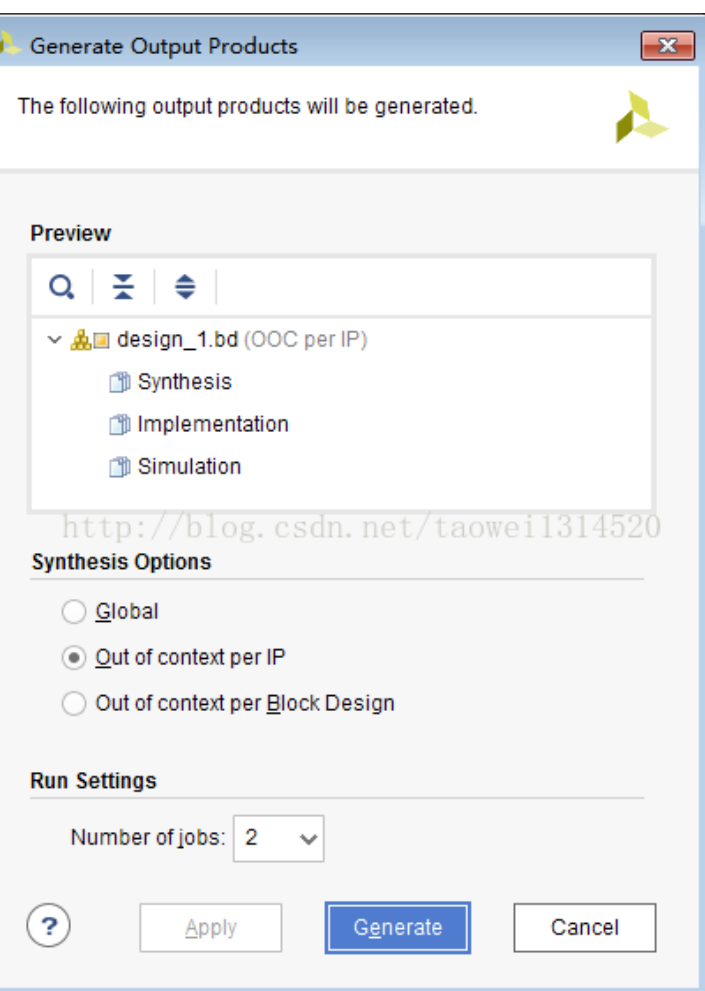
所有管脚添加完成如下图所示



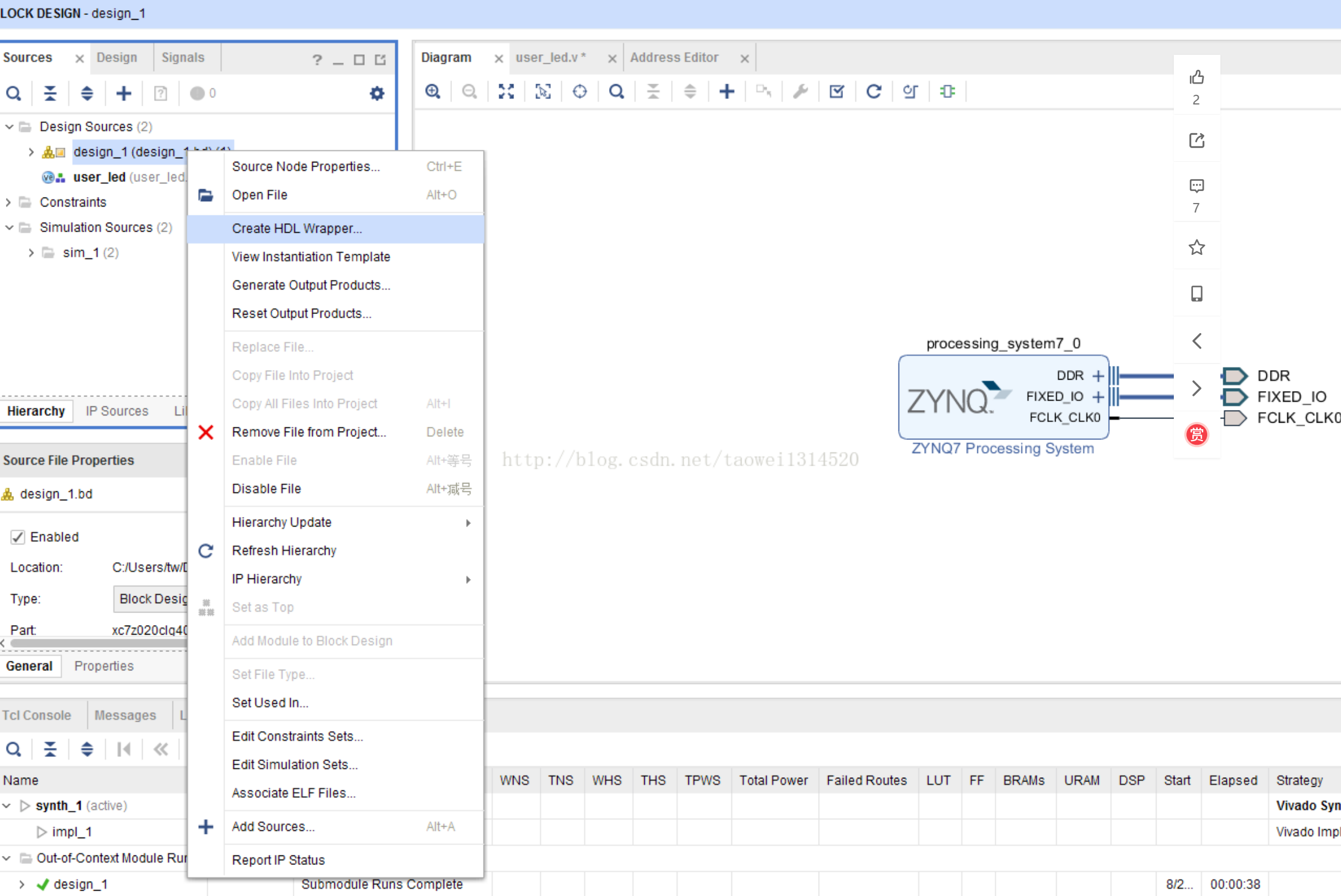
step4 右击 design_1->Generate Output Products 生成综合文件



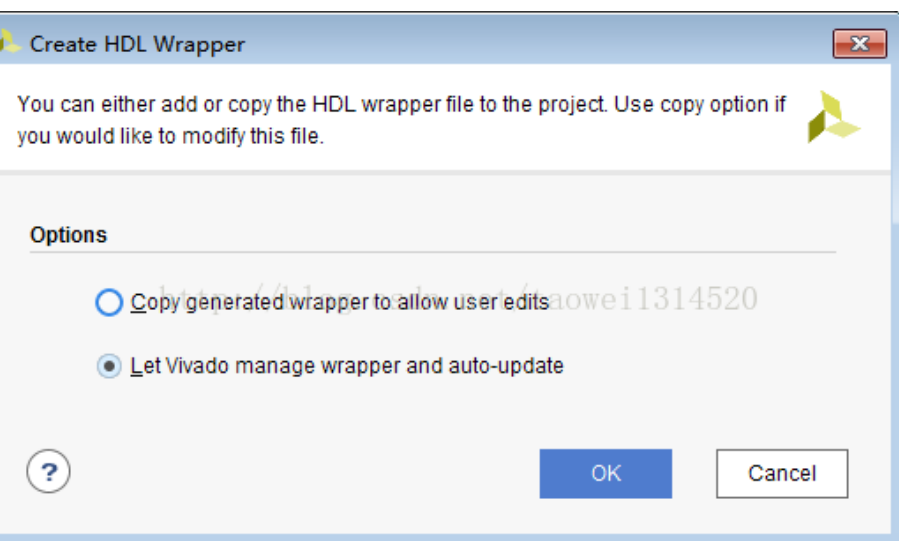
弹出的对话框中点击Generate



step5 右击 design_1->Create HDL Wrapper 生成顶层文件



弹出的对话框中点击OK



顶层文件生成后如下图所示

Sources Design Signals ? _ □ □

Q [Icons] 0

Design Sources (2)

- design_1_wrapper (design_1_wrapper.v) (1)
 - user_led (user_led.v)
- Constraints
- Simulation Sources (2)
 - sim_1 (2)

Hierarchy IP Sources Libraries Compile Order

Source File Properties ? _ □ □ ×

design_1.bd

Enabled

Location: C:/Users/tw/Desktop/user_led/user_led/user_

Type: Block Designs

Part: xc7z020clq400-1

General Properties

Tcl Console Messages Log Reports Design Runs

Diagram user_led.v * Address Editor

Q [Icons]

http://blog.csdn.net/taowei1314520

processing_system7_0

ZYNQ ZYNQ7 Processing System

DDR +
FIXED_IO +
FCLK_CLK0

DDR
FIXED_IO
FCLK_CLK0

赏

成的顶层.v文件

Sources ? _ □ □ ×

Q [Icons] 0

Design Sources (2)

- design_1_wrapper (design_1_wrapper.v) (1)
 - user_led (user_led.v)
- Constraints (1)
- Simulation Sources (2)

Hierarchy IP Sources Libraries Compile Order

Source File Properties ? _ □ □ ×

design_1_wrapper.v

Enabled

Location: C:/Users/tw/Desktop/user_led/user_led/user_

Type: Verilog

Library: xil_defaultlib

Size: 2.6 KB

General Properties

Tcl Console Messages Log Reports Design Runs

Q [Icons] %


Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Failed Routes	LUT	FF	BRAMs	URAM	DSP	Start	Ela
synth_1	constrs_1	Synthesis Out-of-date								47	27	0.00	0	0	9/6/17 10:42 AM	00
impl_1	constrs_1	Implementation Out-of-date	15....	0.0...	0.338	0.0...	0.000	1.674	0	22	27	0.00	0	0	9/6/17 10:43 AM	00
Out-of-Context Module Runs																
design_1		Using cached IP results														


```
1 //Copyright 1986-2017 Xilinx, Inc. All Rights Reserved.
2 //-----
3 //Tool Version: Vivado v.2017.1 (win64) Build 1846317 Fri Apr 14 18:55:03 MDT 2017
4 //Date       : Wed Aug 30 19:32:29 2017
```





举报


```
7 //Design      : design_1_wrapper
8 //Purpose     : IP block netlist
9 //-----
10 `timescale 1 ps / 1 ps
11
12 module design_1_wrapper
13     (DDR_addr,
14      DDR_ba,
15      DDR_cas_n,
16      DDR_ck_n,
17      DDR_ck_p,
18      DDR_cke,
19      DDR_cs_n,
20      DDR_dm,
21      DDR_dq,
22      DDR_dqs_n,
23      DDR_dqs_p,
24      DDR_odt,
25      DDR_ras_n,
26      DDR_reset_n,
27      DDR_we_n,
28      FCLK_CLK0,
29      FIXED_IO_dds_vrn,
30      FIXED_IO_dds_vrp,
31      FIXED_IO_mio,
32      FIXED_IO_ps_clk,
33      FIXED_IO_ps_porb,
34      FIXED_IO_ps_srstb);
35     inout [14:0]DDR_addr;
36     inout [2:0]DDR_ba;
37     inout DDR_cas_n;
38     inout DDR_ck_n;
39     inout DDR_ck_p;
40     inout DDR_cke;
41     inout DDR_cs_n;
42     inout [3:0]DDR_dm;
43     inout [31:0]DDR_dq;
44     inout [3:0]DDR_dqs_n;
45     inout [3:0]DDR_dqs_p;
46     inout DDR_odt;
47     inout DDR_ras_n;
48     inout DDR_reset_n;
49     inout DDR_we_n;
50     output FCLK_CLK0;
51     inout FIXED_IO_dds_vrn;
52     inout FIXED_IO_dds_vrp;
53     inout [53:0]FIXED_IO_mio;
54     inout FIXED_IO_ps_clk;
55     inout FIXED_IO_ps_porb;
56     inout FIXED_IO_ps_srstb;
57
58     wire [14:0]DDR_addr;
59     wire [2:0]DDR_ba;
60     wire DDR_cas_n;
61     wire DDR_ck_n;
62     wire DDR_ck_p;
63     wire DDR_cke;
64     wire DDR_cs_n;
65     wire [3:0]DDR_dm;
66     wire [31:0]DDR_dq;
67     wire [3:0]DDR_dqs_n;
68     wire [3:0]DDR_dqs_p;
69     wire DDR_odt;
70     wire DDR_ras_n;
71     wire DDR_reset_n;
72     wire DDR_we_n;
73     wire FCLK_CLK0;
74     wire FIXED_IO_dds_vrn;
75     wire FIXED_IO_dds_vrp;
76     wire [53:0]FIXED_IO_mio;
77     wire FIXED_IO_ps_clk;
78     wire FIXED_IO_ps_porb;
79     wire FIXED_IO_ps_srstb;
80
81     design_1 design_1_i
82         (.DDR_addr(DDR_addr),
83          .DDR_ba(DDR_ba),
84          .DDR_cas_n(DDR_cas_n),
85          .DDR_ck_n(DDR_ck_n),
86          .DDR_ck_p(DDR_ck_p),
```


2





7













举报

user_led - [C:/Users/tw/Desktop/user_led/user_led/user_led.xpr] - Vivado 2017.1

File Edit Flow Tools Window Layout View Help Quick Access

Flow Navigator

PROJECT MANAGER - user_led

Sources

- Design Sources (2)
 - design_1_wrapper (design_1_wrapper.v) (1)
 - user_led (user_led.v)
- Constraints (1)
 - constrs_1 (1)
 - user_led.xdc (target)
- Simulation Sources (2)

Hierarchy IP Sources Libraries Compile Order

Source File Properties

user_led.xdc

Enabled

Location: C:/Users/tw/Desktop/user_led/user_led/user_led.xdc

Type: XDC

Size: 0.4 KB

Modified: Today at 10:18:39 AM

General Properties

Project Summary

user_led.v * user_led.xdc

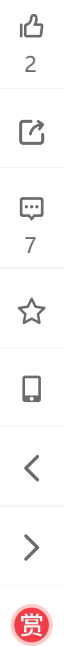
```
1 set_property PACKAGE_PIN R14 [get_ports {led[0]}]
2 set_property PACKAGE_PIN Y16 [get_ports {led[1]}]
3 set_property PACKAGE_PIN Y17 [get_ports {led[2]}]
4 set_property PACKAGE_PIN T11 [get_ports i_rst_n]
5 set_property IOSTANDARD LVCMOS33 [get_ports {led[2]}]
6 set_property IOSTANDARD LVCMOS33 [get_ports {led[1]}]
7 set_property IOSTANDARD LVCMOS33 [get_ports {led[0]}]
8 set_property IOSTANDARD LVCMOS33 [get_ports i_rst_n]
9
```

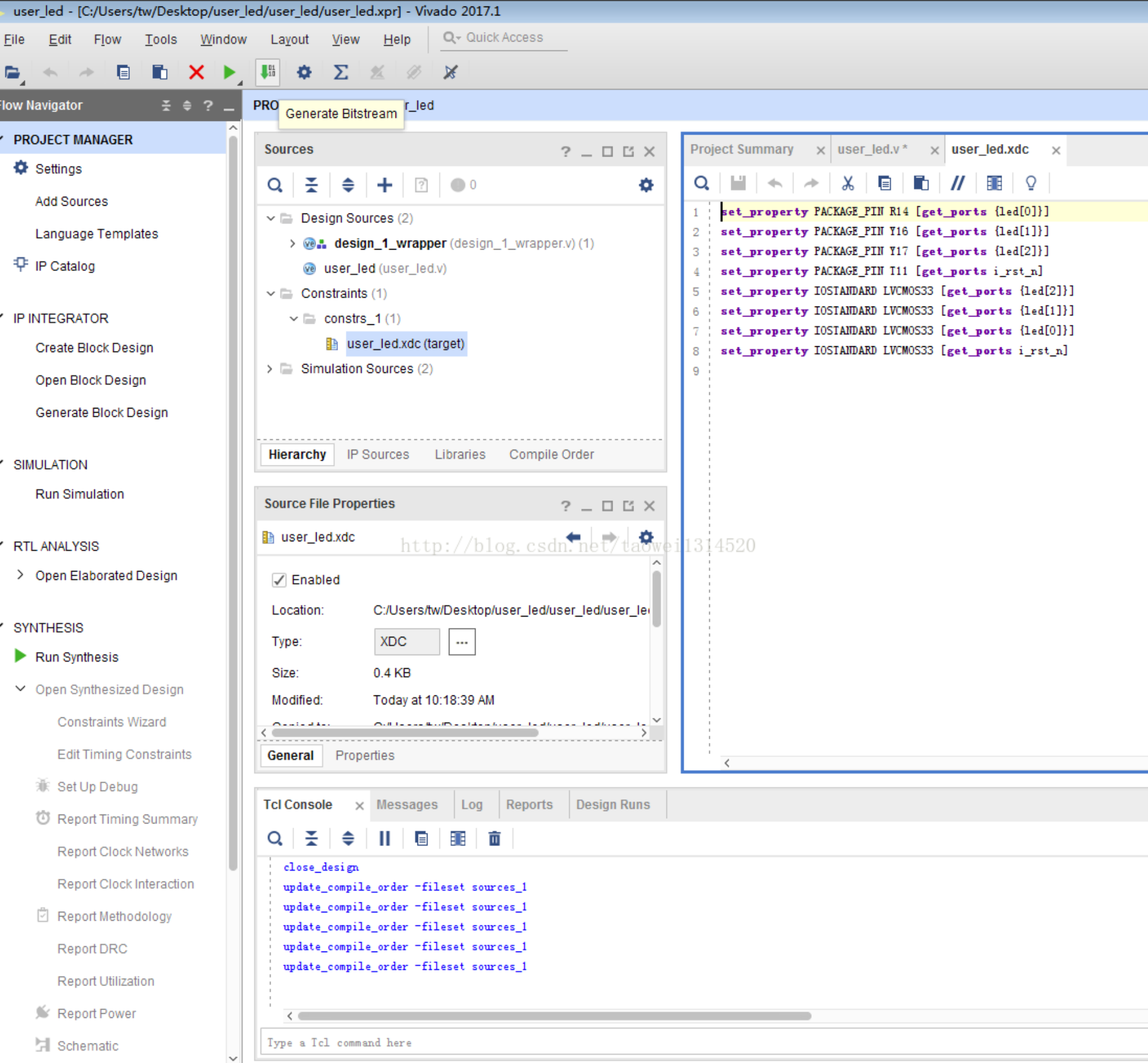
Tcl Console

```
set_property target_constrs_file C:/Users/tw/Desktop/user_led/user_led/user_led.srcs/constrs_1/new/user_led.xdc [current_filesset -constrset]
save_constraints -force
reset_run synth_1
close_design
update_compile_order -filesset sources_1
update_compile_order -filesset sources_1
```

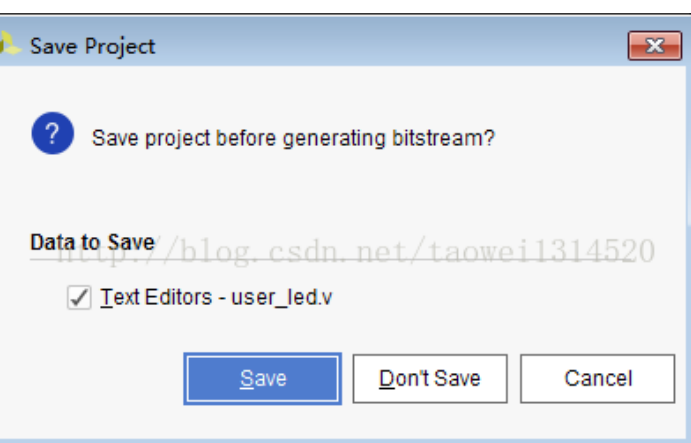
```
1 set_property PACKAGE_PIN R14 [get_ports {led[0]}]
2 set_property PACKAGE_PIN Y16 [get_ports {led[1]}]
3 set_property PACKAGE_PIN Y17 [get_ports {led[2]}]
4 set_property PACKAGE_PIN T11 [get_ports i_rst_n]
5 set_property IOSTANDARD LVCMOS33 [get_ports {led[2]}]
6 set_property IOSTANDARD LVCMOS33 [get_ports {led[1]}]
7 set_property IOSTANDARD LVCMOS33 [get_ports {led[0]}]
8 set_property IOSTANDARD LVCMOS33 [get_ports i_rst_n]
```

Step 7: Click Generate Bitstream to produce bit file

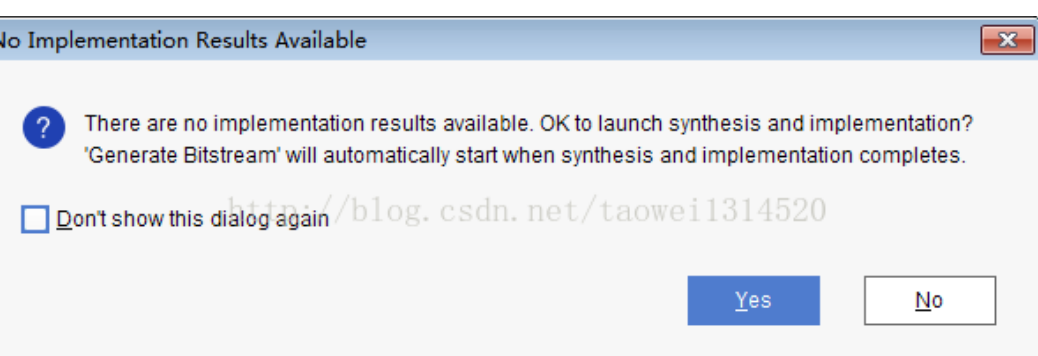




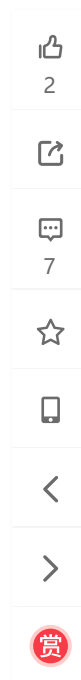
点击save

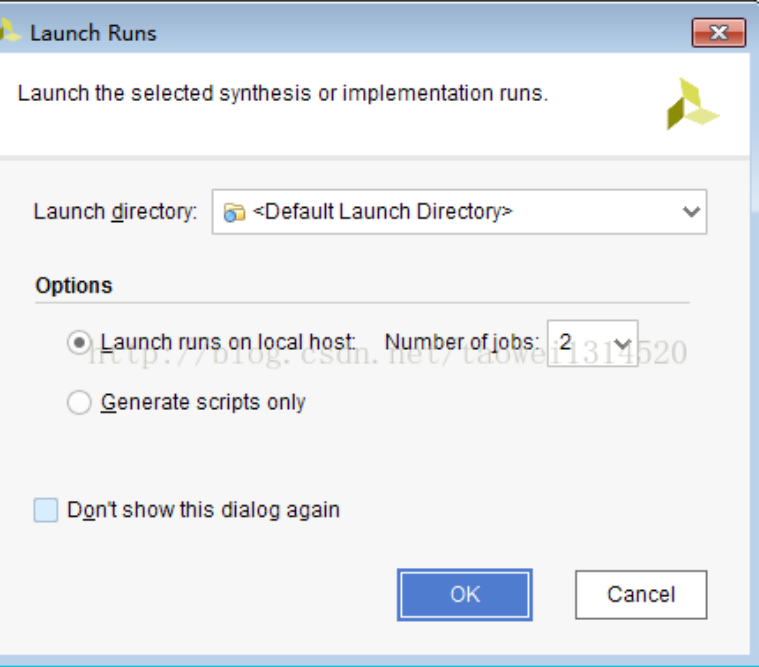


点击Yes

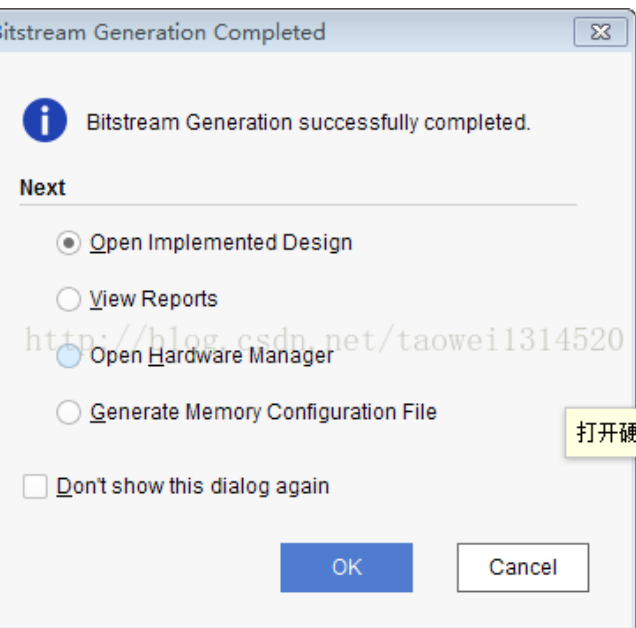


点击OK

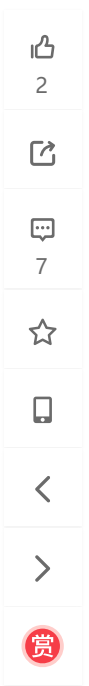


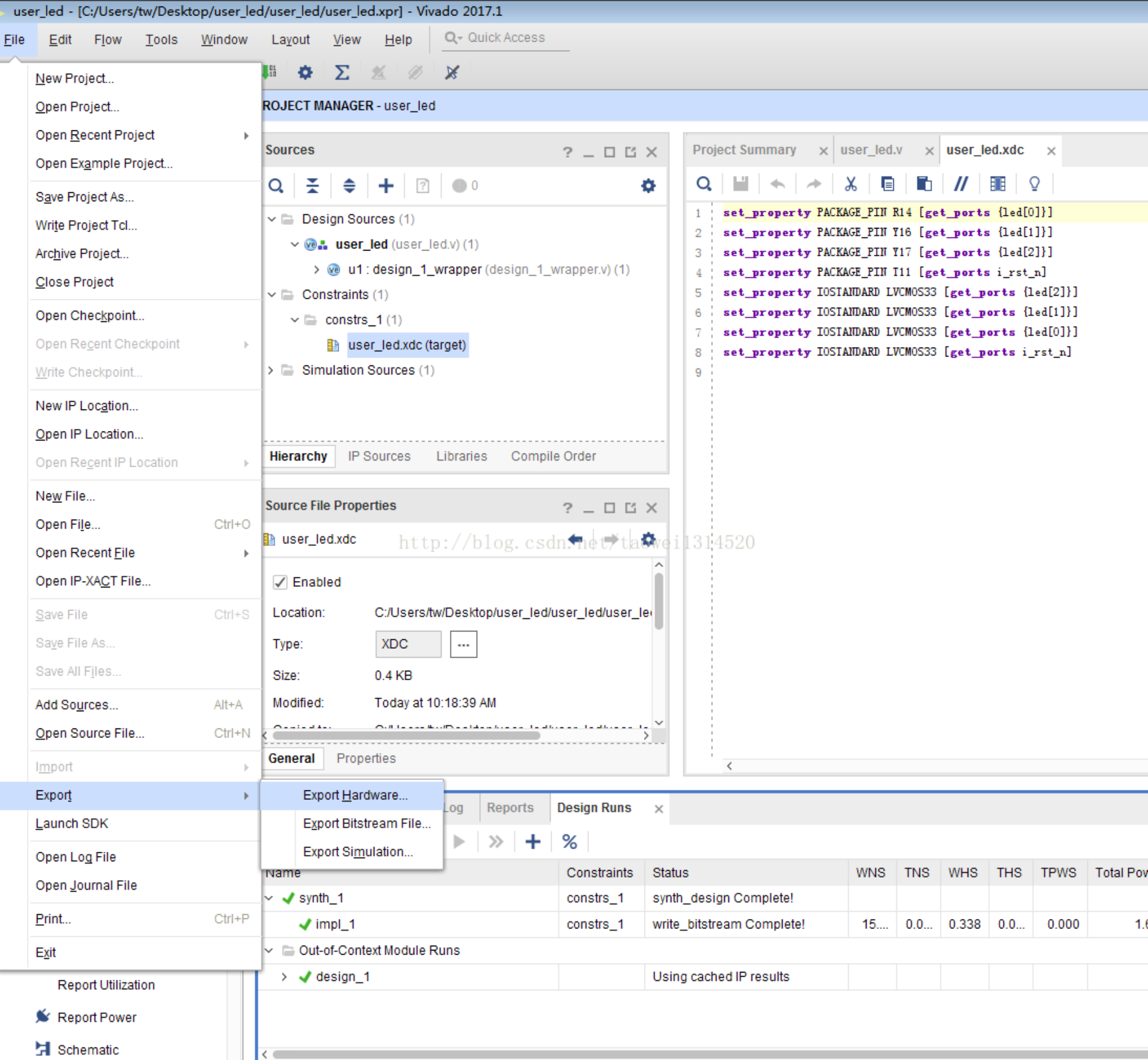


弹出的对话框中可以看出bit文件生成成功， 点击Cancel关闭对话框

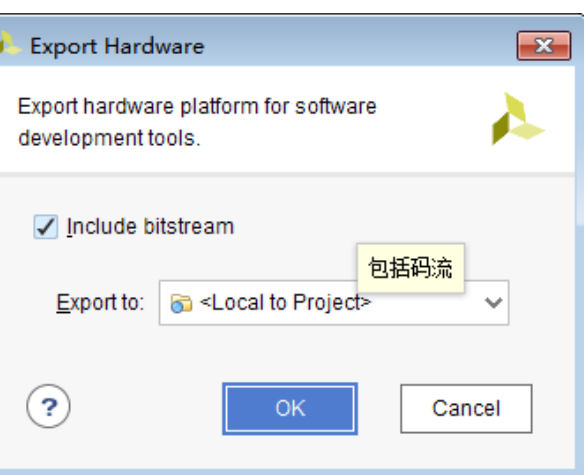


step8 点击菜单栏上的 File->Export->Export Hardware 导出硬件配置文件





弹出的对话框中勾选Include bitstream，然后点击OK



Step9 点击菜单栏上的 File->Launch SDK->OK启动SDK



user_led - [C:/Users/tw/Desktop/user_led/user_led/user_led.xpr] - Vivado 2017.1

File Edit Flow Tools Window Layout View Help Quick Access

New Project...
Open Project...
Open Recent Project
Open Example Project...
Save Project As...
Write Project Tcl...
Archive Project...
Close Project
Open Checkpoint...
Open Recent Checkpoint
Write Checkpoint...
New IP Location...
Open IP Location...
Open Recent IP Location
New File...
Open File... Ctrl+O
Open Recent File
Open IP-XACT File...
Save File Ctrl+S
Save File As...
Save All Files...
Add Sources... Alt+A
Open Source File... Ctrl+N
Import
Export
Launch SDK
Open Log File
Open Journal File
Print... Ctrl+P
Exit
Report Utilization
Report Power
Schematic

PROJECT MANAGER - user_led

Sources

- Design Sources (1)
 - user_led (user_led.v) (1)
 - u1: design_1_wrapper (design_1_wrapper.v) (1)
- Constraints (1)
 - constrs_1 (1)
 - user_led.xdc (target)
- Simulation Sources (1)

Hierarchy IP Sources Libraries Compile Order

Source File Properties

user_led.xdc

Enabled

Location: C:/Users/tw/Desktop/user_led/user_led/user_led

Type: XDC

Size: 0.4 KB

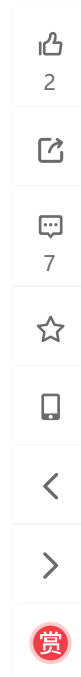
Modified: Today at 10:18:39 AM

General Properties

Tcl Console Messages Log Reports Design Runs

Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total
synth_1	constrs_1	synth_design Complete!						
impl_1	constrs_1	write_bitstream Complete!	15....	0.0...	0.338	0.0...	0.000	
Out-of-Context Module Runs								
design_1		Using cached IP results						

step10 在打开的SDK点击菜单栏上的 File->New->Application Project新建一个fsbl



user_led.sdk - C/C++ - user_led_hw_platform_0/system.hdf - Xilinx SDK

FileEditNavigateSearchProjectRunXilinx ToolsWindowHelp

Project Explorer

user_led_hw_platform_0

ps7_init_gpl.c

ps7_init_gpl.h

ps7_init.c

ps7_init.h

ps7_init.html

ps7_init.tcl

system.hdf

user_led.bit

system.hdf

user_led_hw_platform_0 Hardware Platform Specification

Design Information

Target FPGA Device: 7z020
Part: xc7z020clg400-1
Created With: Vivado 2017.1
Created On: Wed Aug 30 19:32:44 2017

Address Map for processor ps7_cortexa9_0-1

Cell	Base Addr	High Addr	Slave I/f	Mem/Reg
ps7_intc_dist_0	0xf8f01000	0xf8f01fff		REGISTER
ps7_scutimer_0	0xf8f00600	0xf8f0061f		REGISTER
ps7_slcr_0	0xf8000000	0xf8000fff		REGISTER
ps7_scuwdt_0	0xf8f00620	0xf8f006ff		REGISTER
ps7_l2cachec_0	0xf8f02000	0xf8f02fff		REGISTER
ps7_scuc_0	0xf8f00000	0xf8f000fc		REGISTER
ps7_pmu_0	0xf8893000	0xf8893fff		REGISTER
ps7_afi_1	0xf8009000	0xf8009fff		REGISTER
ps7_afi_0	0xf8008000	0xf8008fff		REGISTER
ps7_afi_3	0xf800b000	0xf800bfff		REGISTER
ps7_afi_2	0xf800a000	0xf800afff		REGISTER
ps7_globaltimer_0	0xf8f00200	0xf8f002ff		REGISTER
ps7_dma_s	0xf8003000	0xf8003fff		REGISTER
ps7_iop_bus_config_0	0xe0200000	0xe0200fff		REGISTER
ps7_xadc_0	0xf8007100	0xf8007120		REGISTER
ps7_dds_0	0x00100000	0x3fffffff		MEMORY
ps7_ddrc_0	0xf8006000	0xf8006fff		REGISTER
ps7_ocmc_0	0xf800c000	0xf800cfff		REGISTER
ps7_pl310_0	0xf8f02000	0xf8f02fff		REGISTER

Target Connections

Hardware Server

Linux TCF Agent

QEMU TcfGdbClient

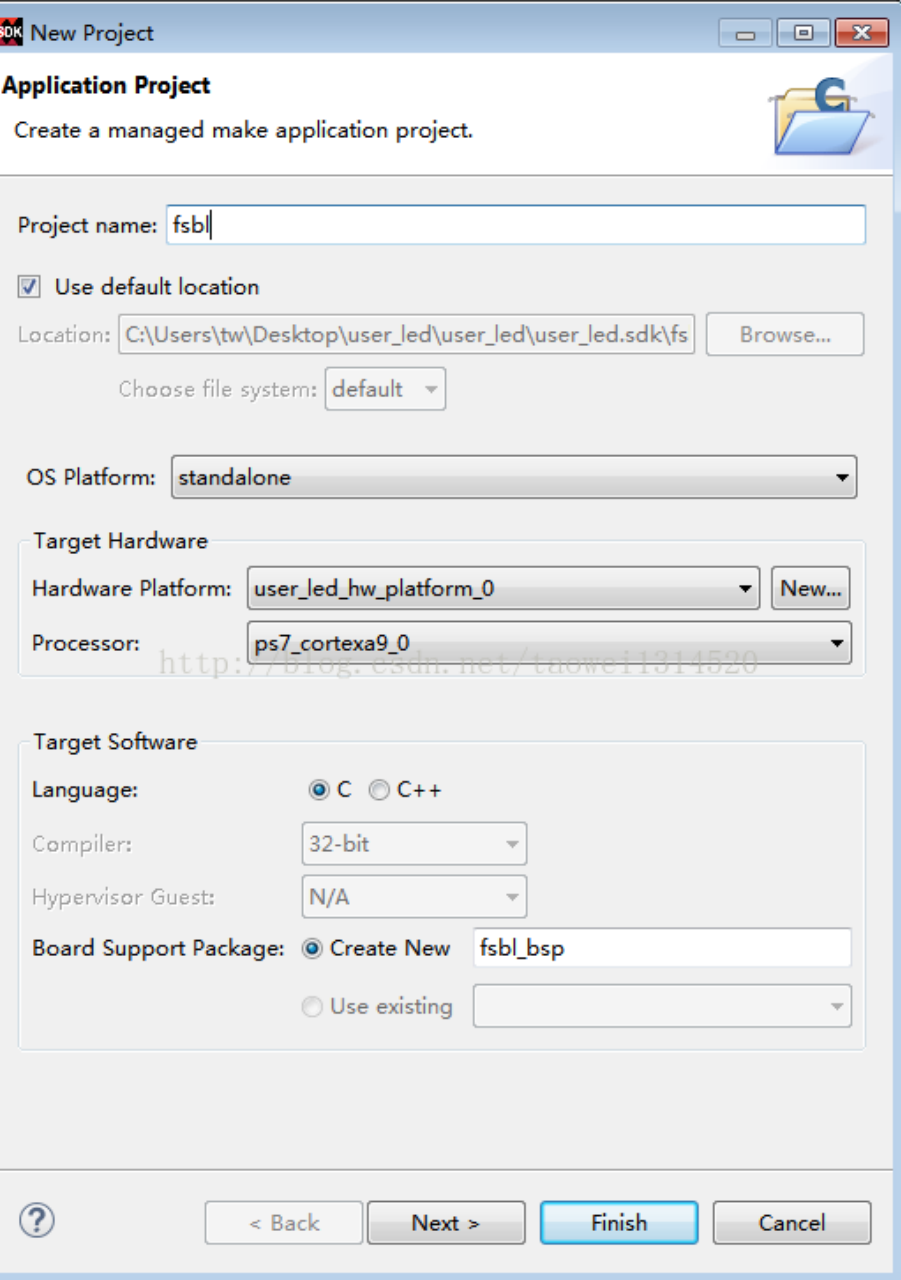
Overview

ProblemsTasksConsolePropertiesSDK Terminal

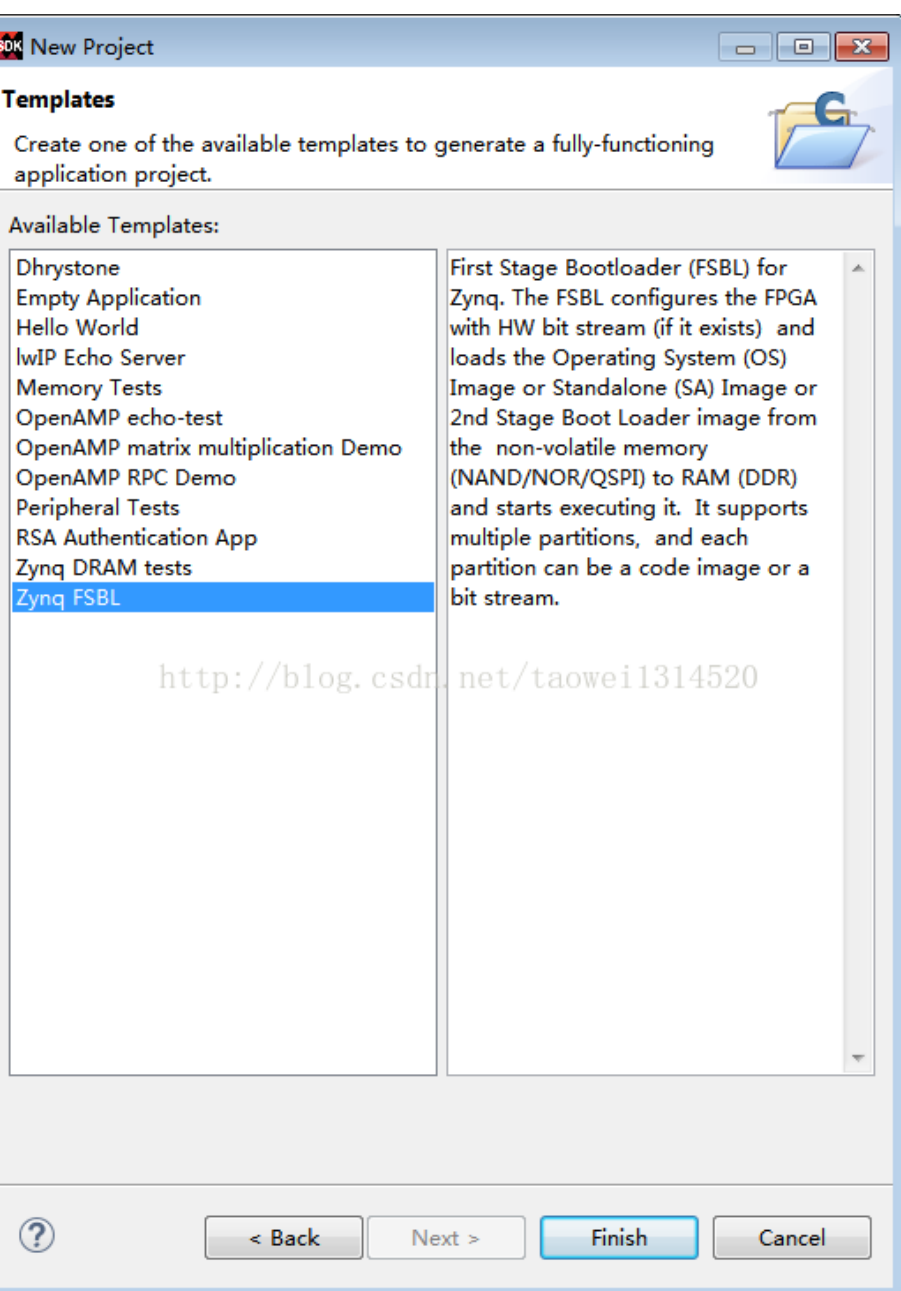
0 items

Description	Resource	Path	Location	Type
-------------	----------	------	----------	------

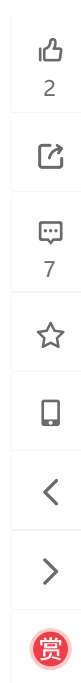
弹出的对话框中填写fsbl



在工程模板中选择Zynq FSBL



新建好的fsbl如下图所示



user_led.sdk - C/C++ - fsbl_bsp/system.mss - Xilinx SDK

File Edit Navigate Search Project Run Xilinx Tools Window Help

Project Explorer

- fsbl
- fsbl_bsp
- user_led_hw_platform_0

system.hdf system.mss

fsbl_bsp Board Support Package

[Modify this BSP's Settings](#) [Re-generate BSP Sources](#)

Target Information

This Board Support Package is compiled to run on the following target.

Hardware Specification: C:\Users\tw\Desktop\user_led\user_led\user_led.sdk\user_led_hw_platform_0\system.hdf
Target Processor: ps7_cortexa9_0

Operating System

Board Support Package OS.

Name: standalone
Version: 6.2
Description: Standalone is a simple, low-level software layer. It provides access to basic processor features of a hosted environment, such as standard input and output, profiling, abort and
Documentation: [standalone v6.2](#)

Peripheral Drivers

Drivers present in the Board Support Package:

- ps7_afi_0 generic [Documentation](#)
- ps7_afi_1 generic [Documentation](#)
- ps7_afi_2 generic [Documentation](#)
- ps7_afi_3 generic [Documentation](#)
- ps7_coresight_comp_0 coresightps_dcc [Documentation](#)
- ps7_ddr_0 ddrps [Documentation](#)
- ps7_ddrc_0 generic [Documentation](#)
- ps7_dev_cfg_0 devcfg [Documentation](#) [Import Examples](#)
- ps7_dma_ns dmaps [Documentation](#) [Import Examples](#)
- ps7_dma_s dmaps [Documentation](#) [Import Examples](#)

Overview Source

Target Connections

- Hardware Server
- Linux TCF Agent
- QEMU TcfGdbClient

Problems Tasks Console Properties SDK Terminal

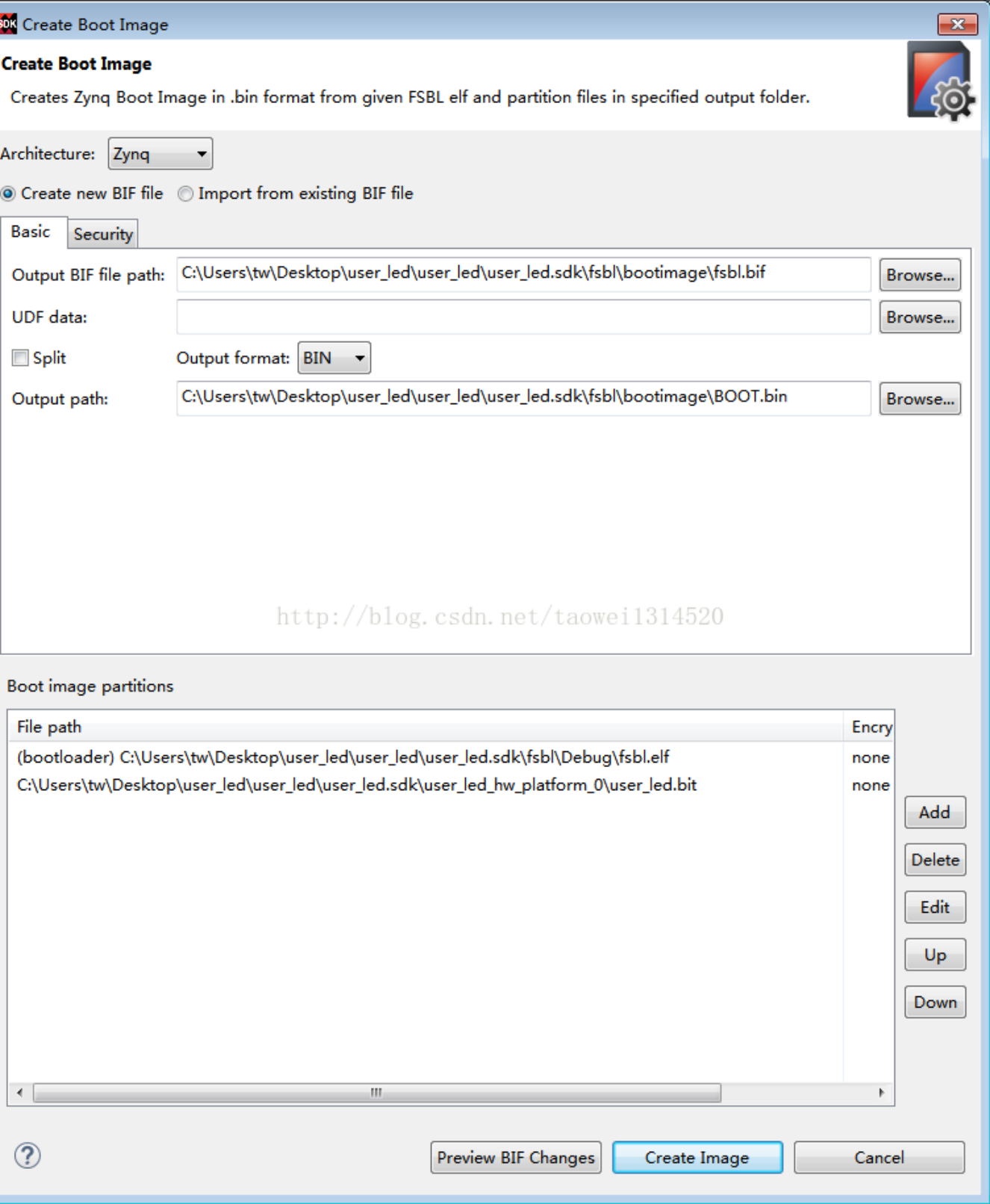
0 errors, 3 warnings, 1 other


Description	Resource	Path	Location	Type
Warnings (3 items)				
Infos (1 item)				


step11 右击 fsbl->Create boot Image, 生成BOOT.bin启动文件





举报





2





7












连接：<http://pan.baidu.com/s/1hsQovli> 密码：mply

 点赞 2  收藏  分享 ...




虚无缥缈vs威武

发布了37 篇原创文章 · 获赞 58 · 访问量 15万+

私信

关注



数据管理


发现称量样品及手工记录数据过程中可能发生的错误

广告 METTLER TOLEDO

 想对作者说点什么

 wangdx093 1个月前

你好，请问如何在design_1_wrapper工程中使用FCLK_CLK0这个时钟信号？直接always@(posedge FCLK_CLK0)吗

 零点巫 9个月前

你好，《MYIR-ZYNQ7000系列...》这系列文章能转载吗？会注明来源（链接）和作者姓名。

 10年踪迹10年心 1年前


你好，我按照你的步骤，这个工程生成bit文件的时候会报warning，[Netlist 29-160] Cannot set property 'iostandard', because the property does not exist for objects of type 'pin'.
[\"c:/huanghao/test_vivado_prj_20180713/project_3_CLK_LED/project_3_CLK_LED.srcs/sources_1/bd/design_1/ip/design_1_processing_system7_0_0/design_1_processing_system7_0_0.xdc\":3


 查看回复(1)


 举报


 查看回复(3)


YNQ1-PL端调用PS端的时钟	阅读数 666	
端调用PS端的时钟对于ZYNQ7系列开发板中，XC7z020CLG400的开发板中，PL端没有独立的时钟供给，如需用...	博文 来自： liuyun600的博客	
zynq学习01 zynq 单独使用PL模块点亮led	阅读数 1975	
于xilinx的ZC706开发板单独使用PL做流水等试验的网上例程几乎是空白，大多数是PS+PL实验。如果是刚开始接...	博文 来自： 坚持	
zynq器件的时钟系统	阅读数 1927	
录前言1.系统PLL介绍2.时钟使用模式（1）正常操作情况：（2）bypass旁路模式：3.时钟分支（Clock Branches...	博文 来自： ye1223的博客	
YNQ7000（ZC7045）时钟配置方法	阅读数 5402	
了将ZYNQ的PS测的两个核运行频率提升到1GHZ，同时正确的配置我的时钟定时器以及时间戳，需要了解ZYNQ...	博文 来自： Deep_l_zh的博客	
zynq PS_PL间通信学习（一）AXI_DMA_LOOP测试	阅读数 5010	
考资料：Xilinx官方参考文档：PG021_axi_dma、UG585_zynq_7000_TRM等AXIDMA开发http://www.fpgadev...	博文 来自： weisili2000_2000...	
YNQ初体验千兆以太网的那些事儿（ps端）	阅读数 727	
里写自定义目录标题欢迎使用Markdown编辑器新的改变功能快捷键合理的创建标题，有助于目录的生成如何改变...	博文 来自： Gemini_Lesl_Z的...	
zynq ps端的调试信息通过PL端串口打印	阅读数 184	
两天发现我在调试的那个板子上的PS端的串口硬件外面没有接，但是PS端调试需要看打印信息呀；作为初学者，在...	博文 来自： 星旭的博客	
zynq PS控制PL端流水灯	阅读数 1188	
见我的工程E:\vivado_program\ps_to_pl_gpio该例程是在ZC706开发板上实现的，在vivado中如下所示：参考ZC...	博文 来自： yanxiaopan的博客	
YIR-ZYNQ7000系列-zturn教程(6)：uart_cycle	阅读数 3194	
发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要实现的功能是能在uart上进行数据的回...	博文 来自： taowei1314520的...	
【Joker的ZYNQ7020】AXI_DMA_PL_PS。	阅读数 450	
件环境：vivado 2017.4 硬件平台：XC7Z020这篇跟上一篇AXI_DMA_LOOP大体框架差不多，差别主要是体现在...	博文 来自： Joker_是小王的博客	
XC706学习笔记(一) - - 使用U-boot启动开发板	阅读数 1843	
在使用开发板之前,先用官方释放的二进制文件测试 https://xilinx-wiki.atlassian.net/wiki/spaces/A/pages/188...	博文 来自： 咸鱼看到猫的博客	
 灵思2019 3篇文章 关注 排名:千里之外	 长弓的坚持 832篇文章 关注 排名:191	 Ye_sea 60篇文章 关注 排名:千里之外
入门到精通，Java学习路线导航（附学习资源）	阅读数 11万+	
言最近也有很多人来向我"请教", 他们大都是一些刚入门的新手，还不了解这个行业，也不知道从何学起，开始的...	博文 来自： java_sha的博客	
-Turn-Lite Board Linux开发-u-boot开篇	阅读数 323	
-Turn-Lite Board 光盘中提供的软件资源：FSBL代码分析（该段转载至http://www.openhw.org/module/forum/...	博文 来自： asmartkiller的博客	
python 基础（一）：入门必备知识	阅读数 15万+	
python 入门必备知识，你都掌握了么？	博文 来自： 程序之间	
YIR-ZYNQ7000系列-zturn教程(7)：pl_int	阅读数 1046	
发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要功能是使用拨码开关U20的三个开关来...	博文 来自： taowei1314520的...	
YIR-ZYNQ7000系列-zturn教程(2)：Hello_World	阅读数 3875	
发板环境：vivado 2017.1，开发板型号xc7z020clg400-1（工程末尾提供了工程源代码大家可以去网盘下载）ste...	博文 来自： taowei1314520的...	
YIR-ZYNQ7000系列-zturn教程(9)：将bit文件固化到QSPI_Flash	阅读数 4058	
发板环境：vivado 2017.1，开发板型号xc7z020clg400-1。我们用FPGA最后生成的是二进制bit文件，bit文件下...	博文 来自： taowei1314520的...	
2中ZYNQ的PS控制PL端LED	阅读数 752	
一个ZYNQ的实验，用于熟悉开发环境和板卡，通过GPIO控制LED，由于P2在ps端没有LED，所以需要通过axi总...	博文 来自： weixin_39813867...	
第十一章 ZYNQ-MIZ701 PS读写PL端BRAM	阅读数 124	
篇文章目的是使用Block Memory进行PS和PL的数据交互或者数据共享，通过zynq PS端的Master GP0端口向BR...	博文 来自： weixin_30300523...	
YIR-ZYNQ7000系列-zturn教程(14)：在PL中使用ILA进行调试	阅读数 976	
发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要是用ILA观测FPGA输出管脚的波形链接...	博文 来自： taowei1314520的...	


2





7













举报

YIR-ZYNQ7000系列-zturn教程(26)：自定义axi_lite IP点亮LED灯			阅读数 173
发板环境：vivado 2017.4，开发板型号xc7z020clg400-1，这个工程主要功能是自定义一个axi_lite IP然后在SDK...	博文	来自：taowei1314520的...	
ava工作4年来应聘要16K最后没要,细节如下。。。			阅读数 7万+
奏：今天2B哥和大家分享一位前几天面试的一位应聘者，工作4年26岁，统招本科。以下就是他的简历和面试情况...	博文	来自：HarderXin的专栏	
YIR-ZYNQ7000系列-zturn教程(5)：gpio_axi			阅读数 1298
发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要功能是调用一个axi_gpio核然后通过这...	博文	来自：taowei1314520的...	
于linux-4.3.2的ZYNQ的时钟驱动架构和原理解析			阅读数 2882
章简析的linux-4.3.2源码中，基于DTS的zynq-7000系列芯片的时钟驱动	博文	来自：donghengqaz的专...	
ZYNQ使用PS+PL点灯总结			阅读数 413
次使用ZYNQ中的纯PL点亮了LED等，后来知道了可以使用PS和PL联合使用点LED。但是尝试了N此，在网上找了...	博文	来自：qq2419292516的...	
vado中ZYNQ详解(主要用于PS和PL之间的工作衔接)			阅读数 34
XL的理解AXI（Advanced extensible Interface）协议主要描述了Master设备和Slave设备之间的数据传输方式，...	博文	来自：qq_34341423的博客	
edBaord-学习1：Zynq入门PL之LED			阅读数 1080
tp://blog.csdn.net/xzyiverson/article/details/11701595	博文	来自：星克曼的专栏	
zynq中断：共享外设中断（SPI）			阅读数 529
于zynq的中断说明网上有很多的帖子，比如说一下的帖子就写的很不错。https://blog.csdn.net/shangguanyunl...	博文	来自：MaoChuangAn的...	
么对ZYNQ的FCLK做时钟组约束			阅读数 164
言对于包含PS和PL的设计，两者的数据交互PL必然会用到PS端的时钟。对于FCLK（PS端时钟输入到PL端）的约束...	博文	来自：小翁同学	
ZYNQ入门宝典]年轻人的第一盏LED灯			阅读数 793
碎念：在ZYNQ系列芯片中，用BD文件搭建PL_PS全系统是最常见的设计手段，设计BD文件最基本的操作就是基于...	博文	来自：weixin_42229533...	
zynq 的时钟频率			阅读数 3210
ram在native模式下Performance up to 450MHz，AXI4 interface模式下Performance up to 300 MHz，PL的时...	博文	来自：zhangduojia的博客	
的 Input框 不可能这么可爱			阅读数 11万+
者：陈大鱼头github：KRISACHAN<input /> 标签是我们日常开发中非常常见的替换元素了，但是最近在刷 wh...	博文	来自：鱼头的Web海洋	
YIR-ZYNQ7000系列-zturn教程(18)：基础教程gpio_mio做为输入口			阅读数 772
发板环境：vivado 2017.4，开发板型号xc7z020clg400-1，这个工程主要介绍怎样将gpio_mo做为输入口使用工...	博文	来自：taowei1314520的...	
(一) zedboard点亮LED流水灯（PS+PL）			阅读数 702
首先创建RTL工程LED，然后create block design，添加IP核，由于本实验使用的LED灯在设计上参照UG585手册...	博文	来自：wahahaguolinaiy...	
zynq中纯PL编程			阅读数 3956
接触zynq之前，只用过FPGA，在FPGA中用verilog编程简单明了，后来稍微学习过一点nios ii，就在FPGA中也用...	博文	来自：好记性不如烂笔头	
驱动学习5：zynq实现点亮led			阅读数 54
动代码：#include <linux/module.h> #include <linux/kernel.h> #include <linux/fs.h> ...	博文	来自：weixin_30420305...	
zynq PS_PL间通信学习（二）PS与用户逻辑UART进行数据交互			阅读数 2211
linux官方参考文档：ug994-vivado-ip-subsystems.pdf黑金教程：cource_s1_ALINX_ZYNQ(AX7010_AX7020)开...	博文	来自：weisili2000_2000...	
80年---我与赛灵思FPGA的故事”：ZYNQ-7000使用总结(7) ——ZYNQ的启动和配置			阅读数 1万+
allan 于 星期一, 06/30/2014 - 15:29 发表前面在生成从Flash和SD卡启动的镜像文件时有提到一个FSBL，这个和...	博文	来自：青蛙@嘎嘎	
linux系列之常用运维命令整理笔录			阅读数 23万+
博客记录工作中需要的linux运维命令，大学时候开始接触linux，会一些基本操作，可是都没有整理起来，加上是...	博文	来自：Nicky's blog	
职程序员一般可以从什么平台接私活？			阅读数 18万+
个问题我进行了系统性的总结，以下将进行言简意赅的说明和渠道提供，希望对各位小猿/小媛们有帮助~根据我们...	博文	来自：xiyue001的博客	
python json java mysql pycharm android linux json格式			

©2019 CSDN 皮肤主题: 编程工作室 设计师: CSDN官方博客

TA的个人主页 >

创


粉丝

获赞

评论

访问

举报


[虚无缥缈vs威武](#)
[TA的个人主页 >](#)
[创](#)
[粉丝](#)
[获赞](#)
[评论](#)
[访问](#)

195

58

164

15万+

级: 博客 4

周排名: 3万+

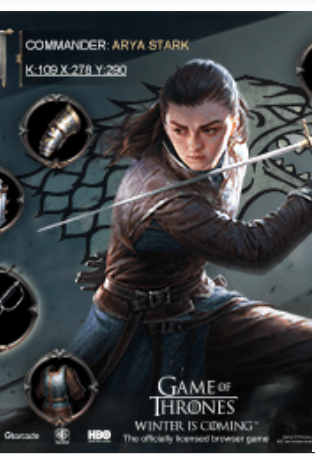
分: 1254

总排名: 6万+

章:  

关注

私信



- 最新文章
- artus II 12.1 使用教程 (7) vga显示测

IR-ZYNQ7000系列-zturn教程(27): p测试

artus II 12.1 使用教程 (6) ROM 测

artus II 12.1 使用教程 (5) eeprom 写测试

artus II 12.1 使用教程 (4) uart 测试

分类专栏

	VIVADO 安装教程	1篇
	quartus II	5篇
	三态门详解	
	quartus II 12.1 使用...	1篇
	ZYNQ7000	27篇

当

9年12月	1篇
9年9月	1篇
9年8月	5篇
9年7月	2篇
9年4月	1篇
9年3月	2篇
9年1月	1篇
8年11月	1篇
展开	

- 热门文章
- VADO 安装教程


数 84216
- 态门详解

数 15398
- artus II 12.1 使用教程 (1) 怎样调用核


数 7556
- IR-ZYNQ7000系列-zturn教程(17): 用uart发送数据


数 4156
- IR-ZYNQ7000系列-zturn教程(9): 将文件固化到QSPI_Flash

数 4055





2








7













举报

YADO 安装教程

866: 缺License的小伙伴 链接: https://pan. du.com/s/11mjkpyERdUH3q5C_TpfQxQ ...

232H如何使用jtag接口

wei1314520: [reply]qq_42662835[/reply]我直接对eeprom里写数据进去的，数据我已经 ...

232H如何使用jtag接口

wei1314520: [reply]sssshhhhhhhh[/reply]vivado有这个usb驱动也需要安装一下， ...

232H如何使用jtag接口

shhhhhhhh: 你好，插上电脑以后显示 USB S I Converter （仅配置了USB和EEPROM ...

IR-ZYNQ7000系列-z...

unge: SPI一次是通信一个字节码？



QQ客服 kefu@csdn.net

客服论坛 400-660-0108

作时间 8:30-22:00

关于我们 招聘 广告服务 网站地图

CP备19004658号 经营性网站备案信息

公安备案号 11010502030143

999-2020 北京创新乐知网络技术有限

司 网络110报警服务

京互联网违法和不良信息举报中心

国互联网举报中心 家长监护 版权申诉



2



7



举报