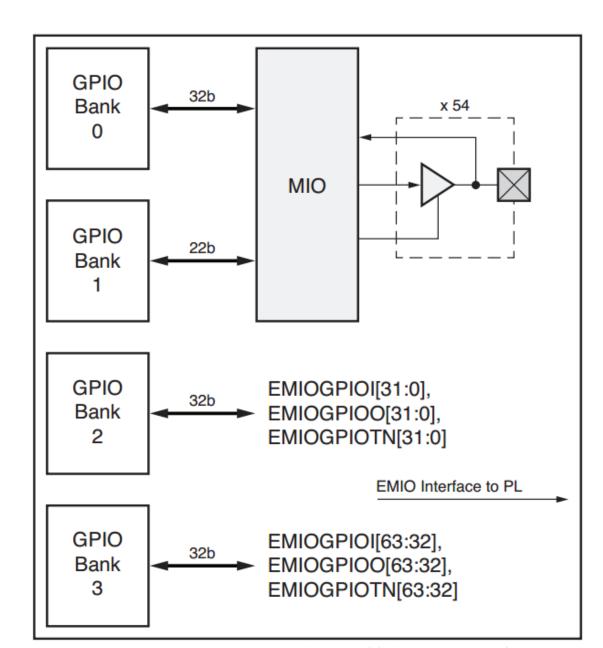
MYIR-ZYNQ7000系列-zturn教程(18): 基础教程gpio_mio做为输入口

原创 虚无缥缈vs威武 最后发布于2018-08-31 20:02:42 阅读数 773 ☆ 收藏

工程链接: https://pan.baidu.com/s/1jewYR14IH0tsbvIMCIUswg 密码: glpq

开发板环境: vivado 2017.4 , 开发板型号xc7z020clg400-1 , 这个工程主要介绍怎样将gpio_mo做为输入口使用



https://blog.csdn**UG585_614<u>1</u>01<u>U</u>022212**14520

从这个ug585手册可以看到gpio_mio主要分布在这个Bank0 和Bank1上。这里主要介绍gpio_mio暂时不介绍gpio_emio 这个Bank0主要是mio0~mio31

MIO_0
MIO_1
MIO_2
MIO_3
MIO_4
MIO_5
MIO_6
MIO_7
MIO_8
MIO_9
MIO_10
MIO_11
MIO_12
MIO_13
MIO_14
MIO_15
MIO_16
MIO_17
MIO_18
MIO_19
MIO_20
MIO_21
MIO_22
MIO_23
MIO_24
MIO_25
MIO_26
MIO_27
MIO_28
MIO_29
MIO_30
MIO_31

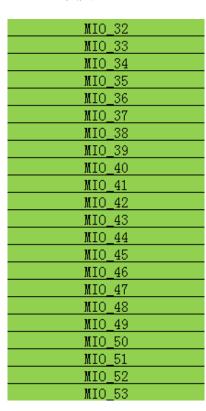


 \triangle

<

>

展开



△△△✓✓

这里继续介绍gpio_mio做为输入要涉及到的寄存器

Register Name	Address	Width	Туре	Reset Value	Description
DIRM_0	0x00000204	32	rw	0x00000000	Direction mode (GPIO Bank0, MIO)

这个DIRAM_0主要设置gpio_mio的mio0~mio31的输入输出设置:设为0为输入、设置为1为输出

Ī	DIRM_1	0x00000244	22	rw	0x00000000	Direction mode (GPIO Bank1, MIO) https://blog.csdn.net/taowei1314520

这个DIRAM_1主要设置gpio_mio的mio32~mio53的输入输出设置:设为0为输入、设置为1为输出

既然我们设置为输入,那么输入的数据必定有存储的寄存器,下面我来看下这些存储器

DATA_0_RO	0x00000060	32	ro	x	Input Data (GPIO Bank0, MIO)
			1		1

这个DATA_0_RO主要存储这个mio0~mio31的输入数据,这个是一个32位的寄存器,寄存器的偏移地址是0x00000060

DATA_1_RO	0x00000064	22	ro	x	Input Data (GPIO Bank1, MIO)

这个DATA_1_RO主要存储这个mio32~mio53的输入数据,这个是一个22位的寄存器,寄存器的偏移地址是0x00000064

我们一般对一个寄存器进行写一般是:

Xil_Out32(基地址+偏移地址,数据)

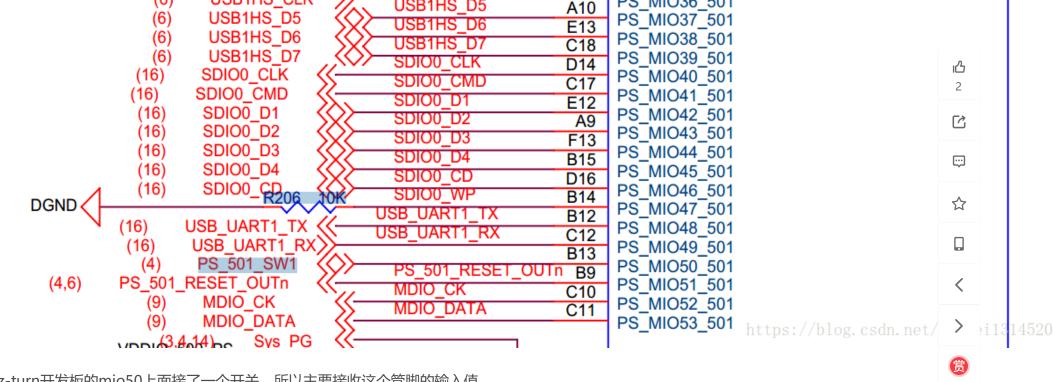
比如对这个0x00000244进行写: Xil_Out32 (0xE000A000 + 0x00000244,0x00) 对这个0x00000244寄存器写入数据0x00,这里的基地址是0xE000A000

一般对一个寄存器进行读:

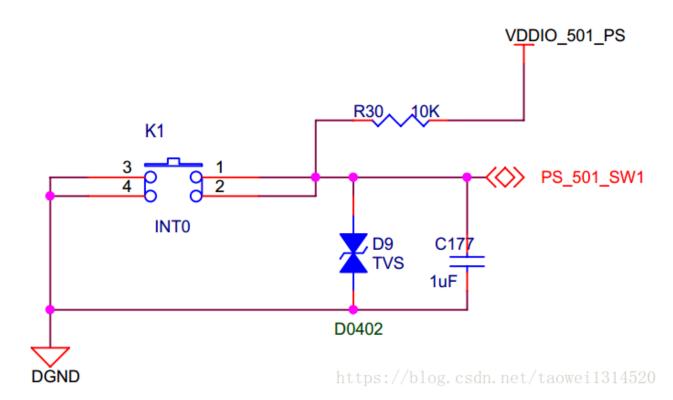
data = Xil_In32(基地址+偏移地址)

比如对这个0x00000064进行读: data = Xil_In32(0xE000A000 + 0x00000064)

硬件设置

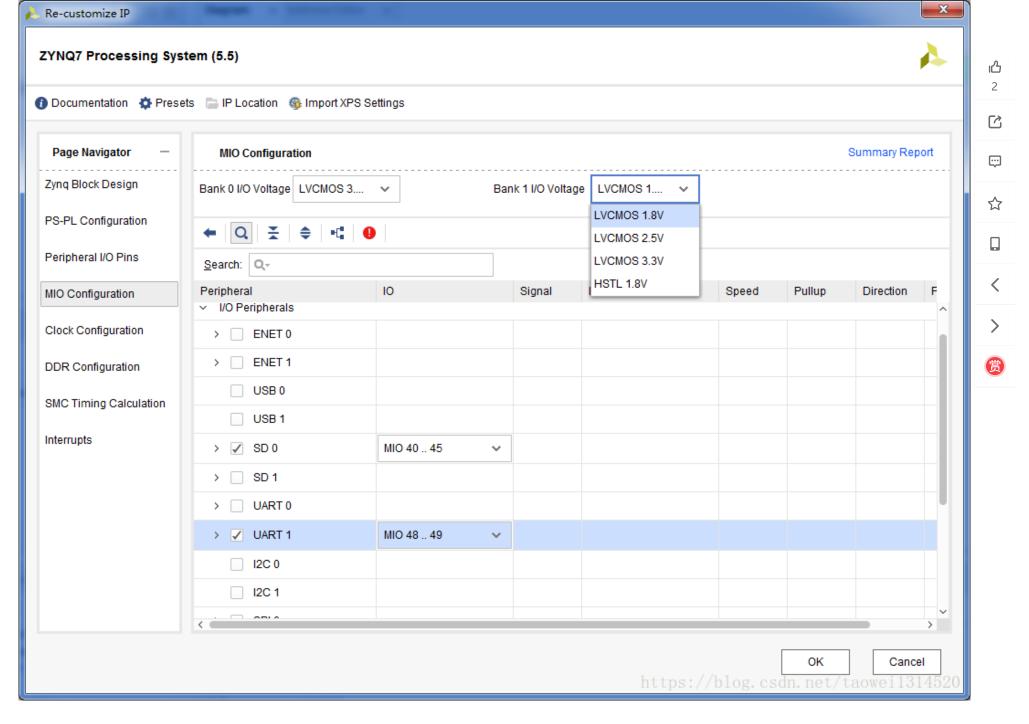


因z-turn开发板的mio50上面接了一个开关,所以主要接收这个管脚的输入值

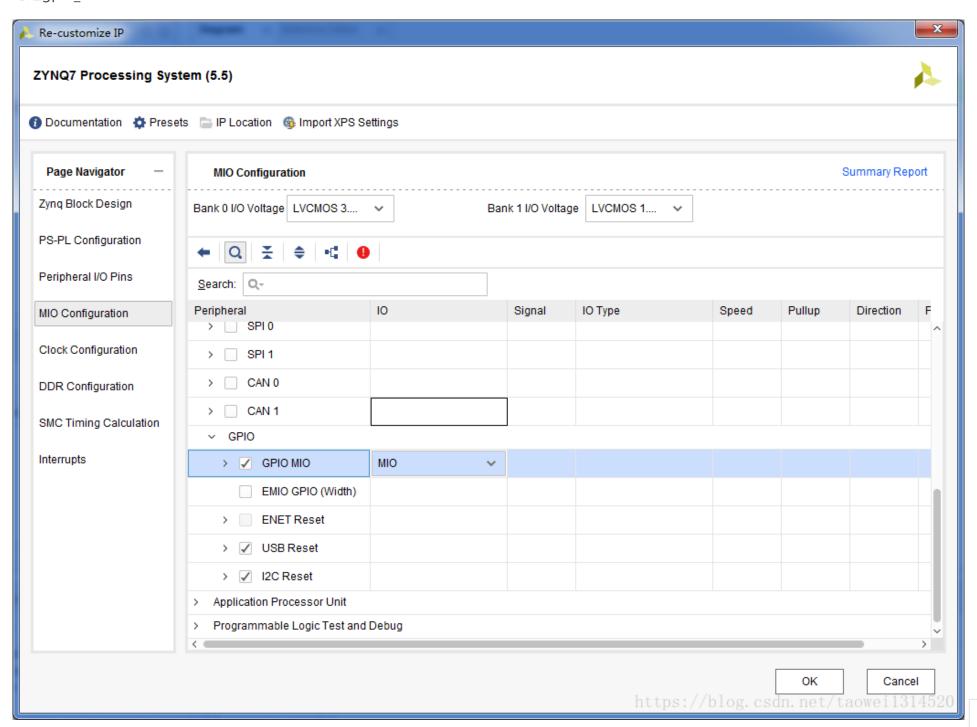


从这个图可以看出没有按开关输入为1,按下开关输入为0

Step1 新建vivado 工程,我这里选择了SD卡和uart

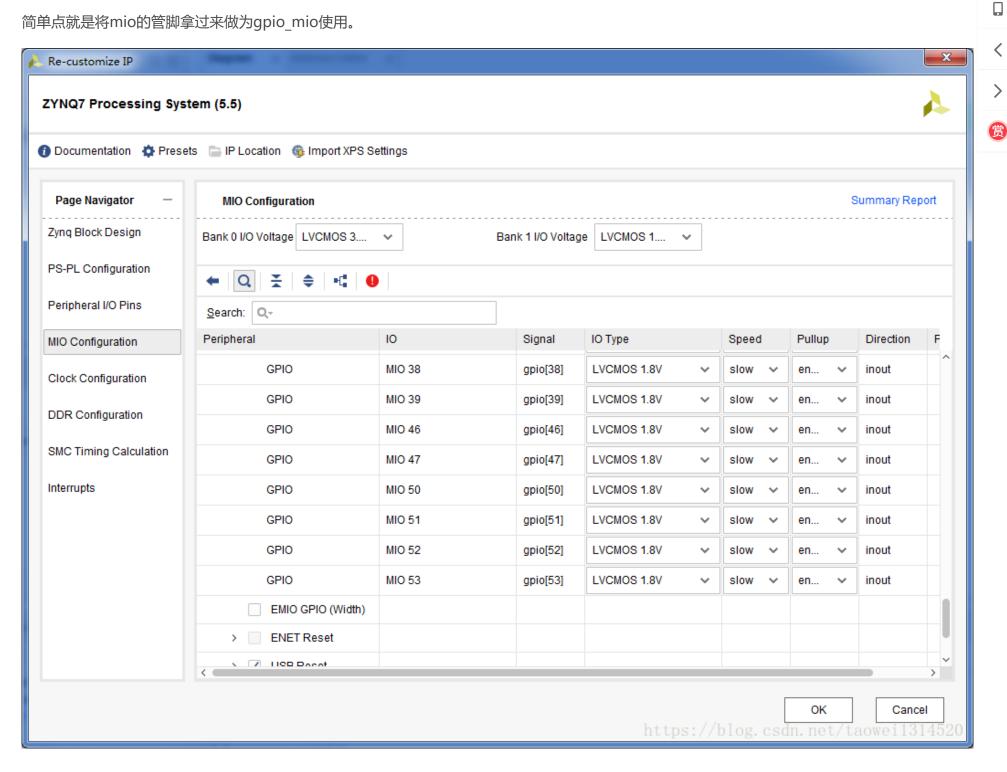


勾选gpio_mio





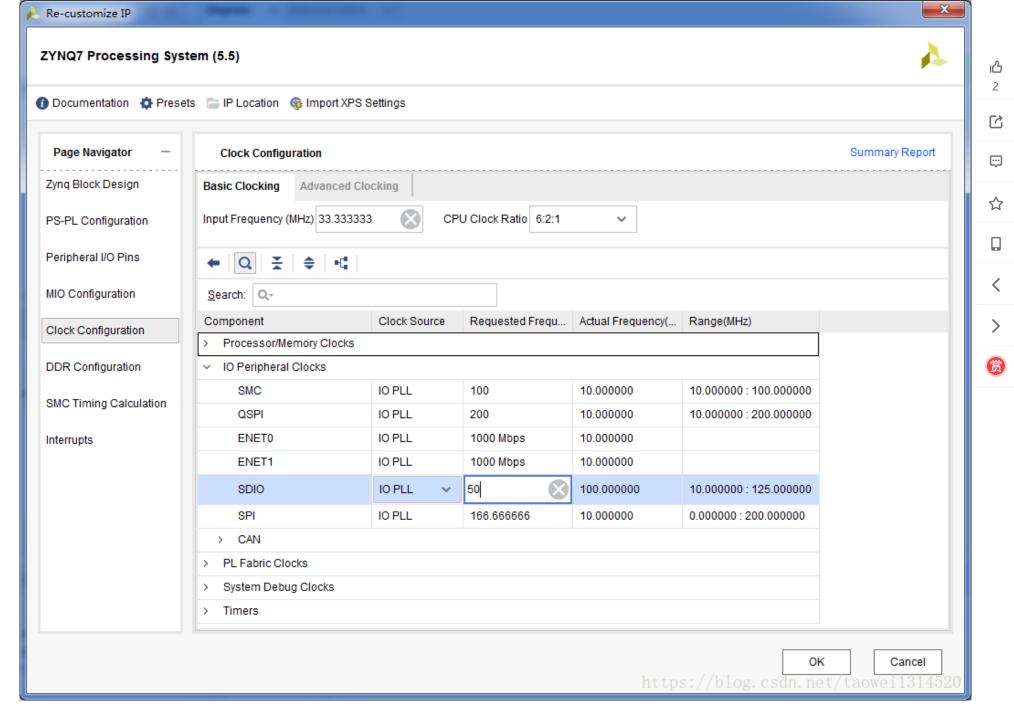
我们可以看到下面的gpio_mio中没有这个MIO40~MIO45和MIO48~MIO49,这个mio和gpio_mio是不能同时使用的,也就是说当你使用这个mio48那么你在gpio_mio中就无法再使用这个gpio_mio48这两个是互斥的,gpio_mio说得



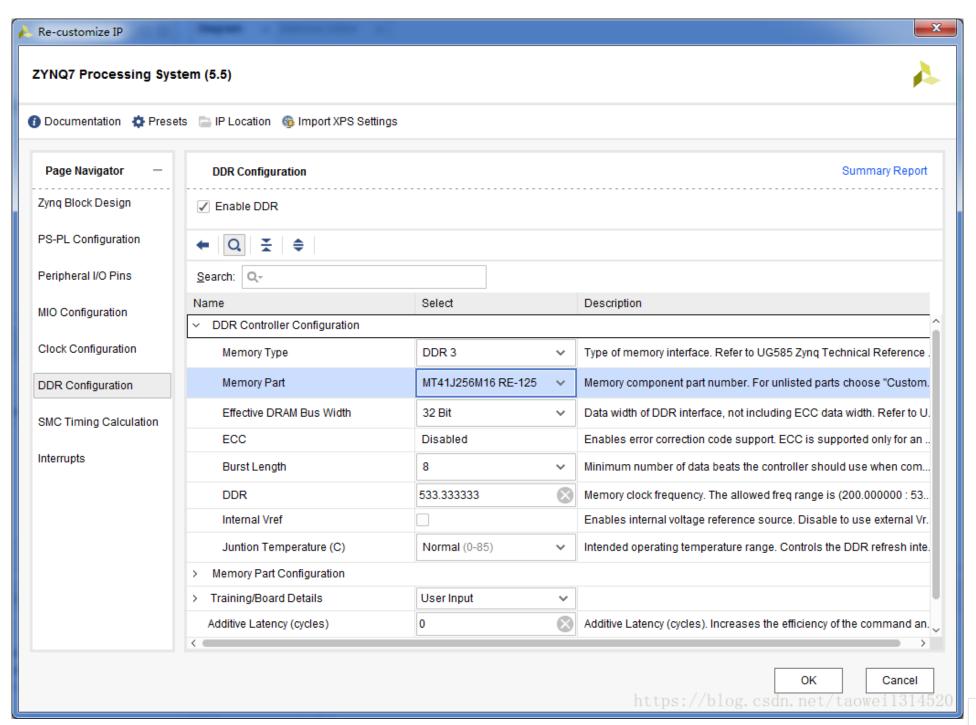
设置sd时钟为50M

凸

 \triangle



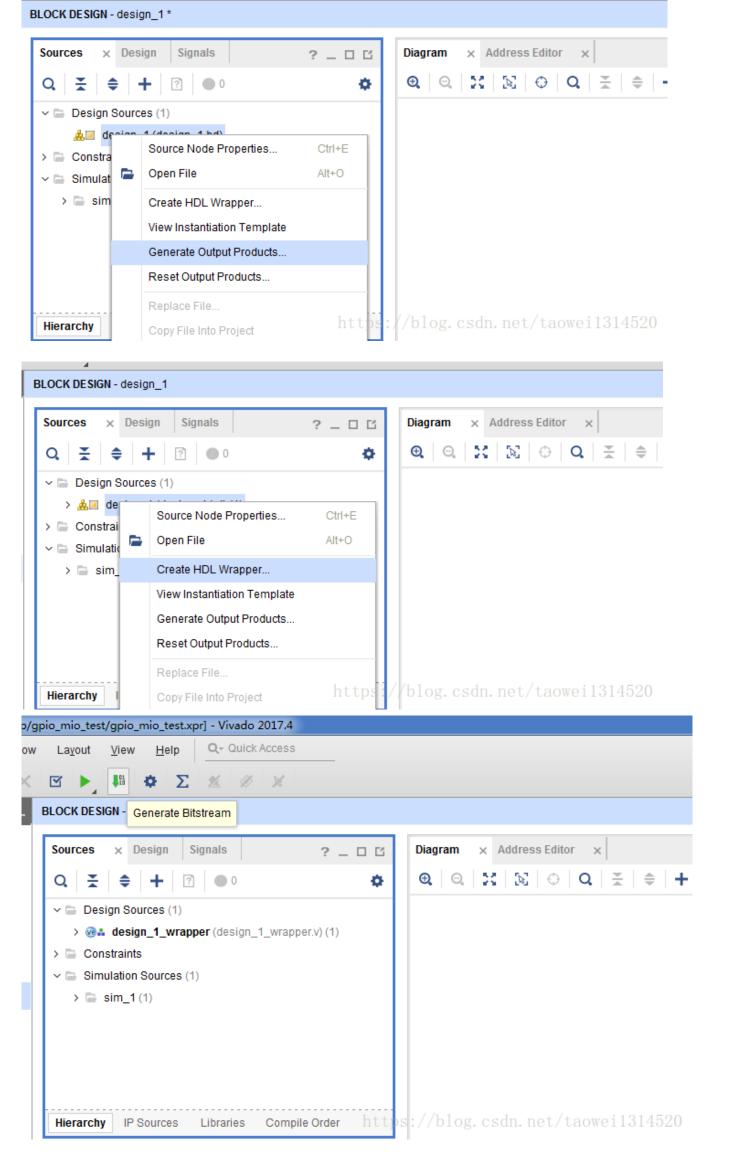
设置DDR型号 (不同的开发板有差异)





https://blog.csdn.net/taowei1314520

Step2 进行综合、生成顶层文件、生成bit文件





凸

...

₩

```
1 //Copyright 1986-2017 Xilinx, Inc. All Rights Reserved.
   //-----
 2
   //Tool Version: Vivado v.2017.4 (win64) Build 2086221 Fri Dec 15 20:55:39 MST 2017
 3
   //Date
                 : Fri Aug 31 19:22:18 2018
 4
 5
   //Host
                 : taowei running 64-bit Service Pack 1 (build 7601)
   //Command
              : generate_target design_1_wrapper.bd
 6
   //Design
               : design_1_wrapper
 7
   //Purpose
              : IP block netlist
8
9
10
    `timescale 1 ps / 1 ps
11
12
   module design_1_wrapper
13
       (DDR_addr,
14
       DDR_ba,
15
       DDR_cas_n,
16
       DDR_ck_n,
       DDR_ck_p,
17
       DDR_cke,
18
19
       DDR_cs_n,
20
       DDR_dm,
21
       DDR_dq,
22
       DDR_dqs_n,
23
       DDR_dqs_p,
24
       DDR_odt,
25
       DDR_ras_n,
26
       DDR_reset_n,
27
       DDR_we_n,
       FIXED_IO_ddr_vrn,
28
29
       FIXED_IO_ddr_vrp,
30
       FIXED_IO_mio,
31
       FIXED_IO_ps_clk,
32
       FIXED_IO_ps_porb,
33
       FIXED_IO_ps_srstb);
      inout [14:0]DDR_addr;
34
35
     inout [2:0]DDR_ba;
36
      inout DDR_cas_n;
37
     inout DDR_ck_n;
38
     inout DDR_ck_p;
39
     inout DDR_cke;
40
      inout DDR_cs_n;
41
     inout [3:0]DDR_dm;
42
      inout [31:0]DDR_dq;
43
     inout [3:0]DDR_dqs_n;
44
     inout [3:0]DDR_dqs_p;
45
     inout DDR_odt;
46
     inout DDR_ras_n;
47
     inout DDR_reset_n;
48
     inout DDR_we_n;
49
     inout FIXED_IO_ddr_vrn;
50
     inout FIXED_IO_ddr_vrp;
51
     inout [53:0]FIXED_IO_mio;
     inout FIXED_IO_ps_clk;
52
53
     inout FIXED_IO_ps_porb;
54
     inout FIXED_IO_ps_srstb;
55
56
     wire [14:0]DDR_addr;
57
     wire [2:0]DDR_ba;
58
     wire DDR_cas_n;
59
     wire DDR_ck_n;
60
     wire DDR_ck_p;
61
     wire DDR_cke;
62
     wire DDR_cs_n;
     wire [3:0]DDR_dm;
63
     wire [31:0]DDR_dq;
64
     wire [3:0]DDR_dqs_n;
65
66
     wire [3:0]DDR_dqs_p;
     wire DDR_odt;
67
68
     wire DDR_ras_n;
69
     wire DDR_reset_n;
     wire DDR_we_n;
70
     wire FIXED_IO_ddr_vrn;
71
     wire FIXED_IO_ddr_vrp;
72
     wire [53:0]FIXED_IO_mio;
73
74
     wire FIXED_IO_ps_clk;
75
     wire FIXED_IO_ps_porb;
     wire FIXED_IO_ps_srstb;
76
77
78
     design_1 design_1_i
```



凸

2

...

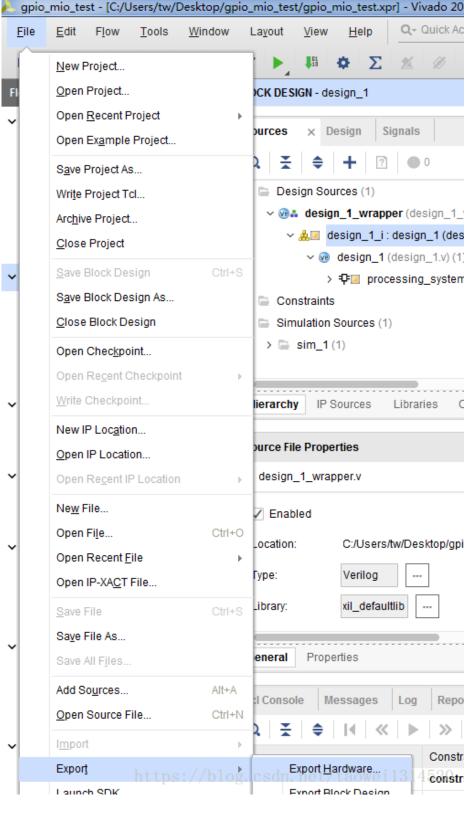
 \triangle

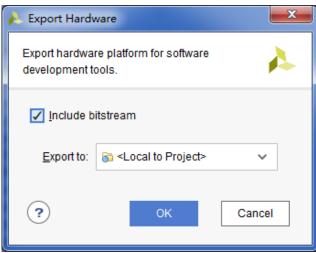
<

>

```
(.DDR_addr(DDR_addr),
79
                                             .DDR_ba(DDR_ba),
            .DDR_cas_n(DDR_cas_n),
81
            .DDR_ck_n(DDR_ck_n),
82
83
            .DDR_ck_p(DDR_ck_p),
            .DDR_cke(DDR_cke),
84
85
            .DDR_cs_n(DDR_cs_n),
            .DDR_dm(DDR_dm),
86
            .DDR_dq(DDR_dq),
87
            .DDR_dqs_n(DDR_dqs_n),
88
            .DDR_dqs_p(DDR_dqs_p),
89
90
            .DDR_odt(DDR_odt),
            .DDR_ras_n(DDR_ras_n),
91
92
            .DDR_reset_n(DDR_reset_n),
93
            .DDR_we_n(DDR_we_n),
            .FIXED_IO_ddr_vrn(FIXED_IO_ddr_vrn),
94
            .FIXED_IO_ddr_vrp(FIXED_IO_ddr_vrp),
95
96
            .FIXED_IO_mio(FIXED_IO_mio),
97
            .FIXED_IO_ps_clk(FIXED_IO_ps_clk),
            .FIXED_IO_ps_porb(FIXED_IO_ps_porb),
98
            .FIXED_IO_ps_srstb(FIXED_IO_ps_srstb));
99
100 endmodule
```

Step3 导出硬件配置、打开SDK

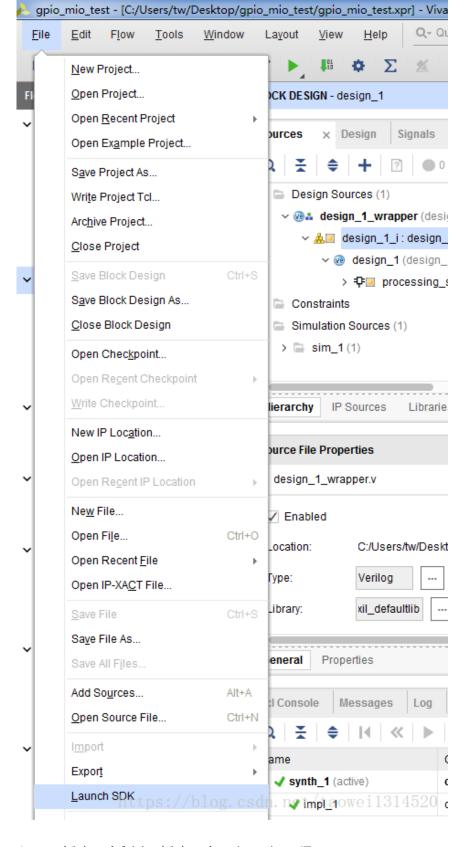




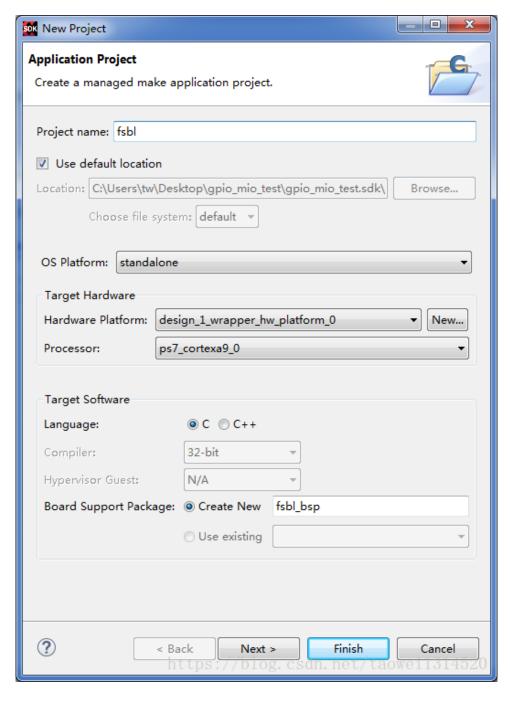


凸

 \triangle



Step4 新建一个fsbl、新建一个gpio_mio工程

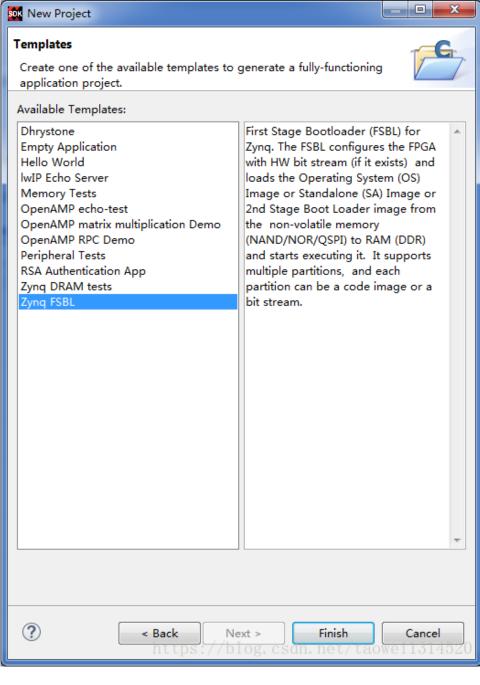


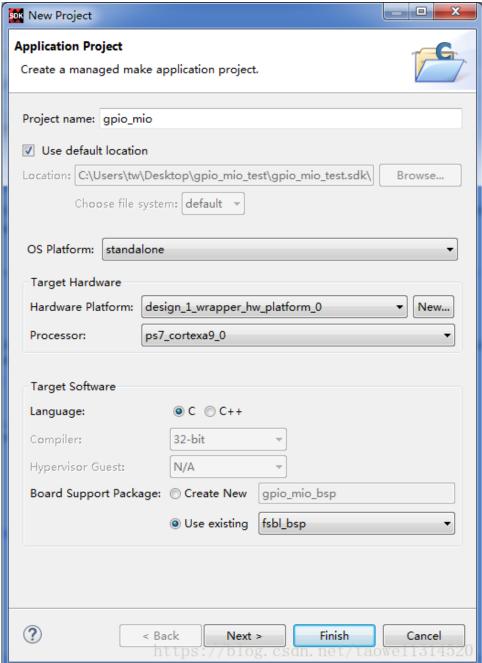


凸

...

☆





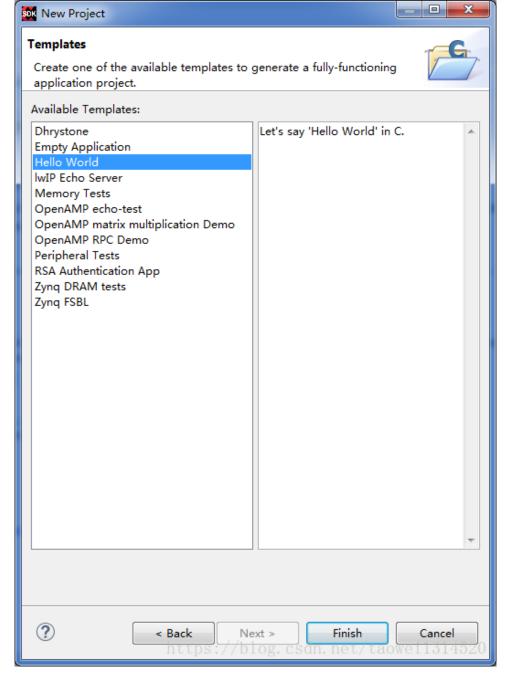
hello_world模板



凸

...

 \triangle



工程代码

1 2

```
* Copyright (C) 2009 - 2014 Xilinx, Inc. All rights reserved.
3
4
   * Permission is hereby granted, free of charge, to any person obtaining a copy
5
   * of this software and associated documentation files (the "Software"), to deal
   * in the Software without restriction, including without limitation the rights
7
   * to use, copy, modify, merge, publish, distribute, sublicense, and/or sell
   * copies of the Software, and to permit persons to whom the Software is
9
   * furnished to do so, subject to the following conditions:
10
11
   * The above copyright notice and this permission notice shall be included in
12
13
   * all copies or substantial portions of the Software.
14
   * Use of the Software is limited solely to applications:
15
   * (a) running on a Xilinx device, or
16
   * (b) that interact with a Xilinx device through a bus or interconnect.
17
18
   * THE SOFTWARE IS PROVIDED "AS IS", WITHOUT WARRANTY OF ANY KIND, EXPRESS OR
19
   * IMPLIED, INCLUDING BUT NOT LIMITED TO THE WARRANTIES OF MERCHANTABILITY,
20
21
   * FITNESS FOR A PARTICULAR PURPOSE AND NONINFRINGEMENT. IN NO EVENT SHALL
   * XILINX BE LIABLE FOR ANY CLAIM, DAMAGES OR OTHER LIABILITY,
    * WHETHER IN AN ACTION OF CONTRACT, TORT OR OTHERWISE, ARISING FROM, OUT OF
23
   * OR IN CONNECTION WITH THE SOFTWARE OR THE USE OR OTHER DEALINGS IN THE
   * SOFTWARE.
25
26
27
   * Except as contained in this notice, the name of the Xilinx shall not be used
   * in advertising or otherwise to promote the sale, use or other dealings in
28
   * this Software without prior written authorization from Xilinx.
29
30
   31
32
33
34
    * helloworld.c: simple test application
35
36
    * This application configures UART 16550 to baud rate 9600.
    * PS7 UART (Zynq) is not initialized by this application, since
37
    * bootrom/bsp configures it to baud rate 115200
38
39
40
    * | UART TYPE BAUD RATE
41
42
```

/******************************



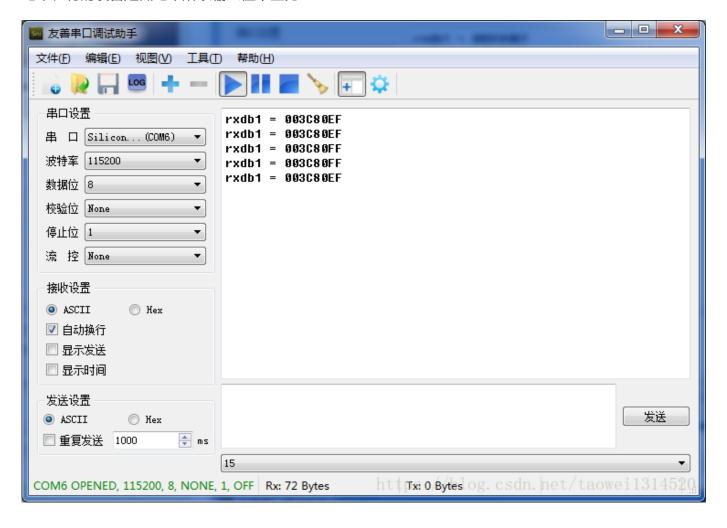
凸

 Ω

```
9600
43
        uartns550
                                            Configurable only in HW design
                        44 * uartlite
45
        ps7_uart
                    115200 (configured by bootrom/bsp)
                                                                                                                         凸
46
     */
47
   #include <stdio.h>
48
                                                                                                                         #include "platform.h"
49
   #include "xil_printf.h"
50
                                                                                                                         #include "xil_io.h"
51
   #include "sleep.h"
52
                                                                                                                         53
54
                                                                                                                         55
   #define Base_Address
                           0×E000A000
56
                                                                                                                         <
                                   0x00000204 //mio0~mio31
57
   #define DIRM_0
58
                                                                                                                         >
59
   #define DIRM_1
                                   0x00000244 //mio32~mio53
60
                                   0x00000060 //mio0~mio31 data
61
   #define DATA_0_RO
62
63
   #define DATA_1_RO
                                   0x00000064 //mio32~mio53 data
64
65
66
67
68
   int main()
69
70
           u32 rxdb1;
71
           u32 rxdb2;
72
           Xil_Out32(Base_Address + DIRM_1,0x00); //模式设置: 设置mio32~mio53为输入
73
                                                                                   (0为输入
                                                                                               1为输出)
74
75
   while(1)
76
77
           rxdb1 = Xil_In32(Base_Address + DATA_1_R0);
                                                        //接收mio32~mio53的输入数据(22位数据)
78
79
           rxdb2 = (rxdb1 \& 0x040000);
                                                         // 只取这个mio50的数据
80
81
           xil_printf("rxdb2 = %08x\n\r", rxdb2);
                                                         //打印mio50的输出数据
82
83
84
       sleep(1);
85
86
87
88
```

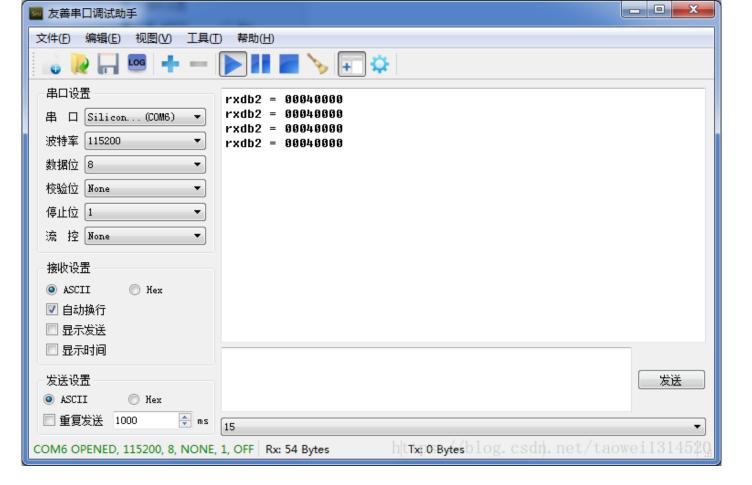
生成BOOT.bin文件后将BOOT.bin文件拷贝到SD卡运行,运行结果如下图所示

这里是rxdb1的输出数据,可能大家会奇怪这个mio32~mio53输入数据为什么不全为0,因开发板的ps端的mio都接入了不同的设备,而这些设备上电后有的设备是高电平、有的设备是低电平所以输入值不全为0

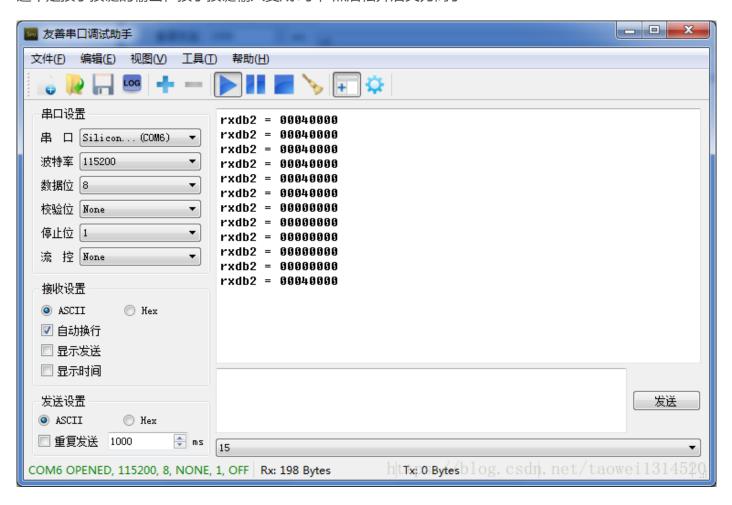




我们再来看下rxdb2的输出,rxdb2是直接接收的mio50的值也就是按键的值,这个是没有按按键的输出



这个是按了按键的输出,按了按键输入变成0了,然后松开后又为高了



凸 点赞 2 ☆ 收藏 🖸 分享 🚥



虚无缥缈vs威武

🚹 发布了37 篇原创文章·获赞 59·访问量 15万+

私信 关注

想对作者说点什么

ZYNQ SOC 入门基础 (一) Hello World 实验

ZYNQ是一款SOC芯片,其最突出的功能就是其内部包含了一个双核的Cortex_A9内核。从本节开始,进行ZYNQ的S....博文 来自: MaoChuangAn的...

网址为: http://www.osrc.cn/forum.php?mod=forumdisplay&fid=333 博文 来自: ffdia的博客

zynq 图像处理教程fpga教程, (含例程) 手把手教会你zynq图像处理。下载

zynq 图像处理教程fpga教程,(含例程)手把手教会你zynq图像处理。摄像头图像采集,图像处理,例程全,易学好上手...

论坛

阅读数 3044

阅读数 3500

₽

12-13

Zynq7000的MIO和EMIO之区别

Zynq7000系列芯片有5 博文 来自: linyangspring的专栏

参考: 1、【ZYNQ-7000开发之三】ZYNQ平台的HDMI驱动测试2、 ADV7511 Xilinx Evaluation Boards Refere... 博文 来自: luotong86的专栏

07-01

05-20 Zynq 7000嵌入式设计官方教程.zip 这本书是关于Zynq 7000嵌入式设计官方教程,可以熟读的可以快速的入门zynq 7000开发板. 下载 ZYNQ中断使用入门基础教程 阅读数 223 http://www.elecfans.com/emb/fpga/20171122583385.html任何一个嵌入式系统级的设计都离不开中断,对于拥... 博文 来自: 爱她就要努力 03-01 ALINX黑金Zynq7000开发平台配套教程(共2部) ALINX黑金Zynq7000开发平台配套教程,文档介绍详细,适合zynq7000新手开发帮助使用。 下载 MYIR-ZYNQ7000系列-zturn教程(19):对axi_stream核进行仿真以及axi_stream总线的初步讲解 阅读数 1226 我这里一共调用了两个自定义的IP都是基于axi_stream的IP核,一个是主机master一个是从机slave,然后将这两个… 博文 来自: taowei1314520的… zynq-7000系列基于zynq-zed的vivado初步设计之linux下控制PL扩展的UART 阅读数 5532 zynq-7000系列基于zynq-zed的vivado初步设计之linux下控制PL扩展的UART 作者: 卢浩 ... 博文 来自: luhao806的专栏 MYIR-ZYNQ7000系列-zturn教程(1)-从新建工程到下载bit文件 阅读数 1417 开发板环境: vivado 2017.1 , 开发板型号xc7z020clg400-1 (工程末尾提供了工程源代码大家可以去网盘下载) St... 博文 来自: taowei1314520的... MYIR-ZYNQ7000系列-zturn教程(24): 用vdma搭建hdmi显示通路 阅读数 920 开发板环境: vivado 2017.4 ,开发板型号xc7z010clg400-1,这个工程主要用vdma核搭建hdmi显示工程链接: ht... 博文 来自: taowei1314520的... 【黑金ZYNQ7000系列原创视频教程】02.视频接口——hdmi编码输出实验 阅读数 131 黑金论坛地址: http://www.heijin.org/forum.php?mod=viewthread&tid=36636&extra=page%3D1 爱奇艺地... 博文 来自: weixin_34245169... 在ZYNQ上裸机跑ARM程序演示 阅读数 130 今天给大家演示如何在ZYNQ上,裸机跑ARM程序,本测试用的是米尔Z-turn Board单板,测试代码用的XILINX官… 博文 来自: u011837423的专栏 Zynq 7000从零开始之一 -- HelloWord 阅读数 2万+ 使用myir的z-turn开发板,做一个从uart打印hello world的实验,只用PS,不用PL部分,程序从SD卡启动,跑在PS的… 博文 来自: 青蛙@嘎嘎 zynq-7000 从零开始入门 06-23 zynq-7000开发流程,快速入门,快速学习vivado和SDk开发软件 下载 学习zynq 阅读数 1353 学习Zynq-7000的入门书单排行榜收藏 打印 发给朋友 举报 发布者:jackzhang热度300票 浏览2187次 【共0条评… 博文 来自: xiaguangjwc的专栏 基于ZYNQ的嵌入式学习笔记三(独立按键中断) 阅读数 461 一、ZYNQ中断概述中断类型:私有外设中断(PPI):全局定时器、私有看门狗、私有定时器、PL部分产生的FIQ/I.... 博文 来自: 万万VV 学会Zynq (5) GPIO中EMIO的使用方法 阅读数 1547 之前的Hello World和MIO使用都算是纯PS部分,也就是把Zynq单纯地当作ARM使用。很多人都是因为FPGA+AR... 博文 来自: FPGADesigner的... MYIR-ZYNQ7000系列-zturn教程(4): gpio_emio 阅读数 1445 开发板环境: vivado 2017.1 , 开发板型号xc7z020clg400-1 , 这个工程主要本章描述怎样通过EMIO引出GPIO , 并... 博文 来自: taowei1314520的... MYIR-ZYNQ7000系列-zturn教程(10): debug调试 阅读数 1574 开发板环境: vivado 2017.1 ,开发板型号xc7z020clg400-1,这个工程主要是用hello_world这个工程进行debug... 博文 来自: taowei1314520的... linux json格式 pycharm android python json java mysql

©2019 CSDN 皮肤主题: 编程工作室 设计师: CSDN官方博客





凸

☆

<

>

專業汽車借款、天山

重視隱私,避免尷尬,安心

汽車借款業務,不限車種車齡, 也可,最高可借車價的二倍,增 運用 037593333.tw

開啟

最新文章

quartus Ⅱ 12.1 使用教程(7) vga显示测 试

MYIR-ZYNQ7000系列-zturn教程(27): lwip测试

quartus II 12.1 使用教程 (6) ROM 测

quartus Ⅱ 12.1 使用教程(5) eeprom 读写测试

quartus Ⅱ 12.1 使用教程 (4) uart 测试

分类专栏

C	VIVADO 安装教程	1篇

quartus II 5篇



quartus Ⅱ 12.1 使用... 1篇

ZYNQ7000 27篇

归档

2019年12月	1篇
2019年9月	1篇
2019年8月	5篇
2019年7月	2篇
2019年4月	1篇
2019年3月	2篇
2019年1月	1篇
2018年11月	1篇

展开

热门文章

VIVADO 安装教程

阅读数 84216

三态门详解 阅读数 15398

quartus Ⅱ 12.1 使用教程 (1) 怎样调用

PLL 核

阅读数 7556

MYIR-ZYNQ7000系列-zturn教程(17): 用

axi_uart发送数据

阅读数 4156

MYIR-ZYNQ7000系列-zturn教程(9): 将

bit文件固化到QSPI Flash

阅读数 4055

最新评论

VIVADO 安装教程

rq8866:缺License的小伙伴链接:https://pan.baidu.com/s/11mjkpyERdUH3q5C_TpfQxQ ...



















FT232H如何使用jtag接口

taowei1314520: [reply]qq_42662835[/reply]我 是直接对eeprom里写数据进去的,数据我已经 ...

FT232H如何使用jtag接口

FT232H如何使用jtag接口

sssshhhhhhhhh: 你好,插上电脑以后显示 USB S erial Conventor (仅配置了USB和EEPROM总 ...

MYIR-ZYNQ7000系列-z...

kuyunge: SPI一次是通信一个字节码?



■ QQ客服

■ kefu@csdn.net

● 客服论坛

400-660-0108

工作时间 8:30-22:00

关于我们 招聘 广告服务 网站地图

京ICP备19004658号 经营性网站备案信息

公安备案号 11010502030143

©1999-2020 北京创新乐知网络技术有限

公司 网络110报警服务

北京互联网违法和不良信息举报中心 中国互联网举报中心 家长监护 版权申诉

公女备案号 11010502030143 99-2020 北方创新乐知网络技术有限

P

凸

 \Box

 \triangle

<