

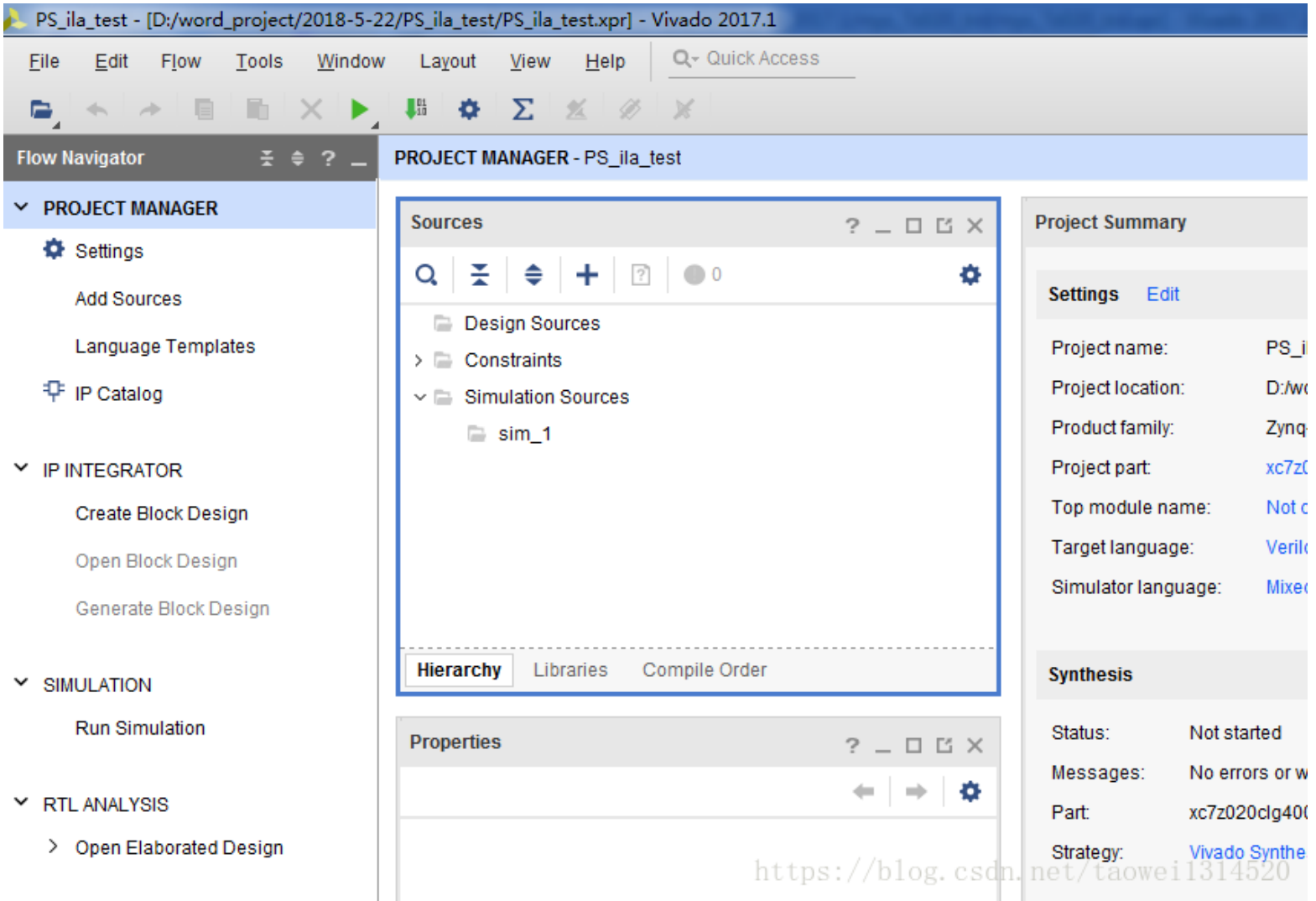
MYIR-ZYNQ7000系列-zturn教程(15)：在PS中使用ILA观测AXI总线

原创 虚无缥缈vs威武 最后发布于2018-06-03 14:10:50 阅读数 1312 ☆ 收藏

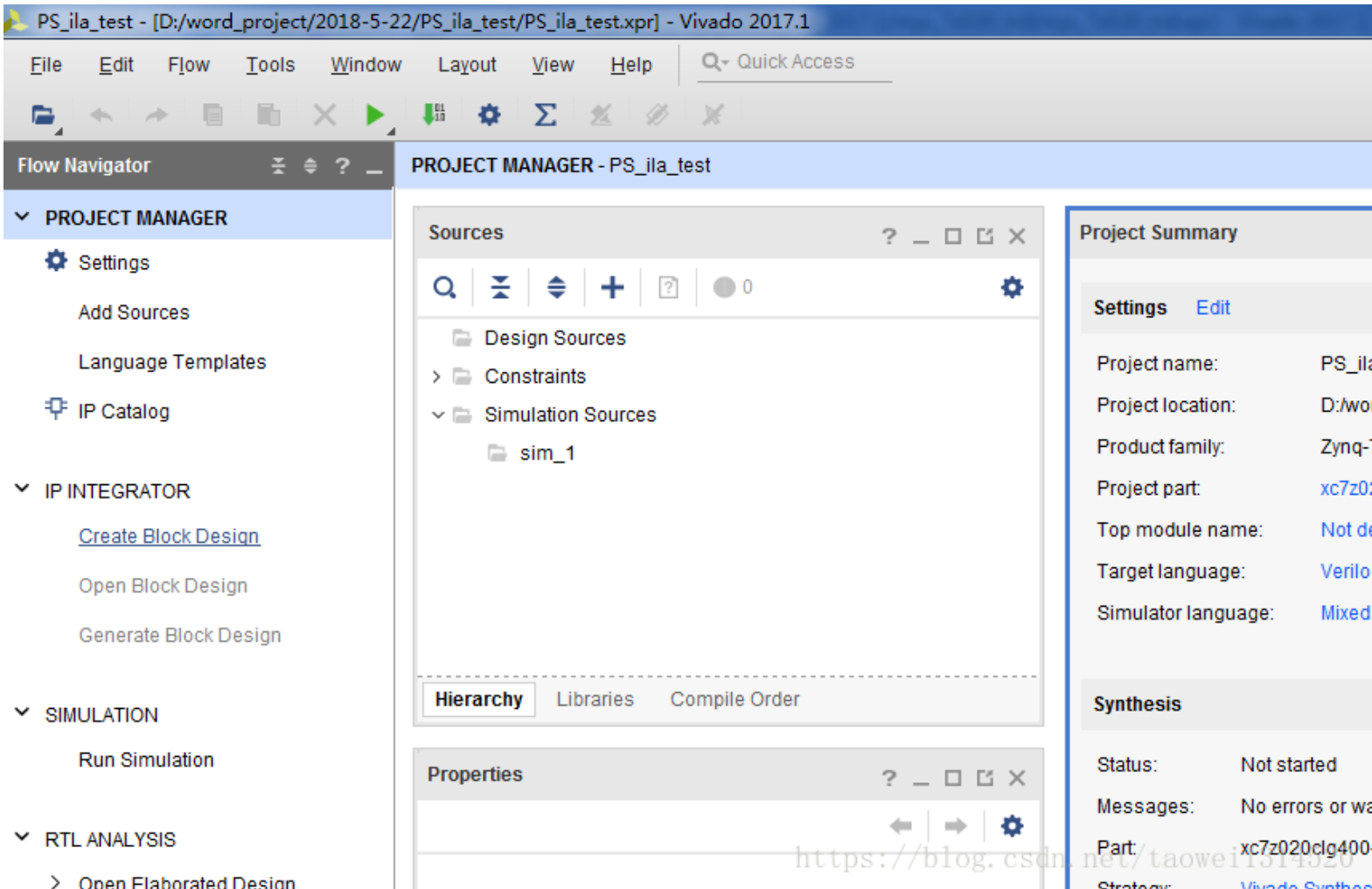
开发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要是用ILA观测PS端AXI总线的波形

链接：https://pan.baidu.com/s/1hQMOID1uDXC7h4t_VM8Ysg 密码：scom

Step1 已经新建好的vivado工程



Step2 新建一个Block Design



点击OK

👍

🔗

💬

☆

📱

⏪

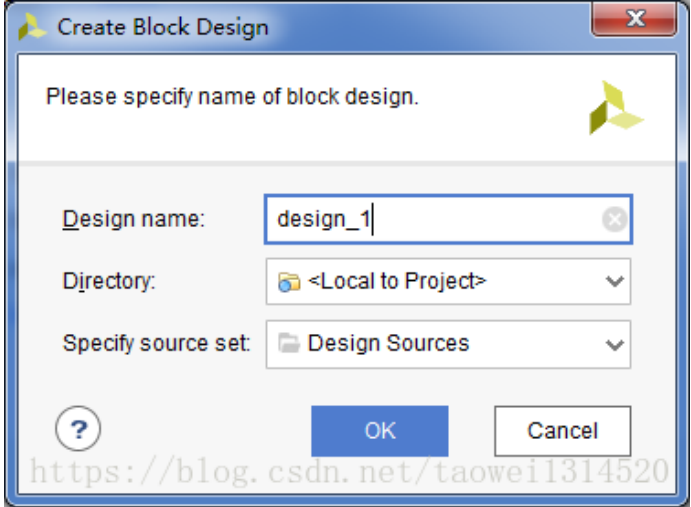
⏩

👤

展开

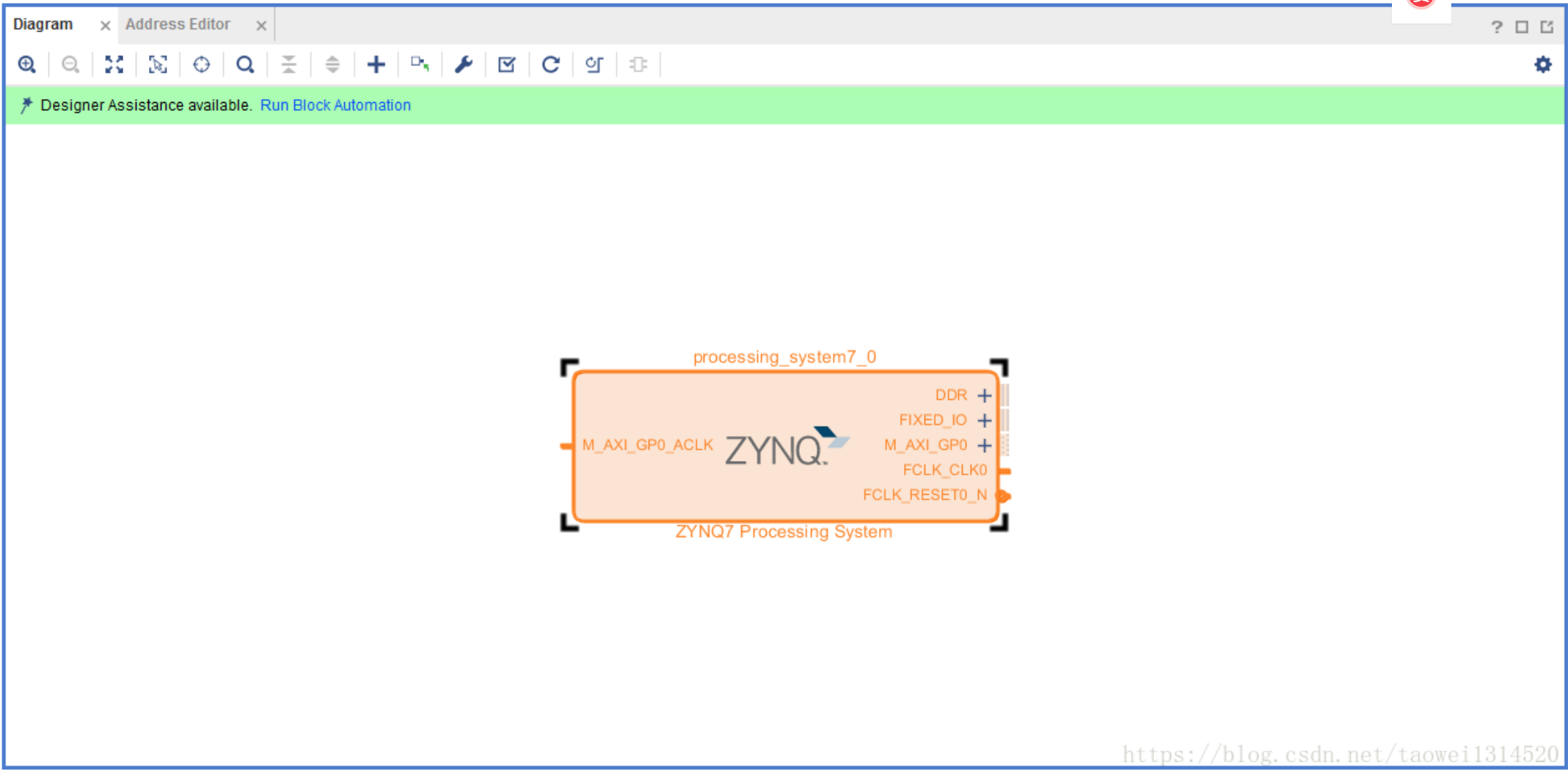
🔊

举报



Step3 添加ZYNQ核并配置

这个工程我主要配置了DDR，当然不同的开发板的配置也不同（这里力求工程简单所以配置比较少）



DDR配置如下图

👍

🔗

💬

☆

📱

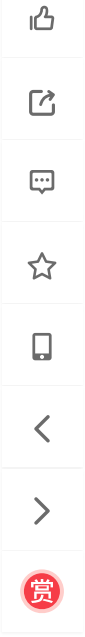
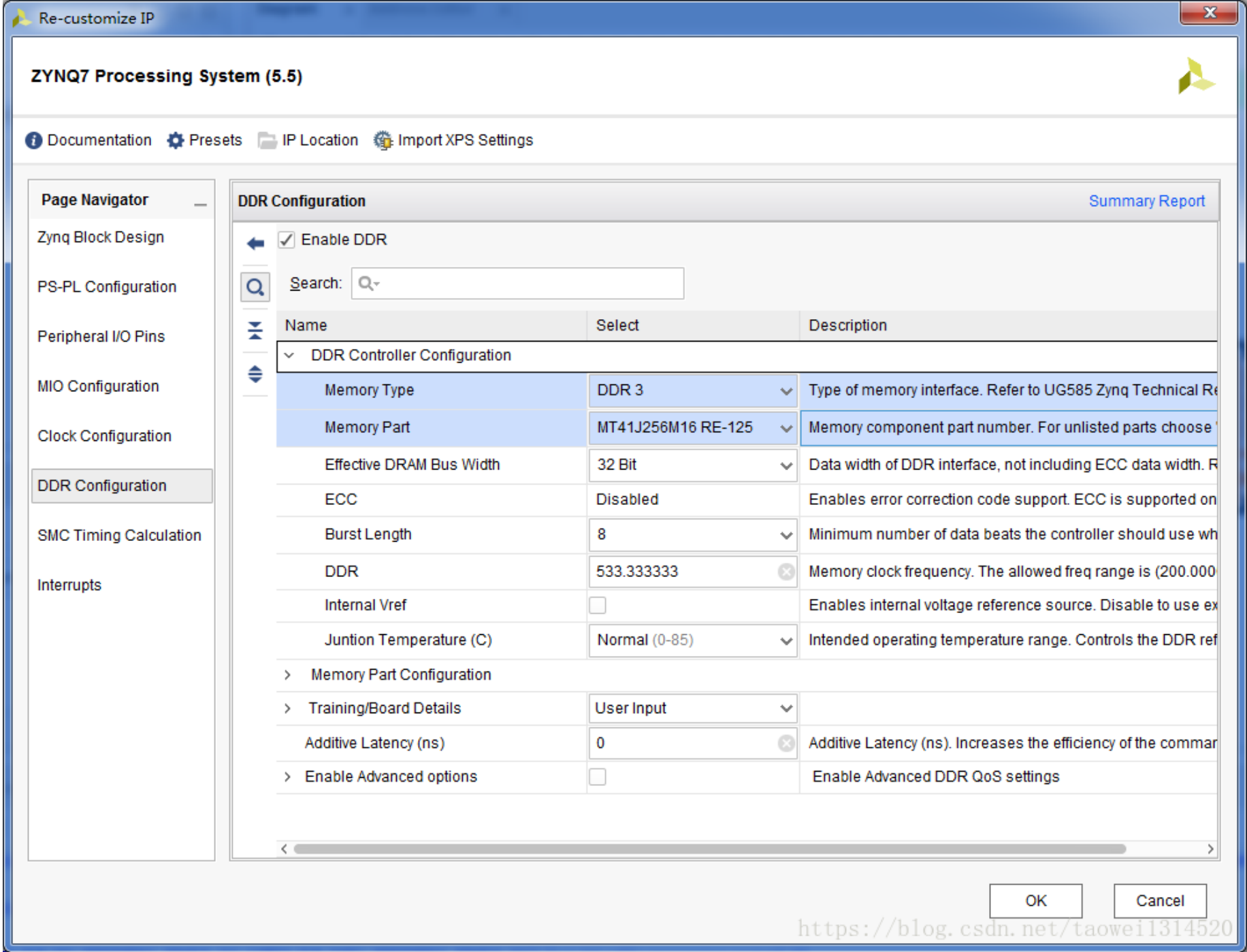
<

>

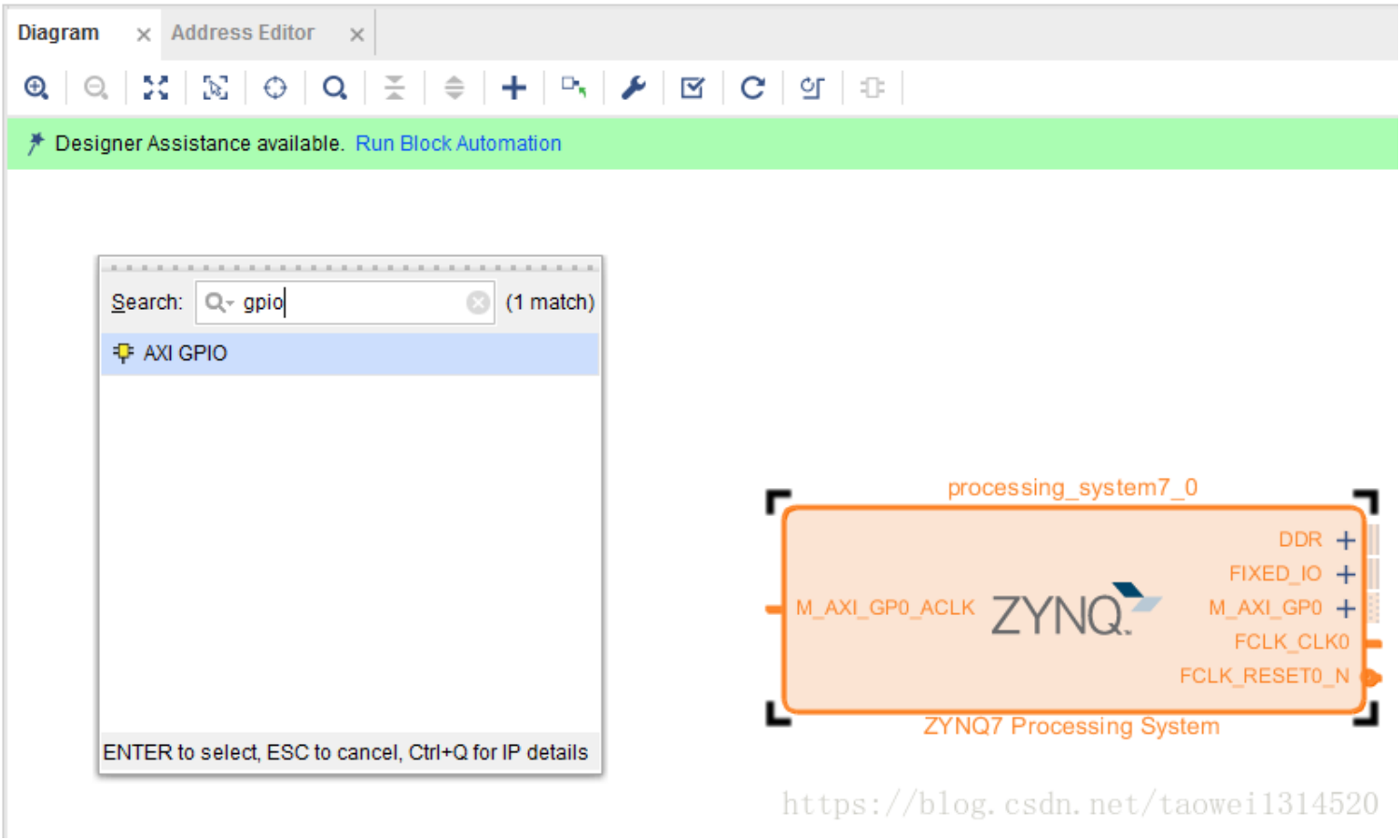
赏

🔊

举报

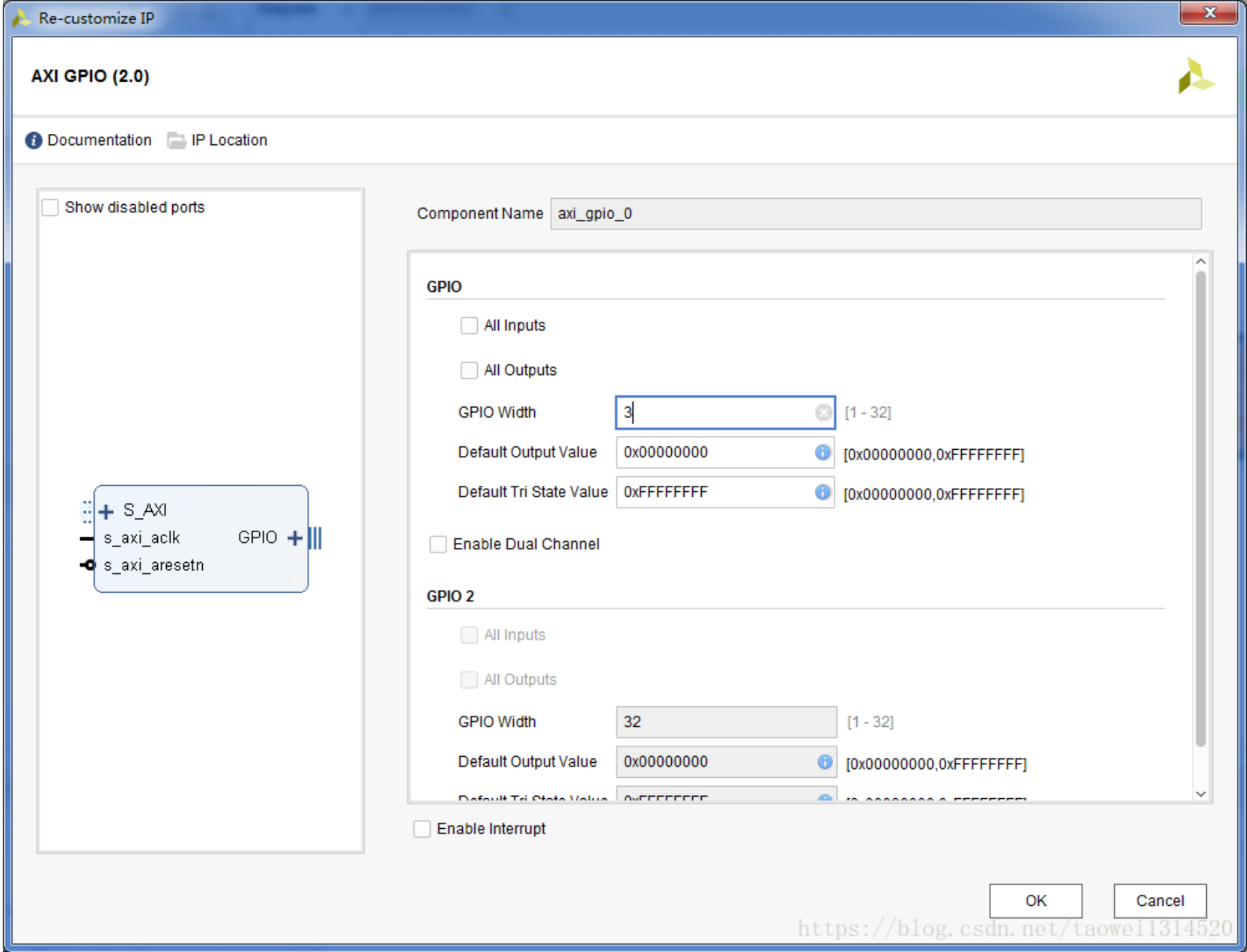


Step4 调用gpio核并设置

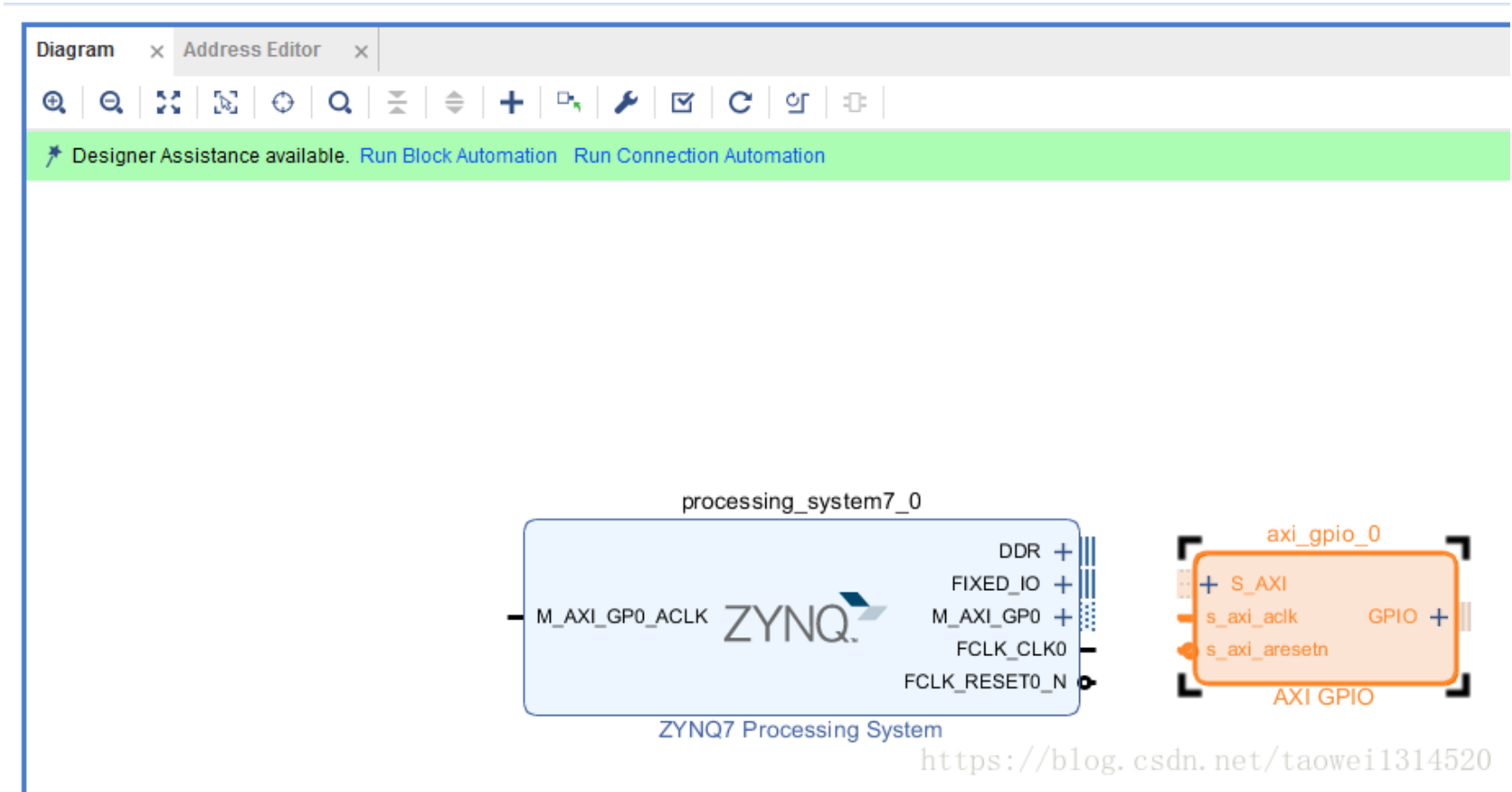


双击调用的gpio核，将输出的管脚设置为3也就是引出三个gpio管脚，然后点击OK



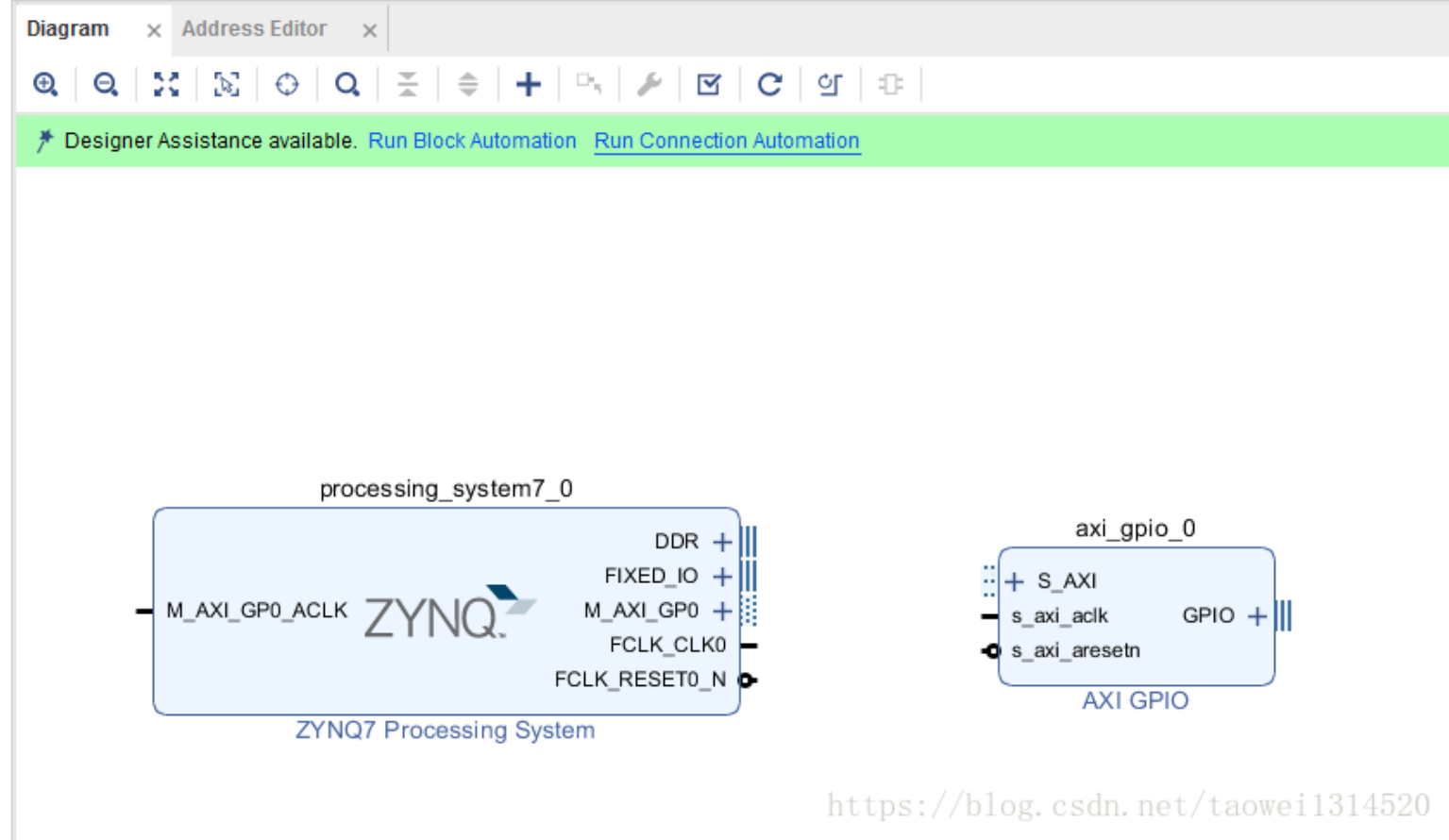


设置完成后如下图所示

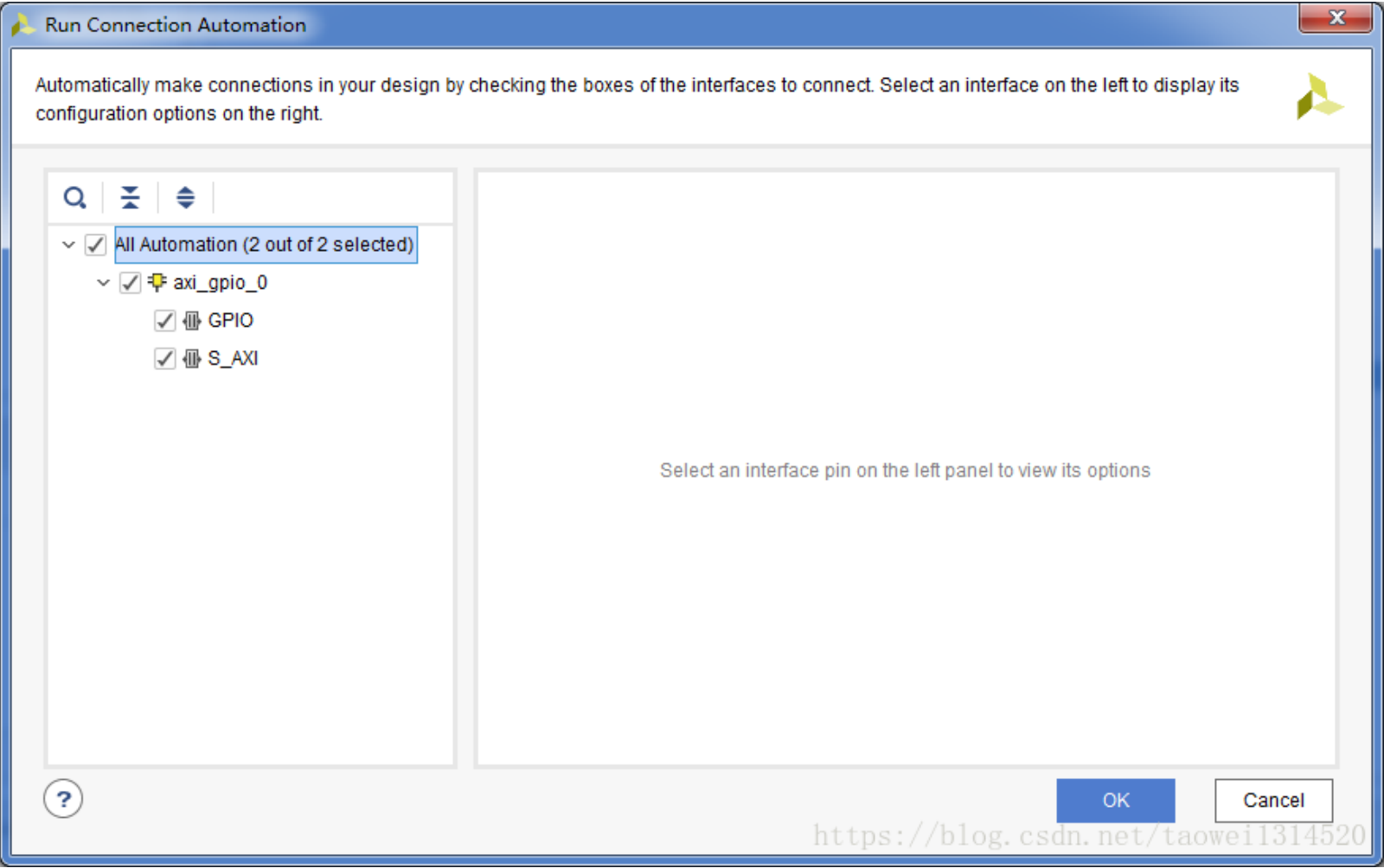


点击这个Run Connection Automation进行自动连线

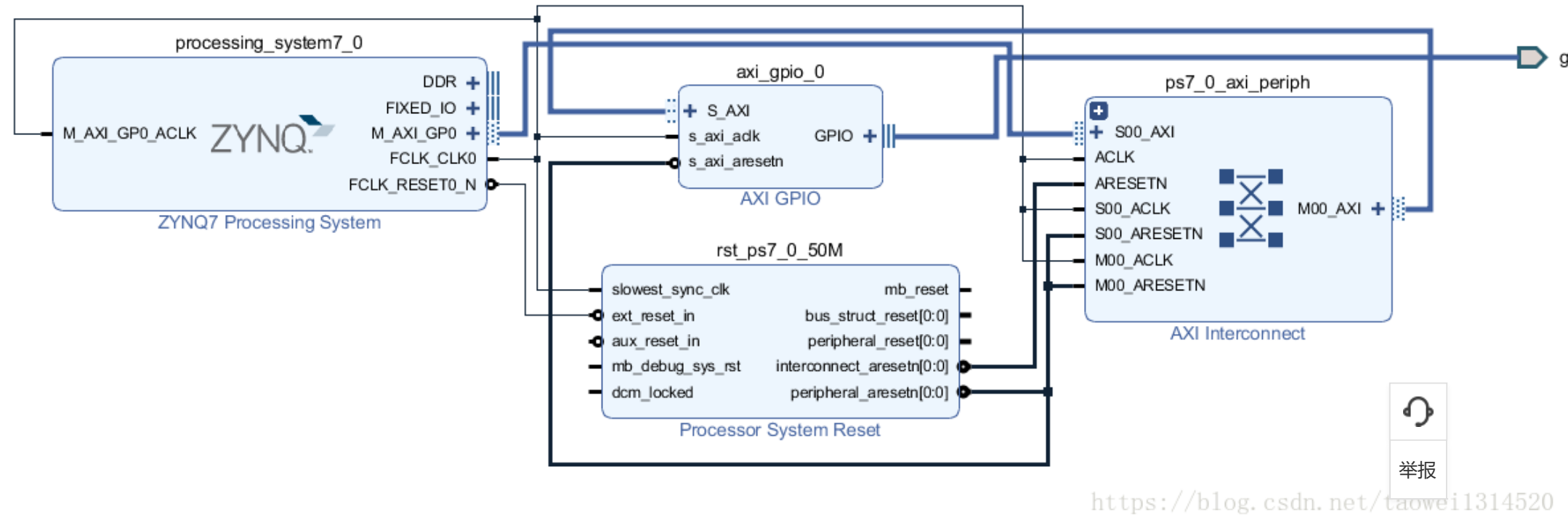




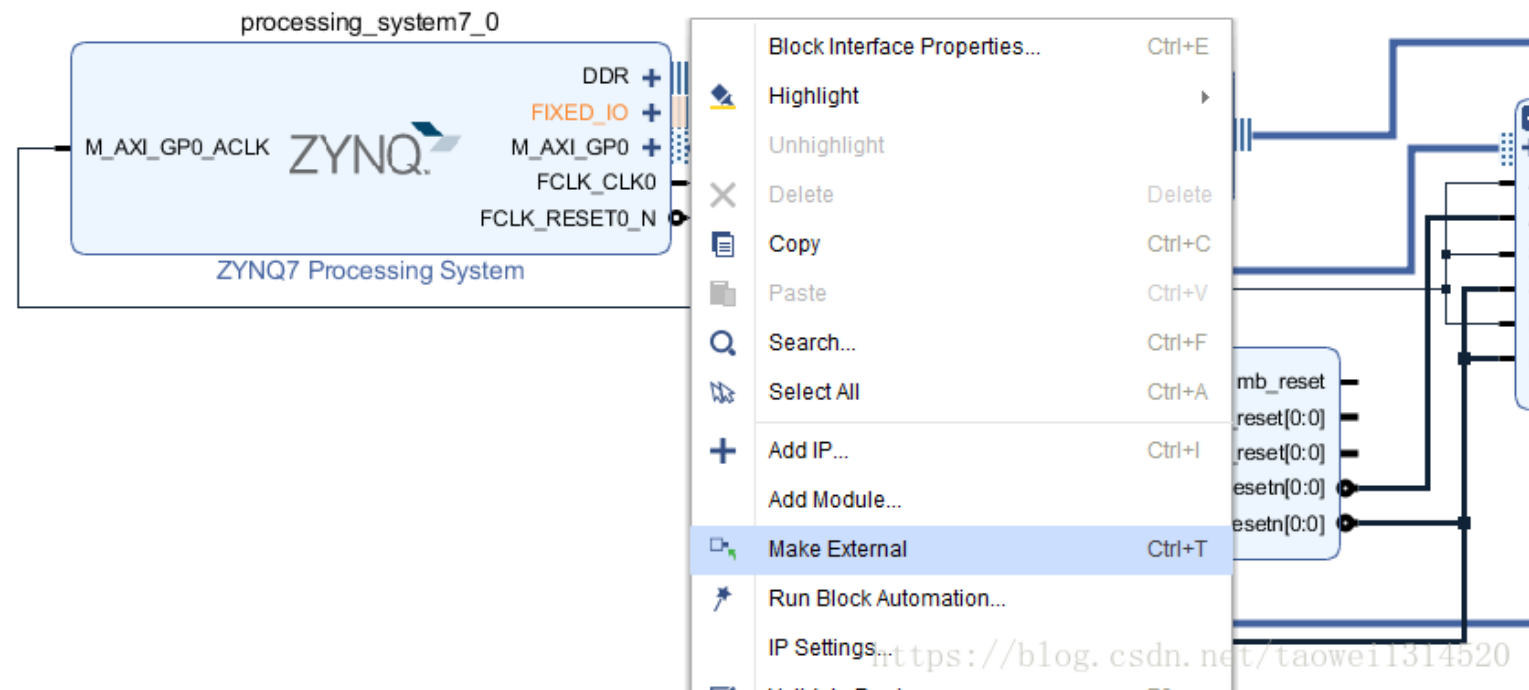
在弹出的对话框中勾选全部，然后点击OK



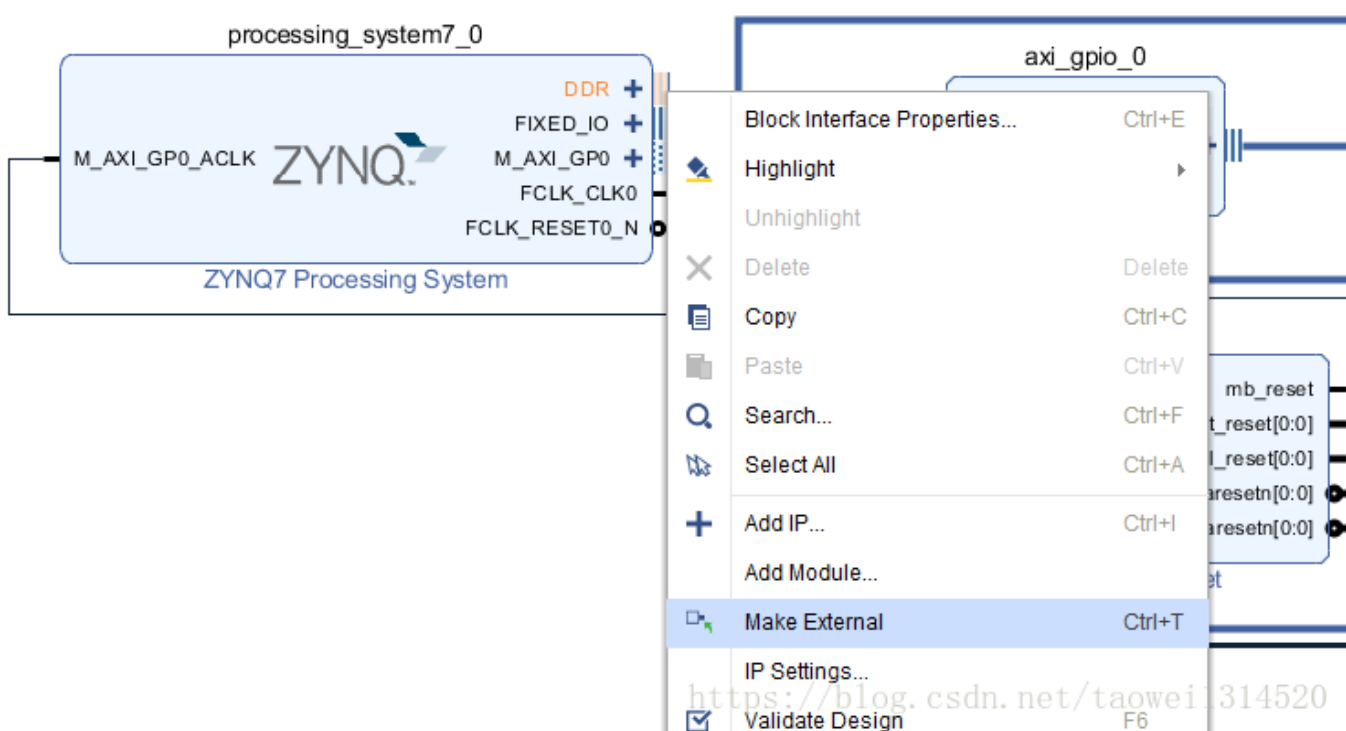
自动连线完成后如下图所示



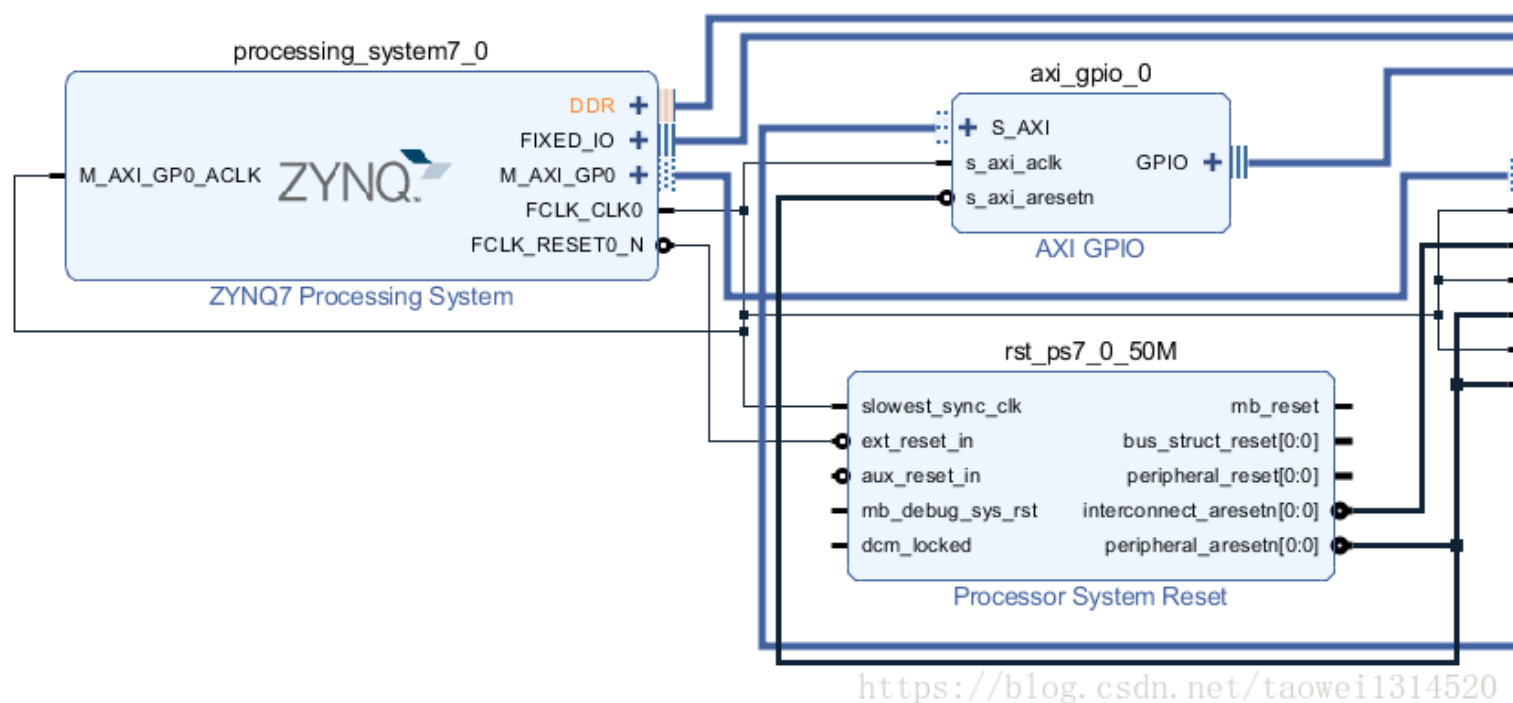
右击这个FIXED_IO这个管脚选择Make_External将这个管脚引出



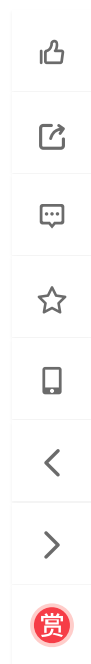
同样在DDR上面右击选择Make_External将DDR管脚引出

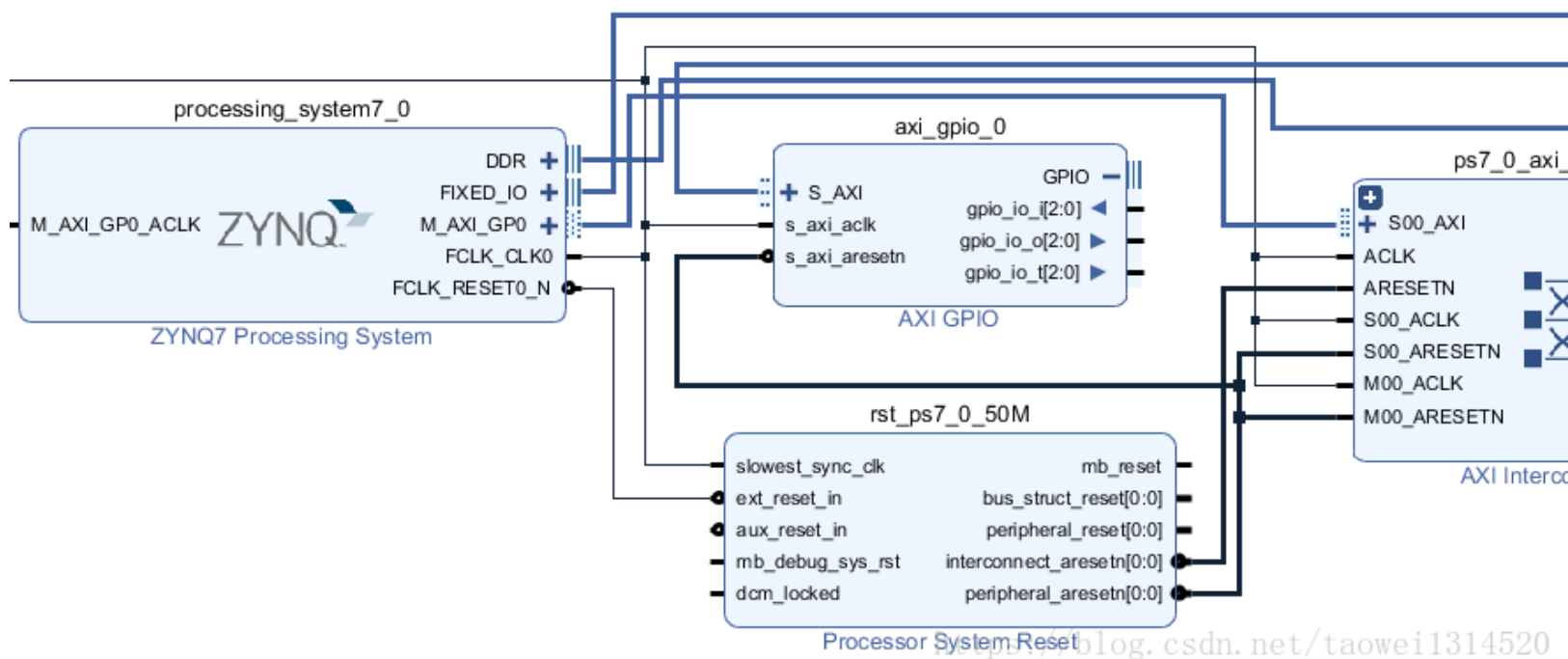


FIXED_IO和DDR管脚都引出后如下图所示

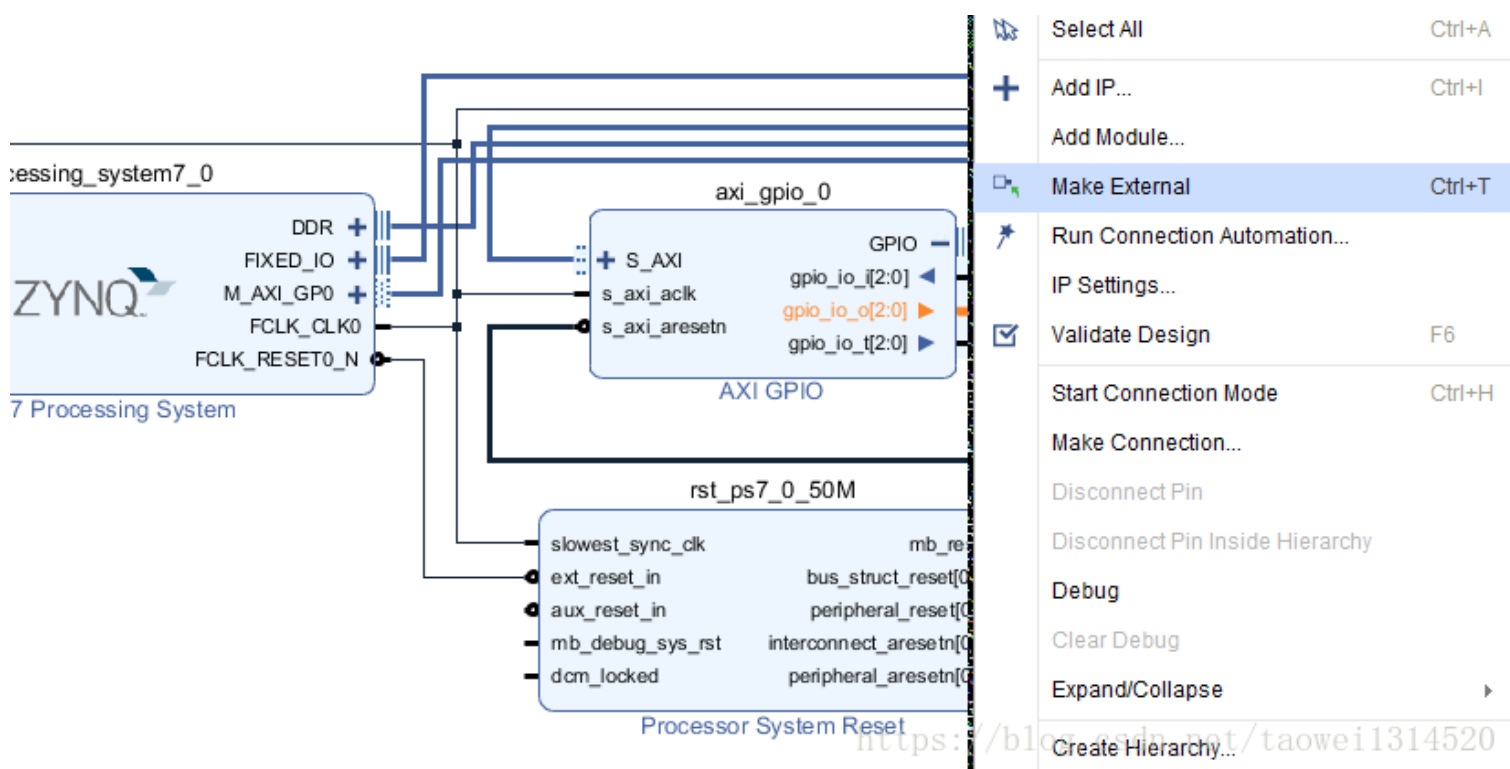


删除这个自动引出的gpio管脚，然后点击这个+号展开这个gpio

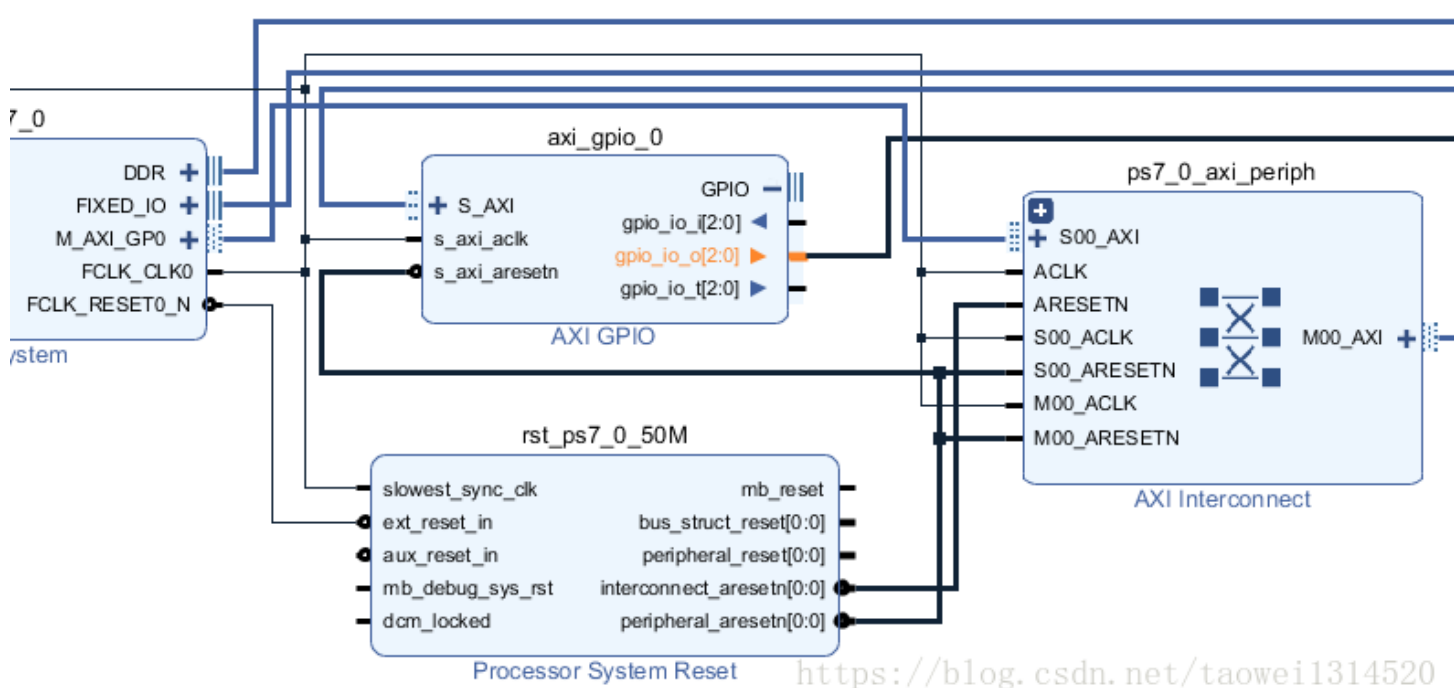




在展开的这个gpio_io_o上右击选择Make External引出这个管脚



管脚引出后如下图所示

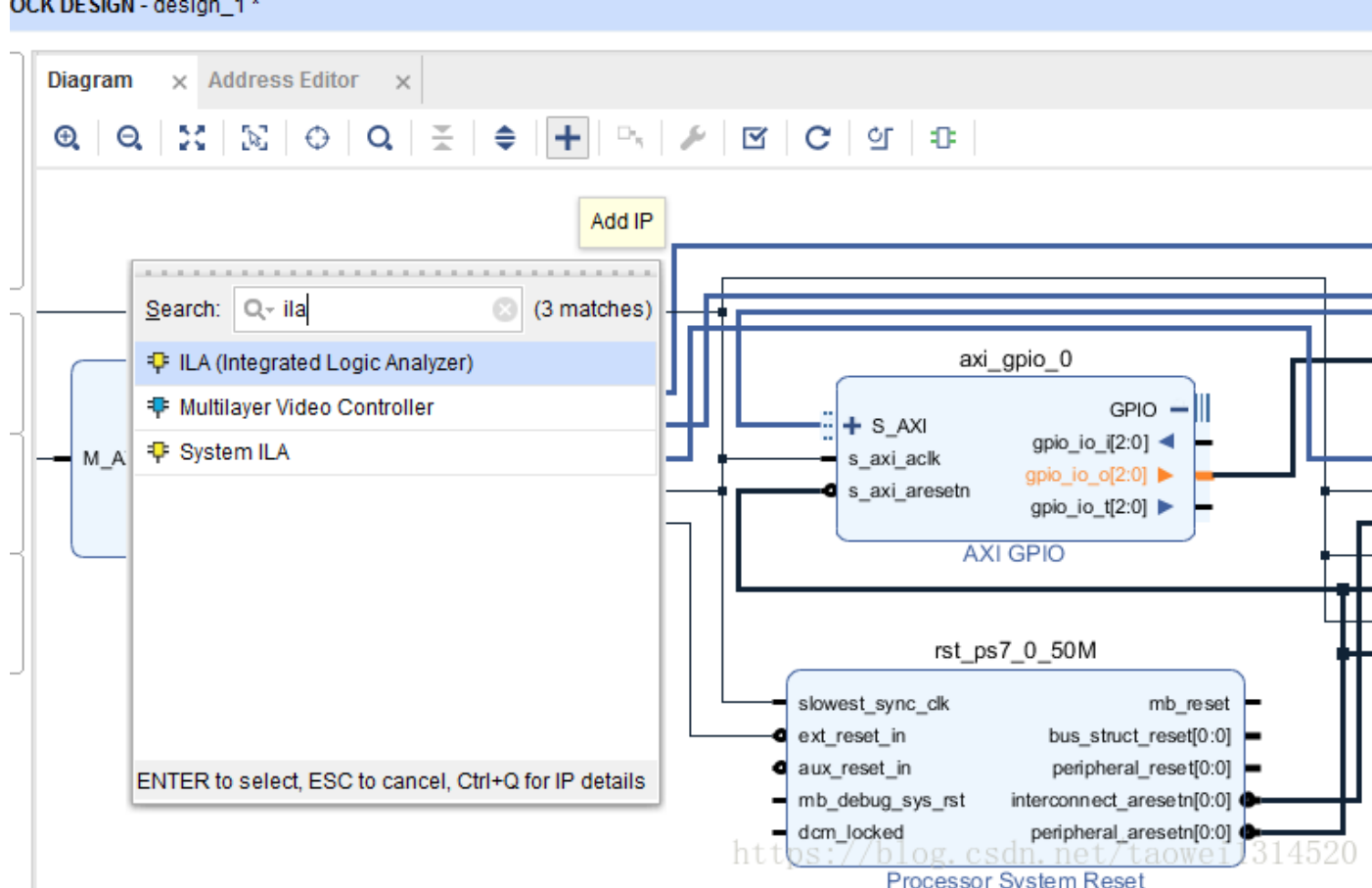


Step4 调用ILA核

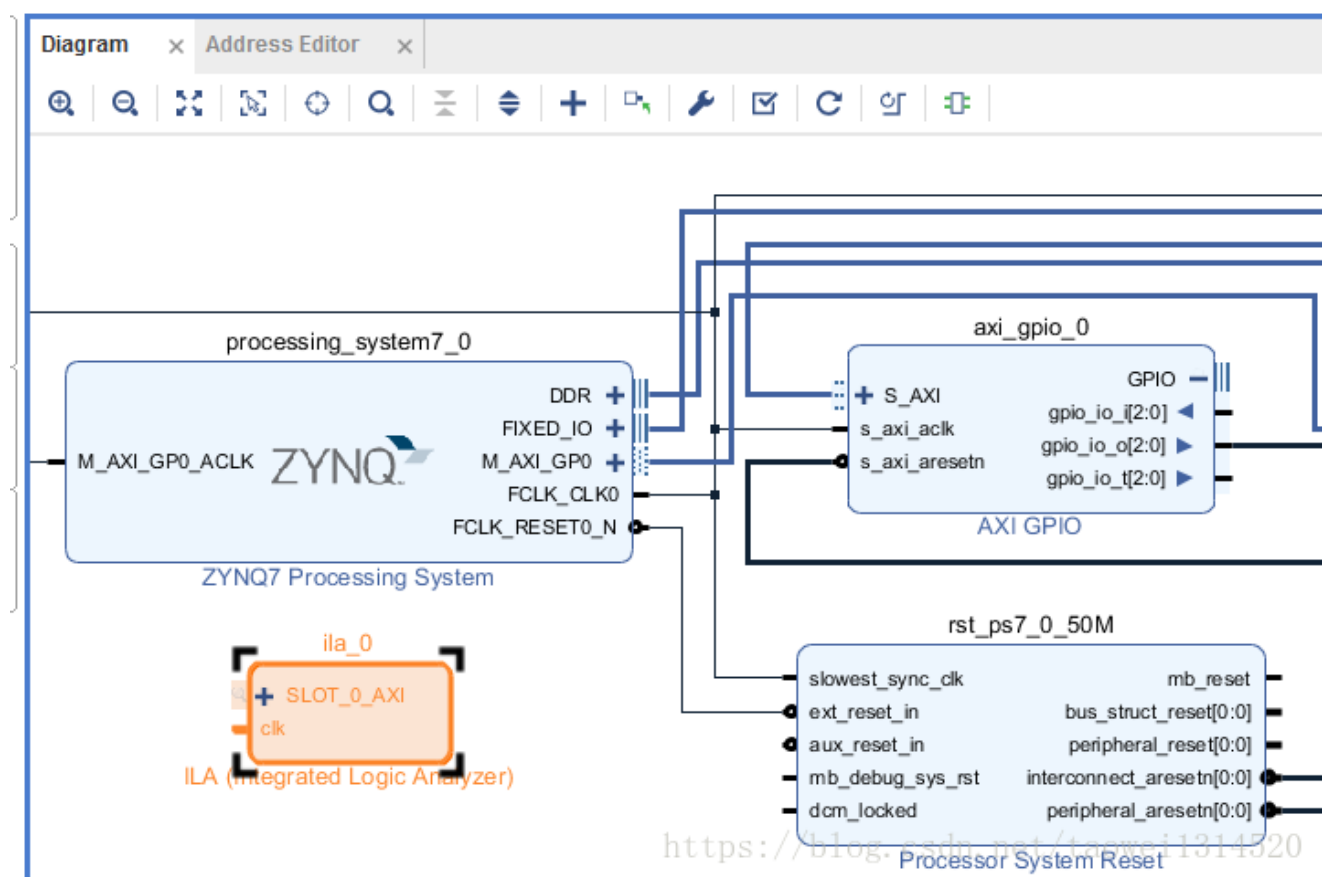
点击添加IP核，在搜索栏中输入ila，然后选择第一个ILA双击



举报



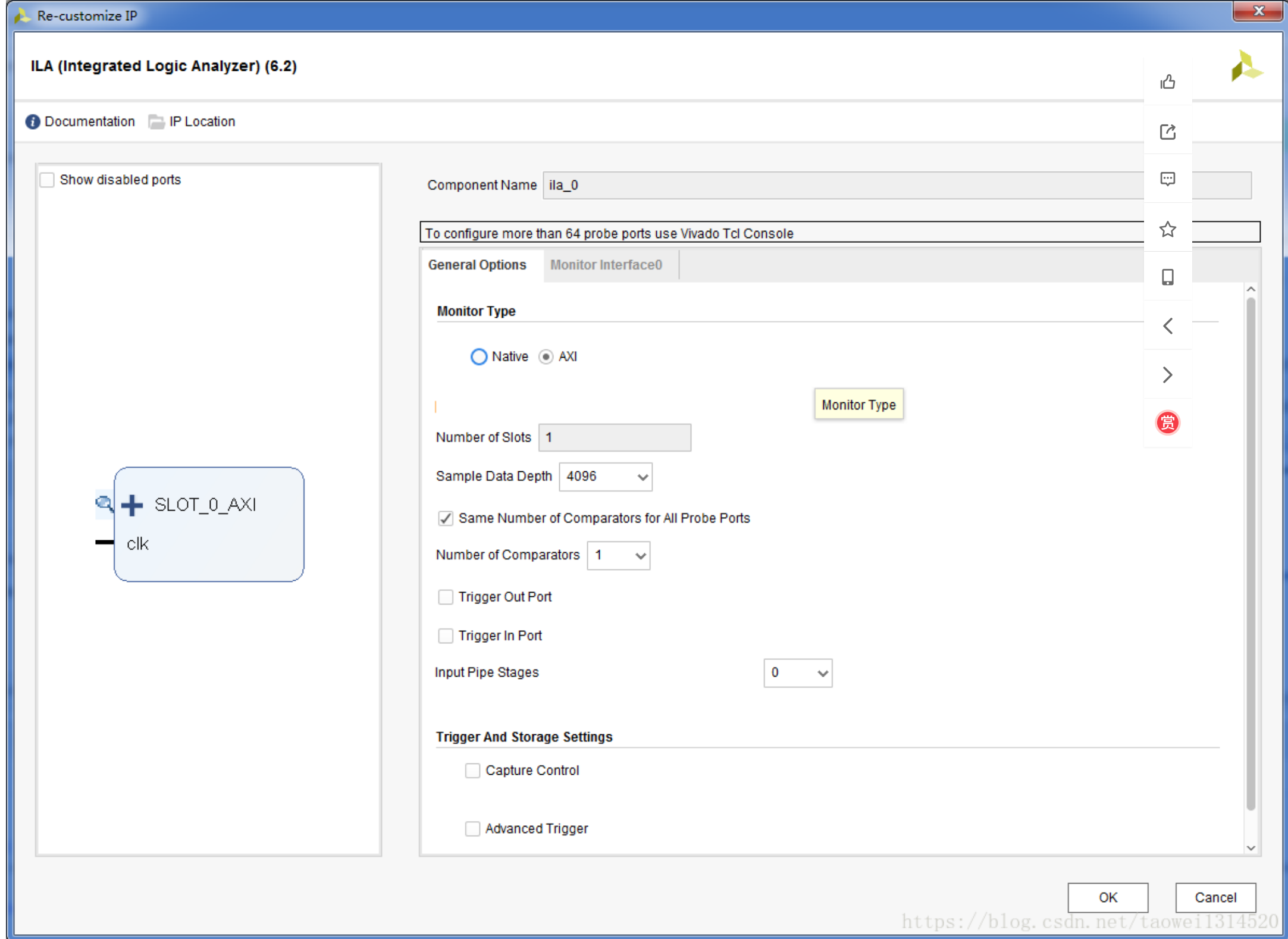
这个是调出的ILA核



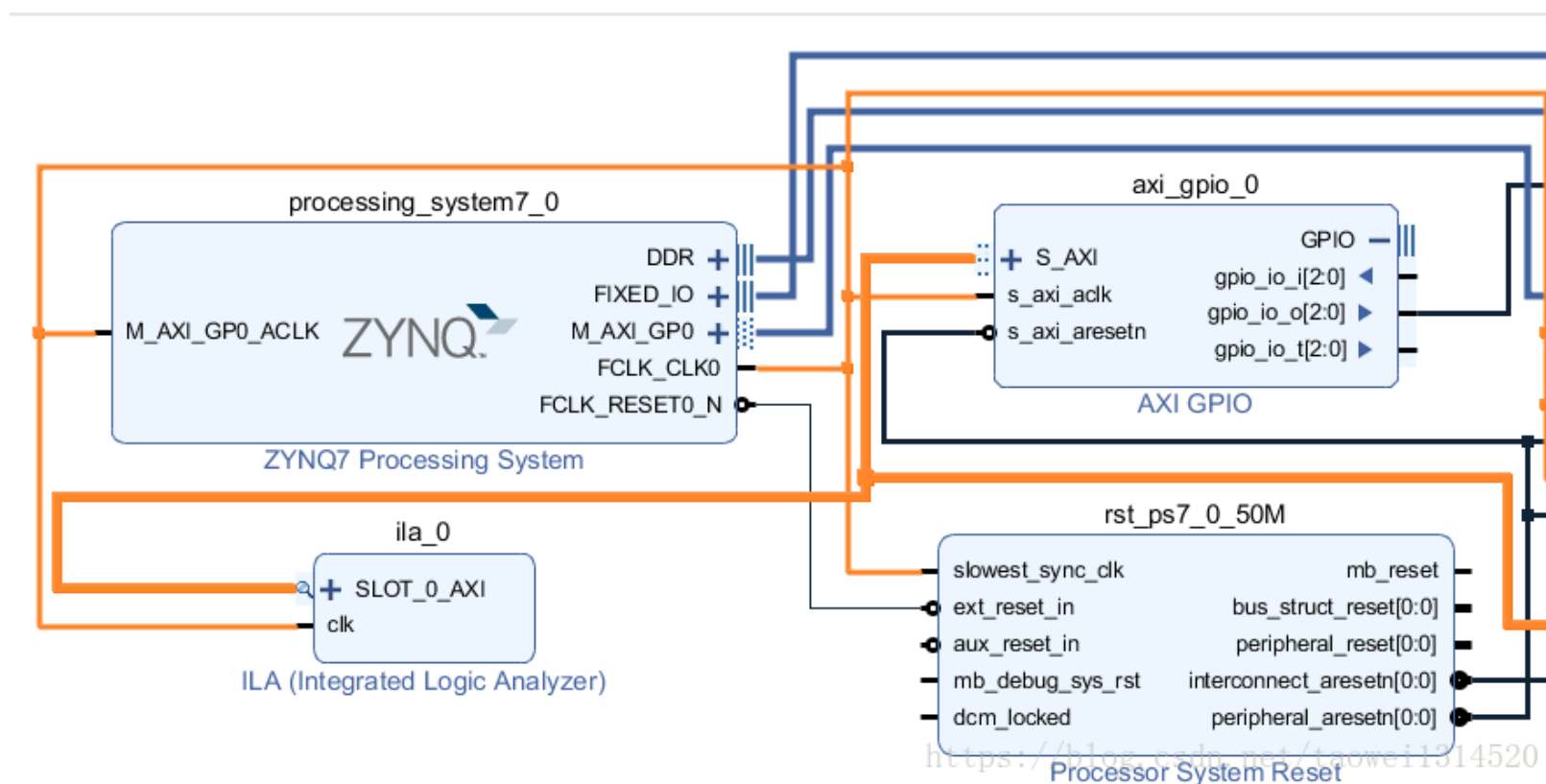
双击ILA核弹出属性设置对话框，我们测量的是axi总线所以这个Monitor Type选择axi，再将这个采集的位宽Sample Data Depth设置为4096其它的都默认保持不变，然后点击OK



举报



将这个要测量的axi_gpio的总线连到ILA上，并且这个要测量的总线的时钟和这个ILA的时钟必须是同一个时钟

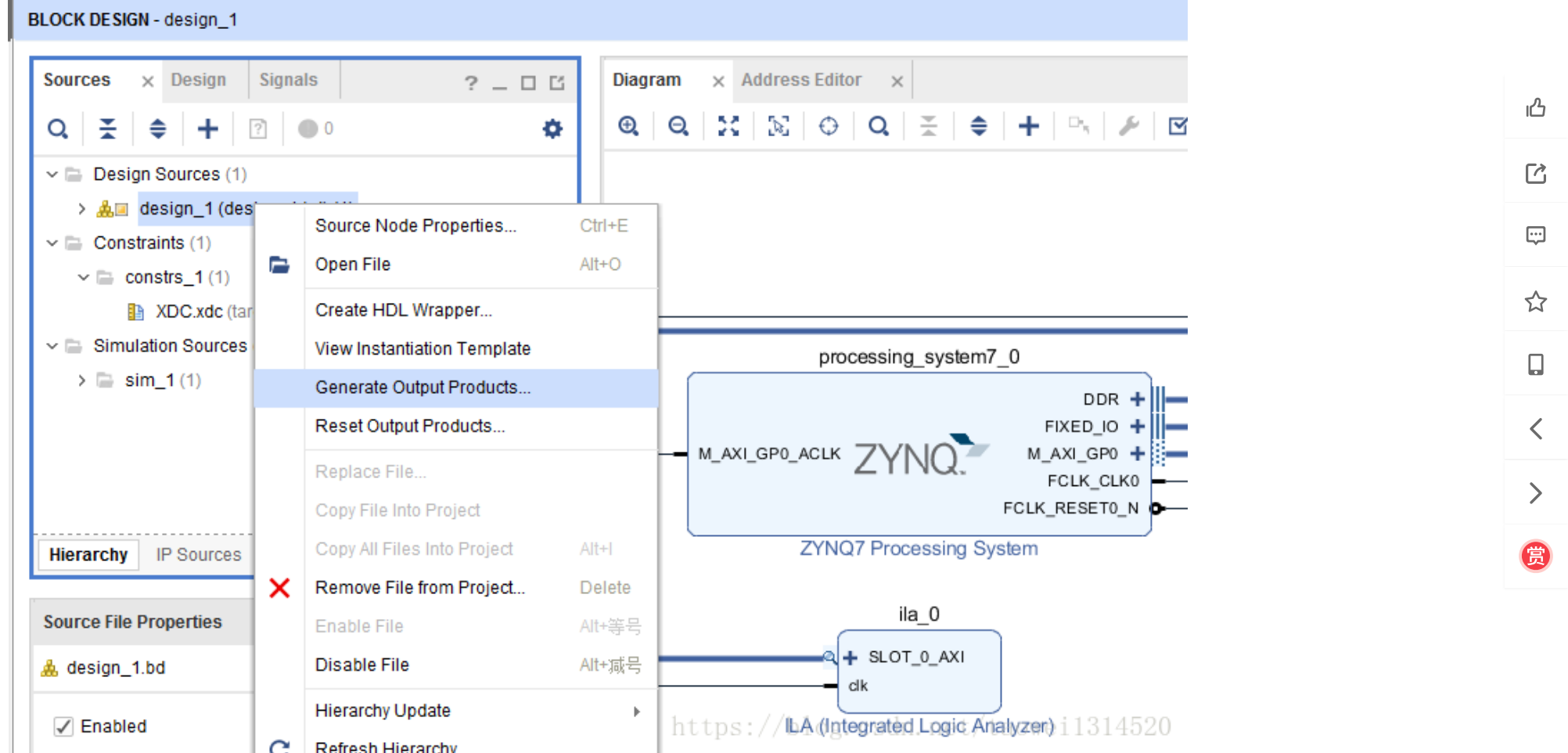


Step5 进行综合并生成顶层文件

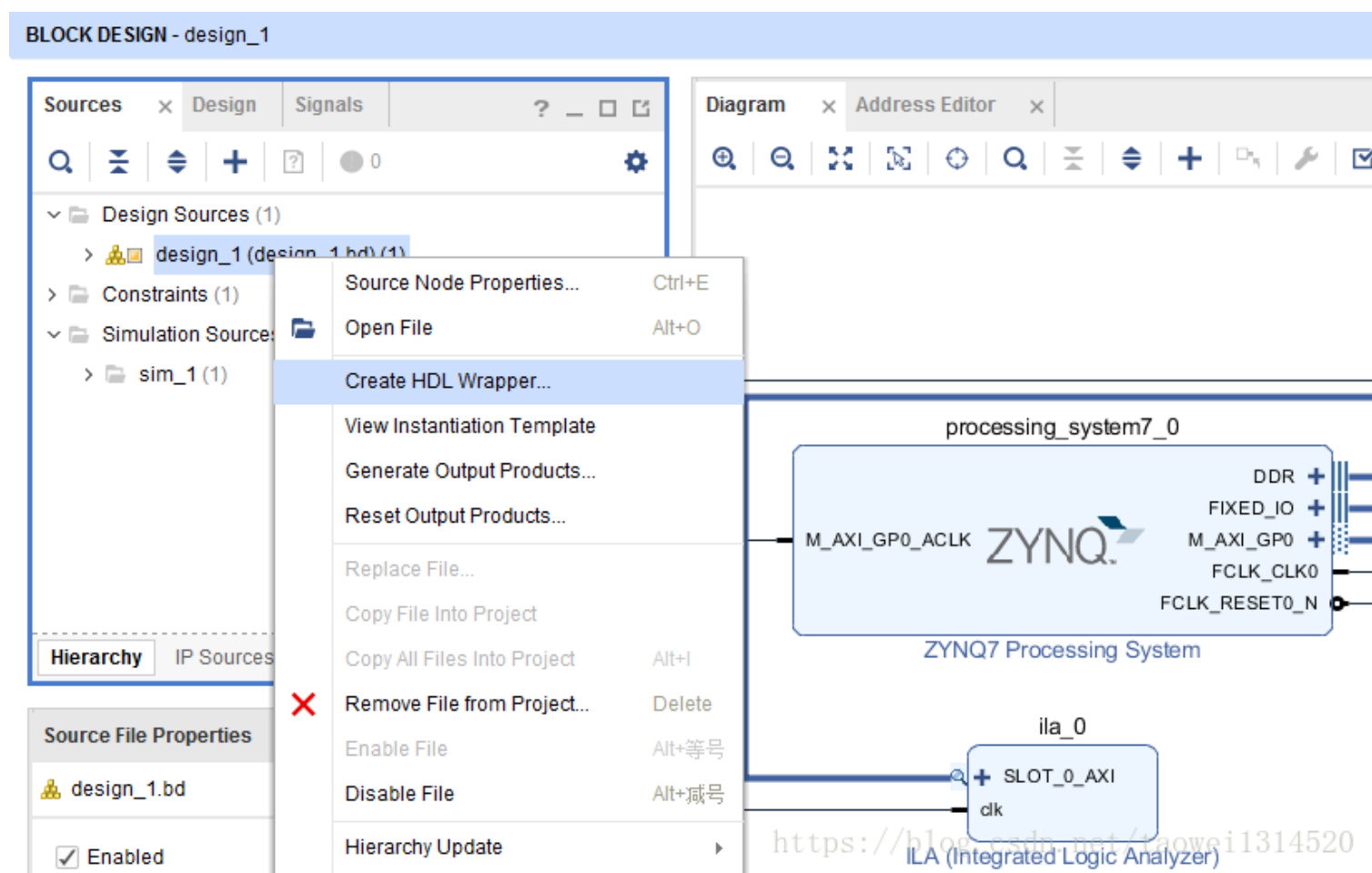
进行综合



举报

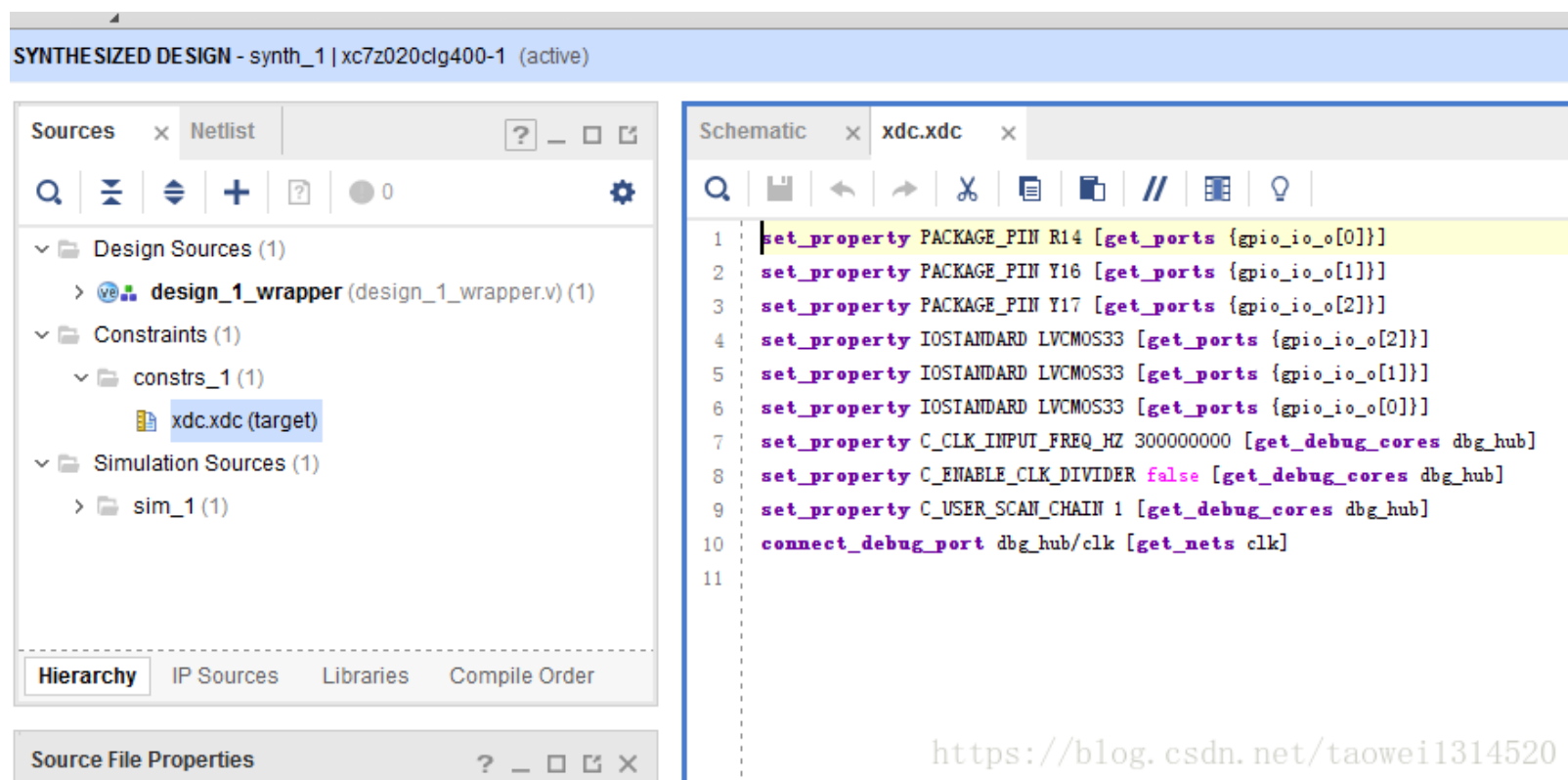


生成顶层文件

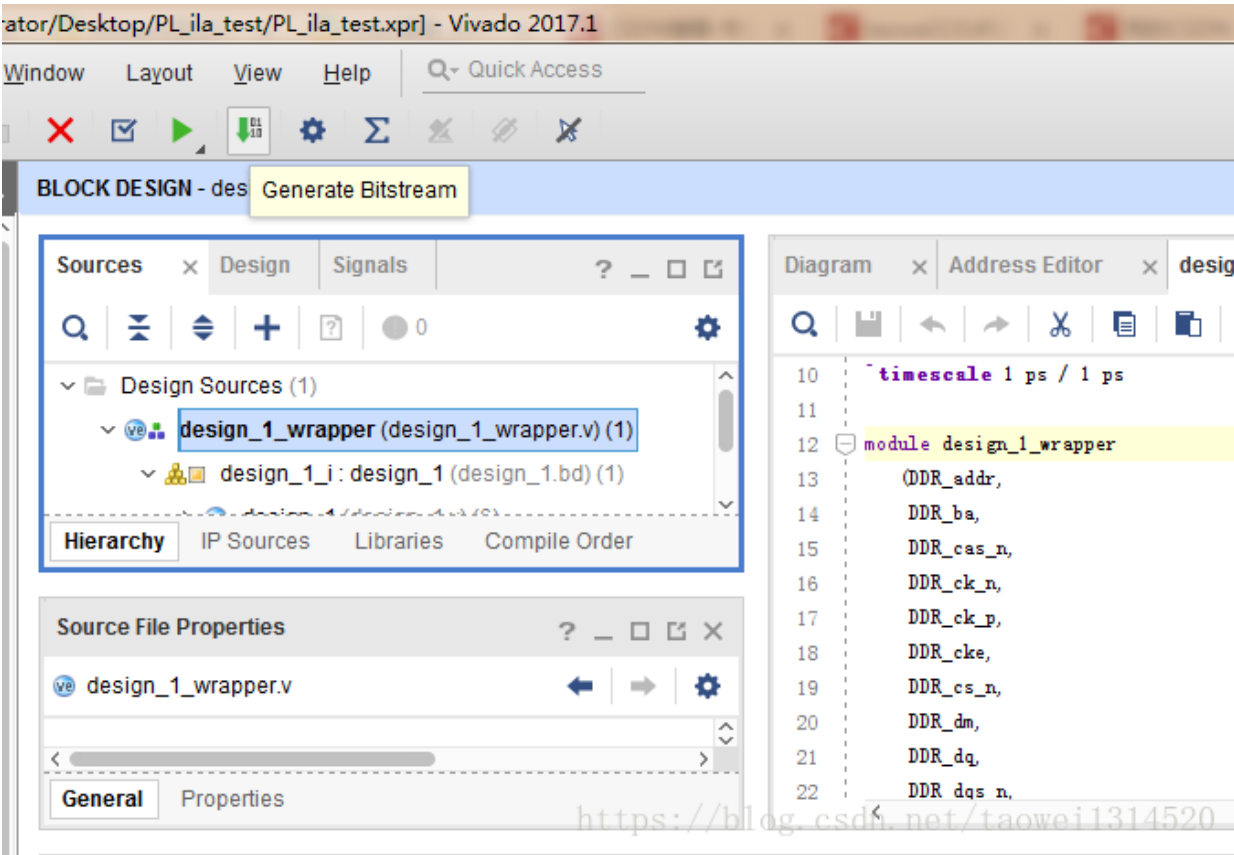


Step6 分配fpga管脚生成bit文件

分配管脚

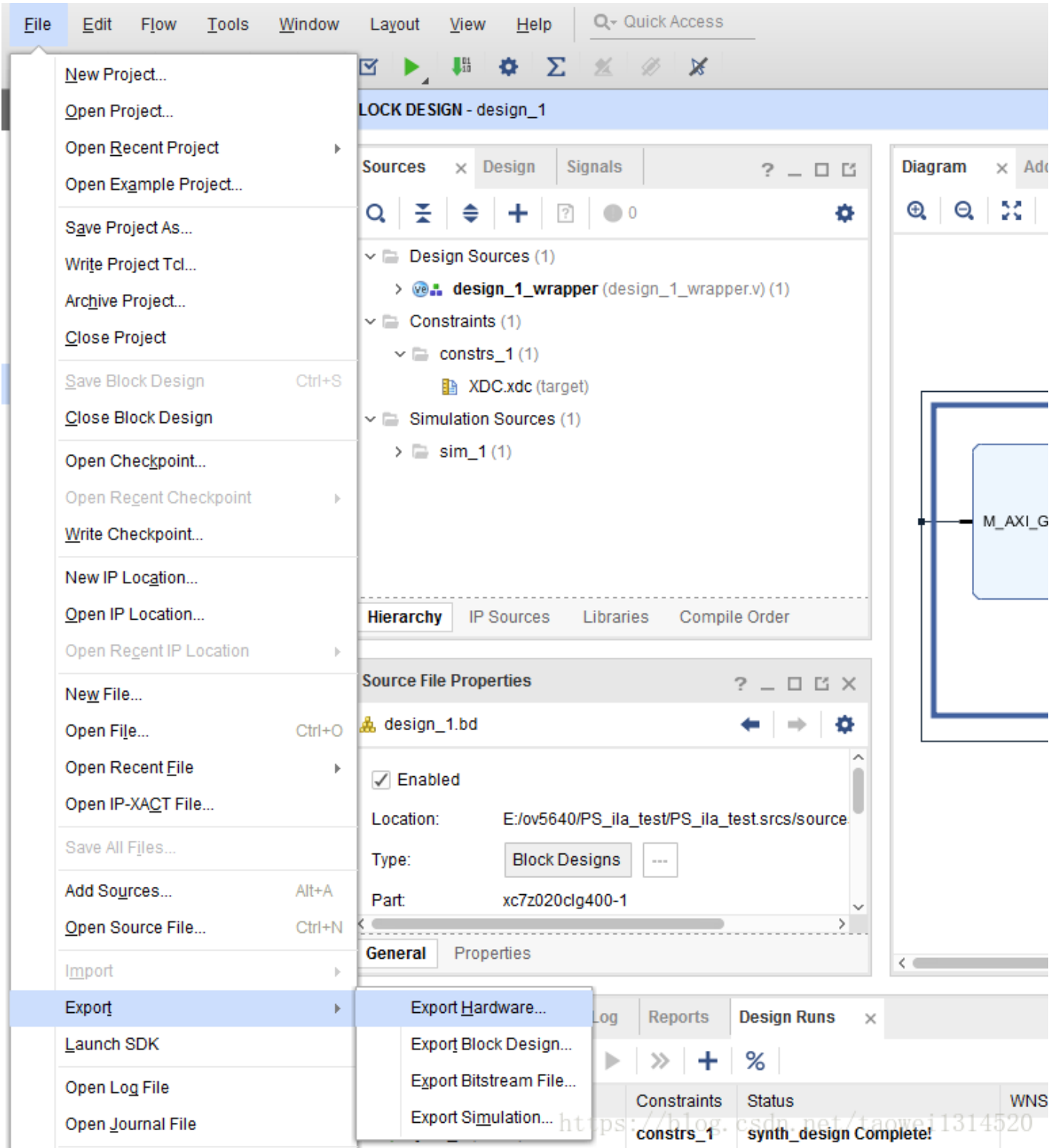


生成bit文件

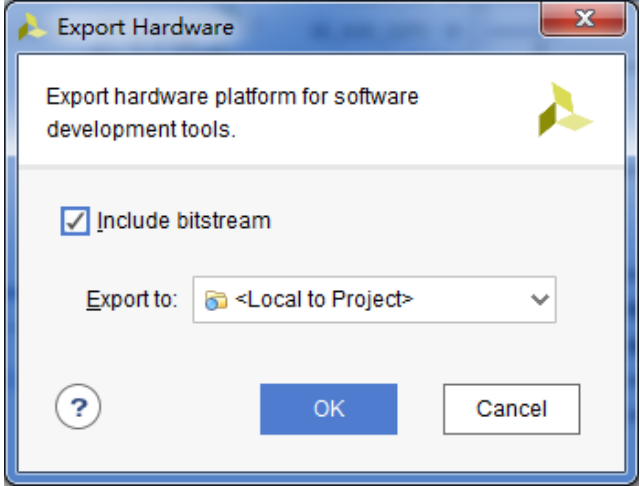


Step7 导出硬件配置和打开SDK

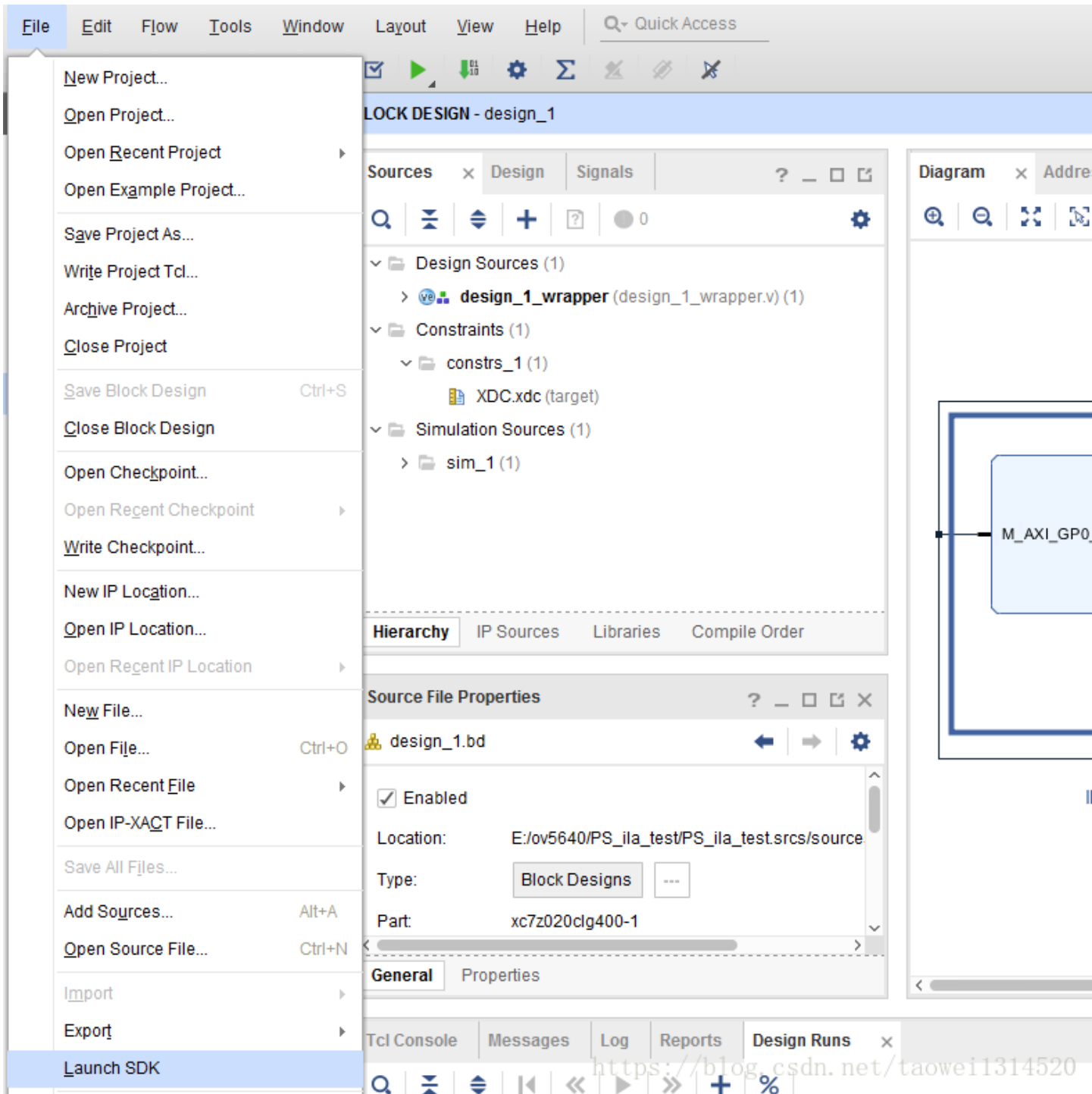
导出硬件配置



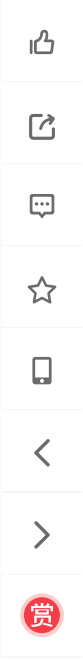
举报

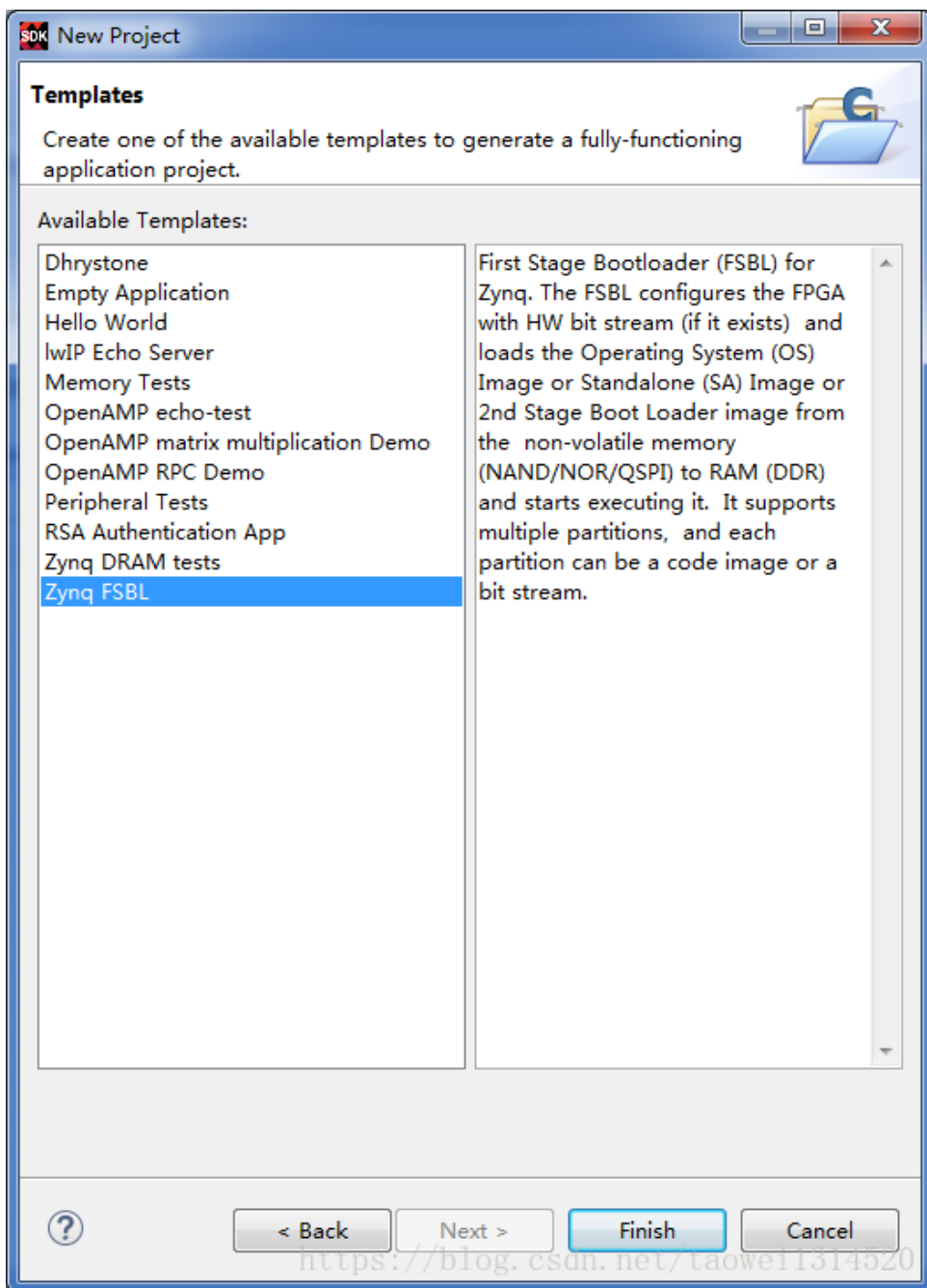
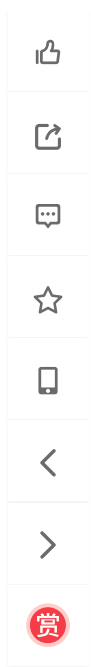
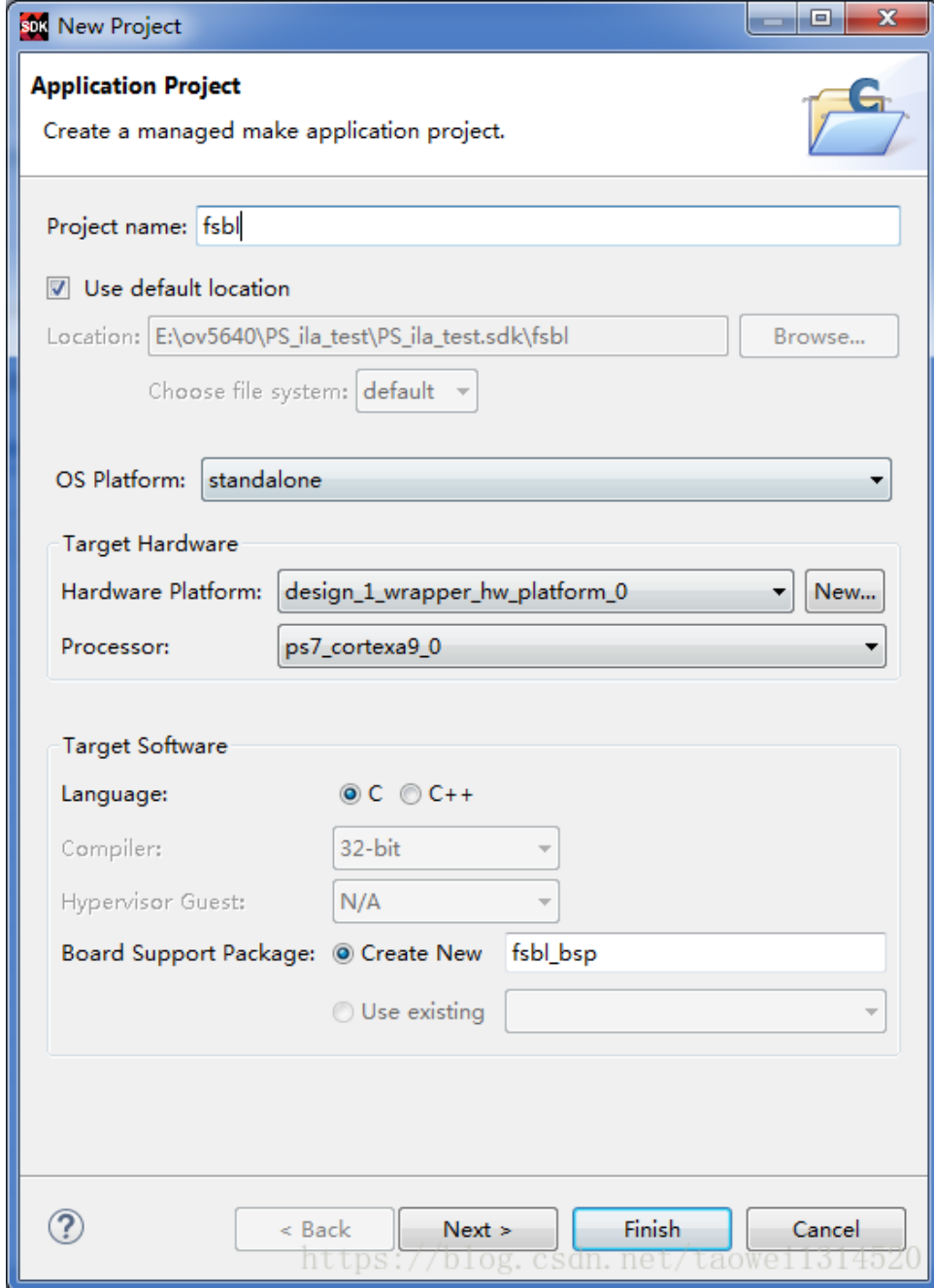


打开SDK



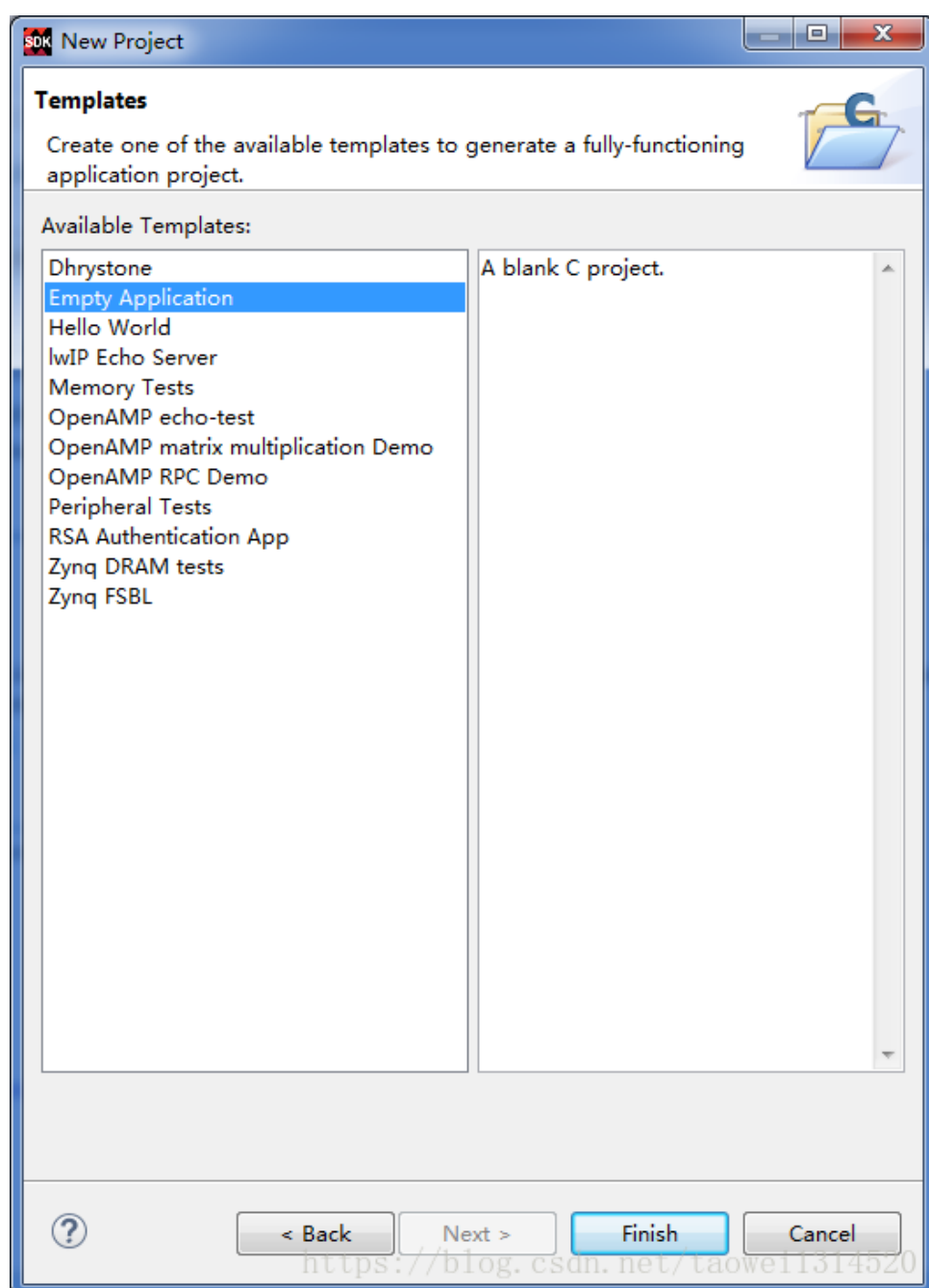
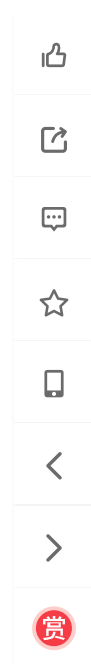
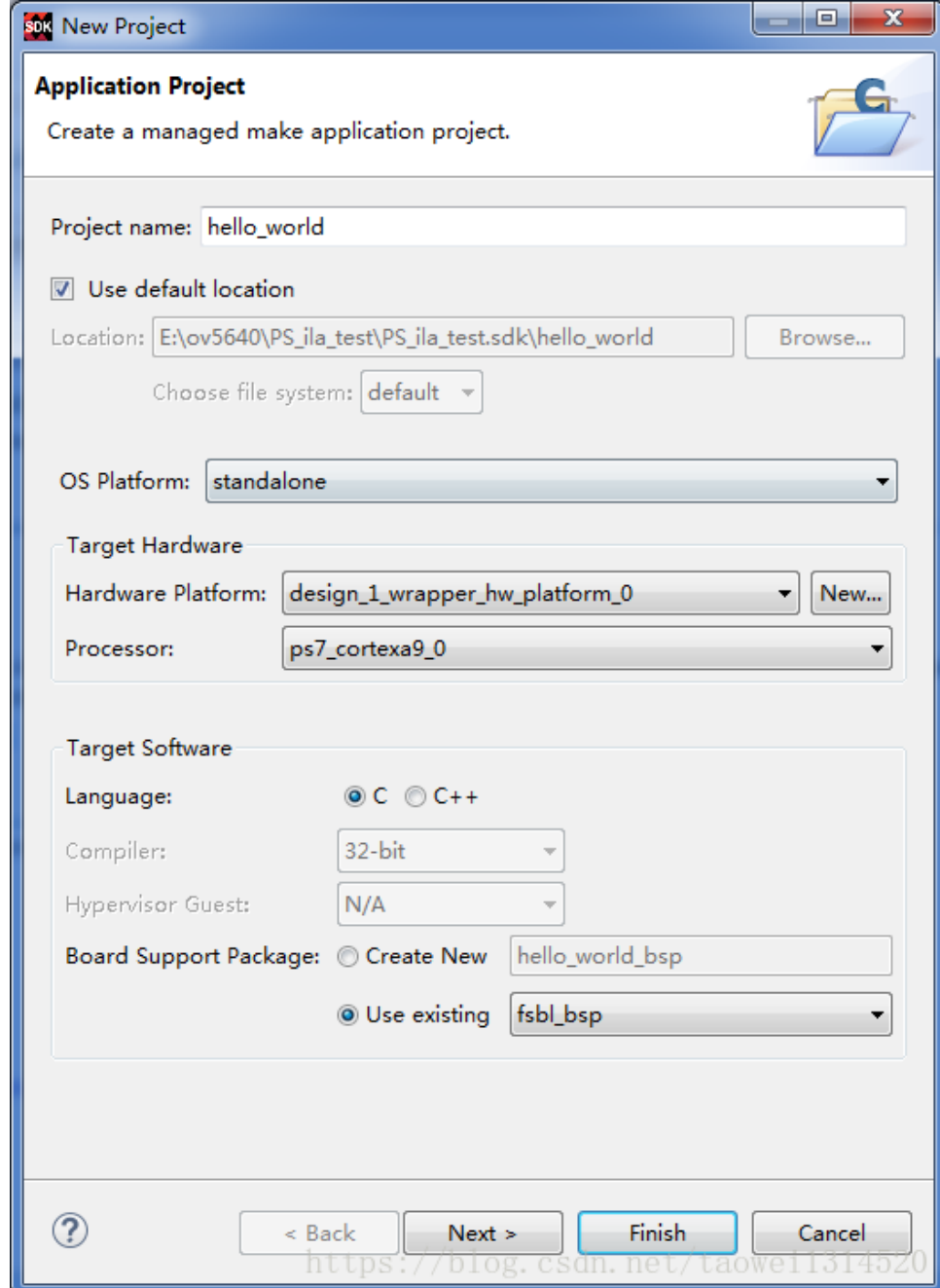
Step8 生成fsbl





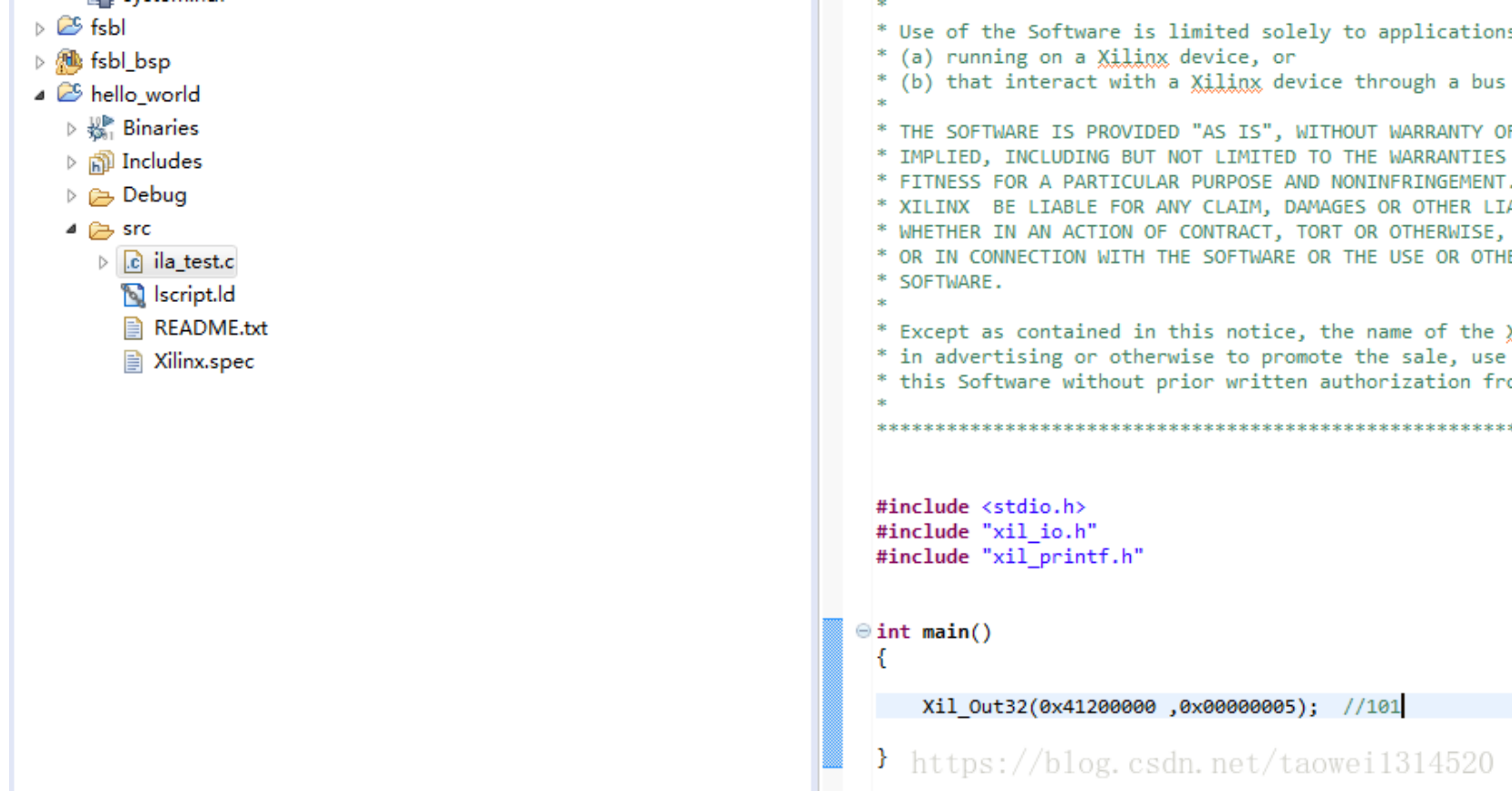
Step9 新建一个hello_world工程





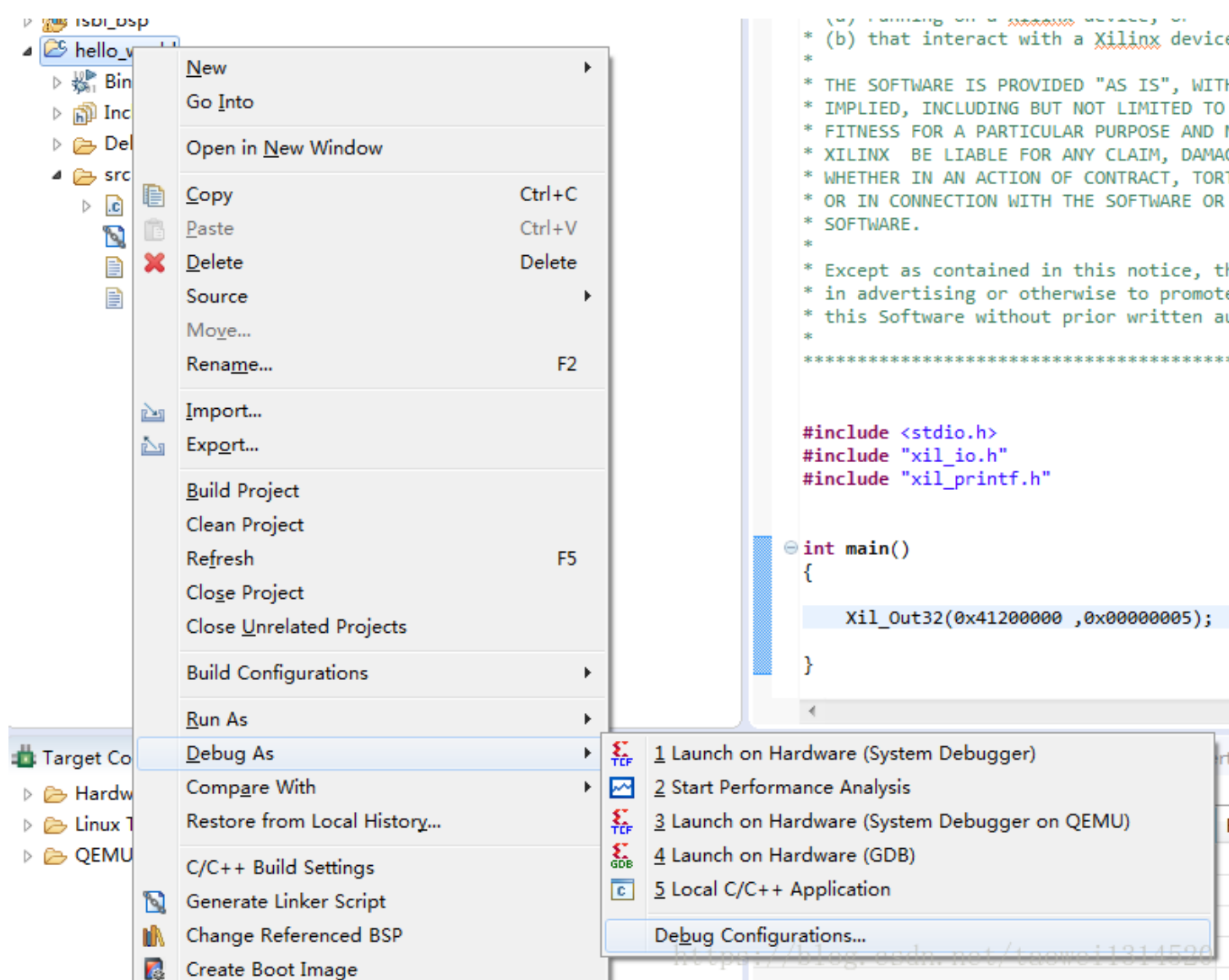
新建一个ila_test.c文件并对输出的三个gpio管脚进行操作



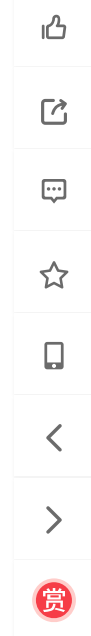


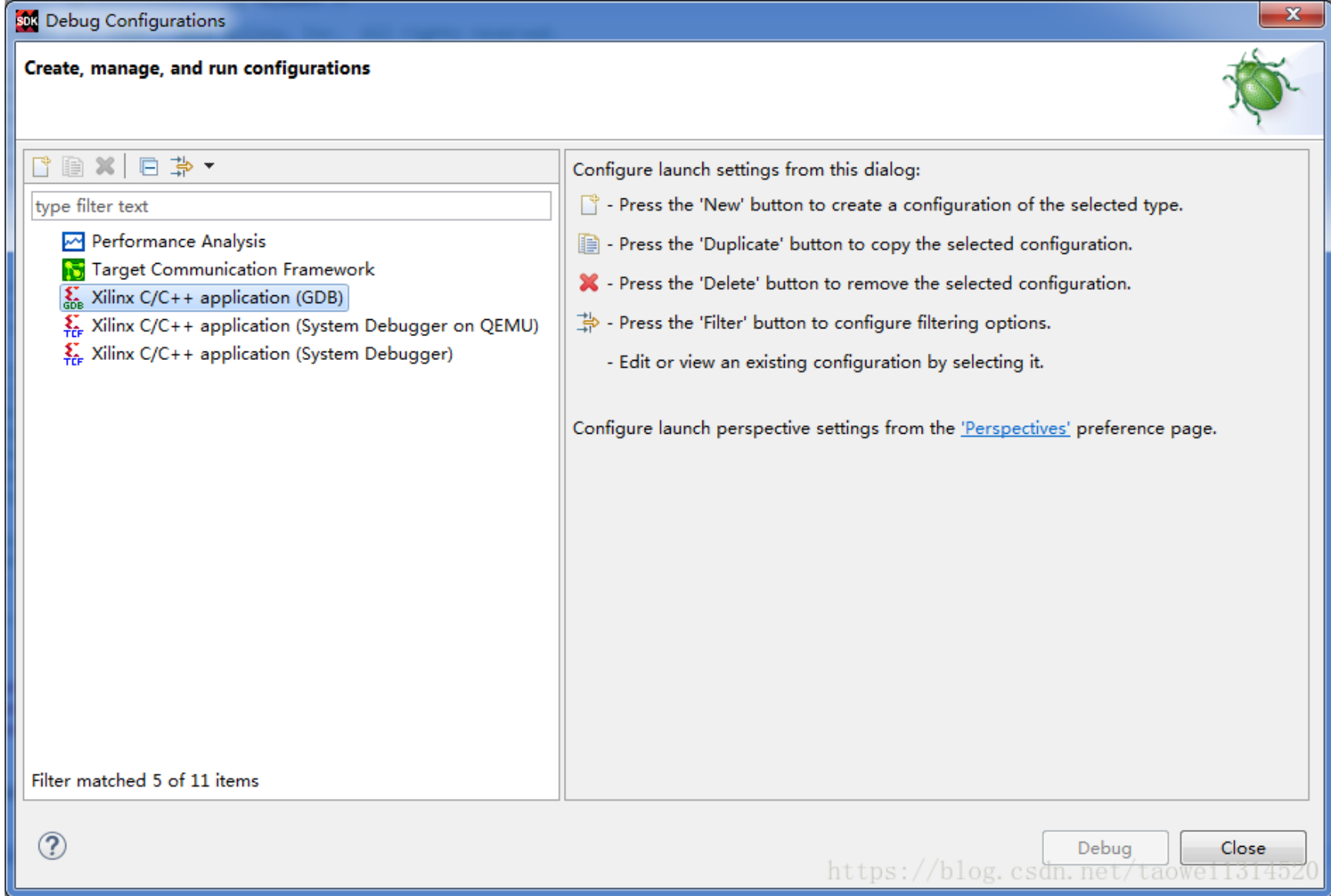
Step 10 进行debug将PS程序下载到开发板

右击hello_world-->Debug As-->Debug Configurations

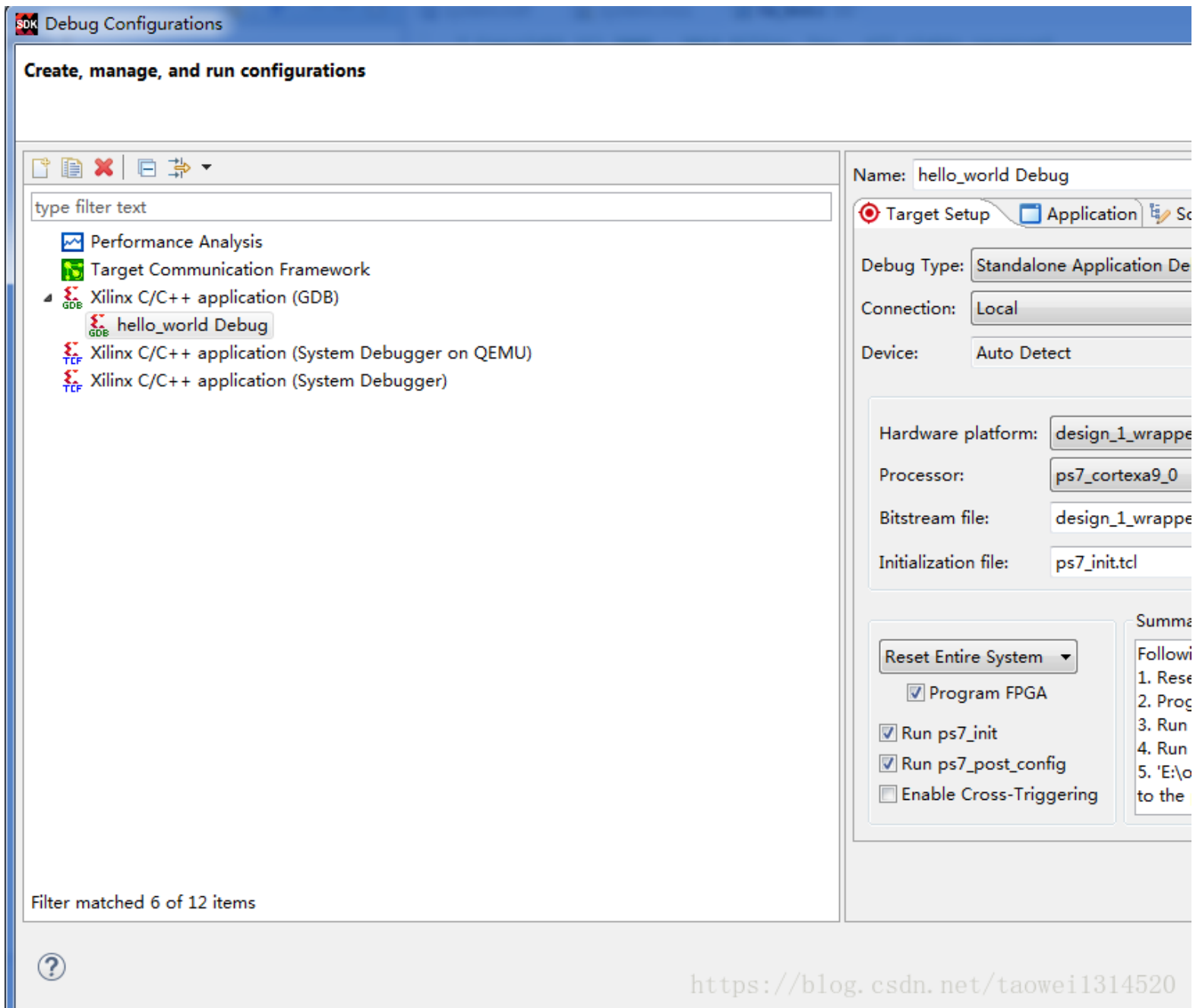


在弹出的对话框中双击这个Xilinx C/C++ application(GDB)



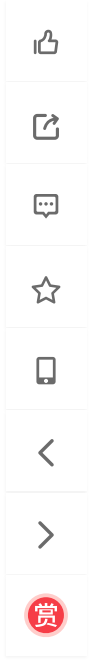


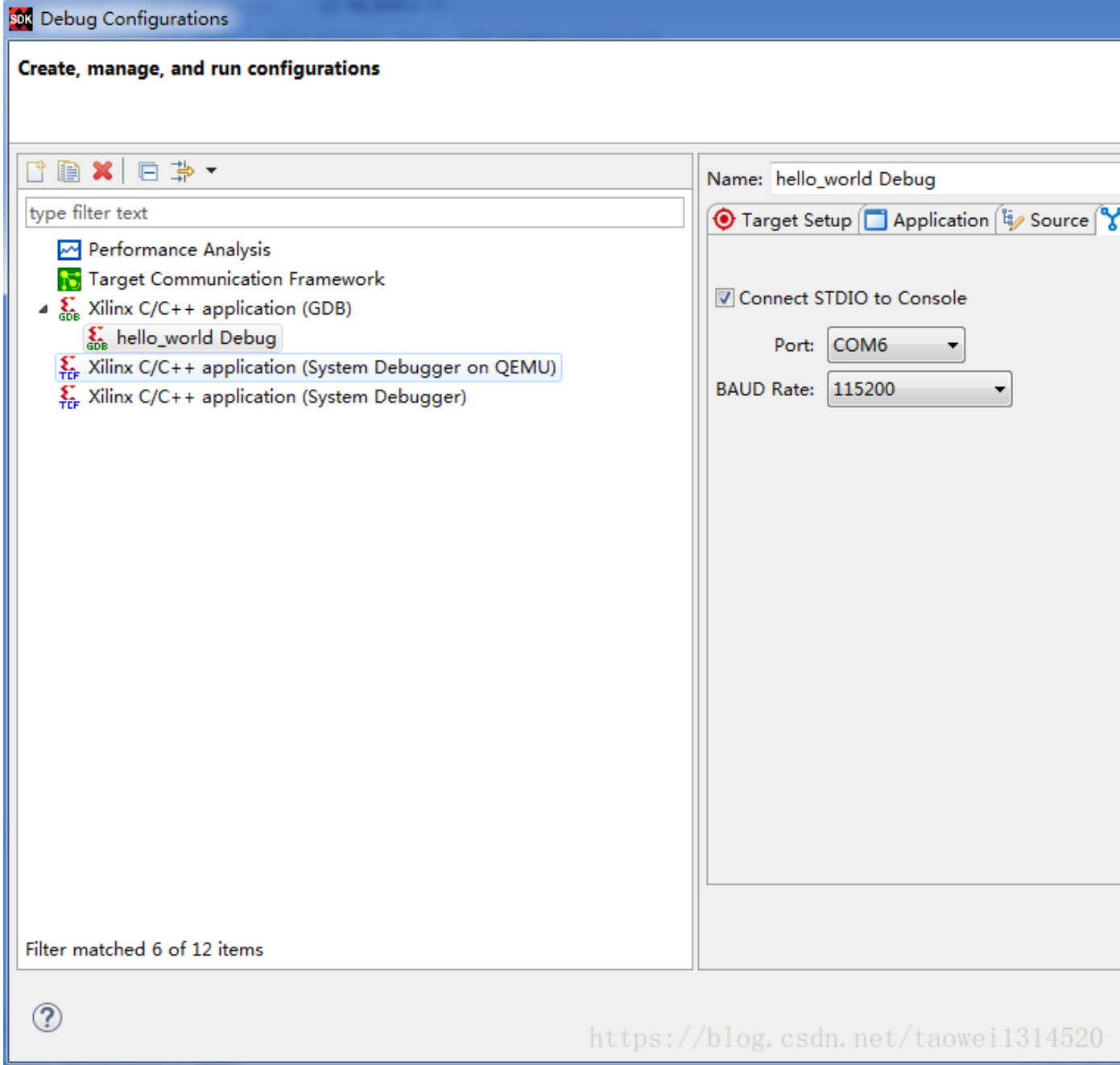
再在这个Target Setup 选项卡选择Reset Entire System



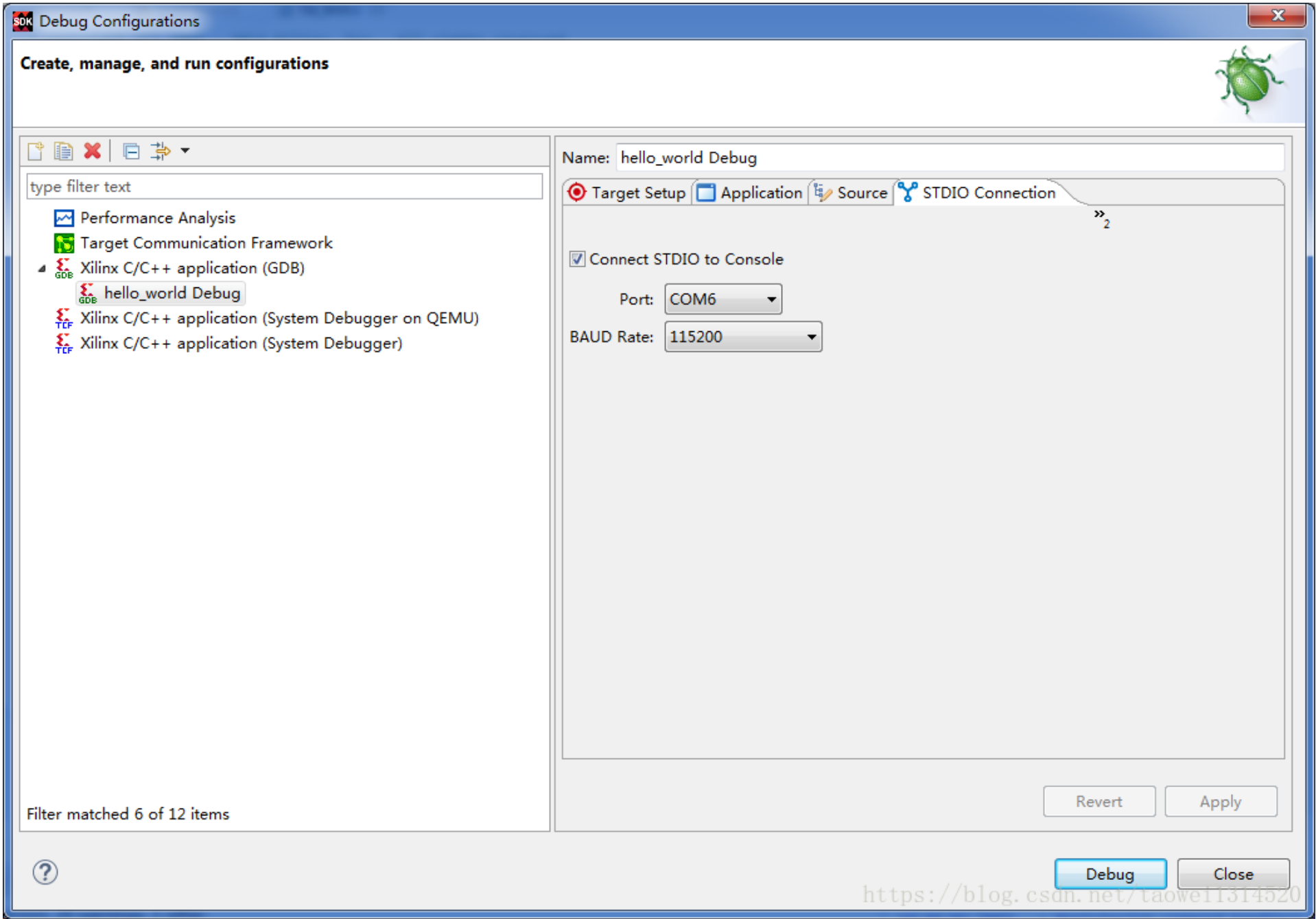
点击这个STDIO Connection选项卡勾选Connect STDIO to Console、选择自己开发板所连接的uart端口、

以及设置波特率为115200，然后点击这个Apply



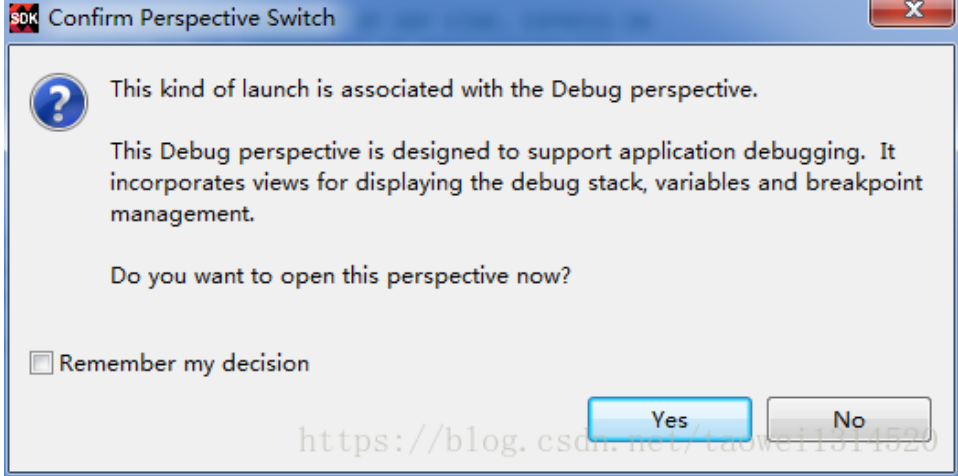


最后点击这个Debug

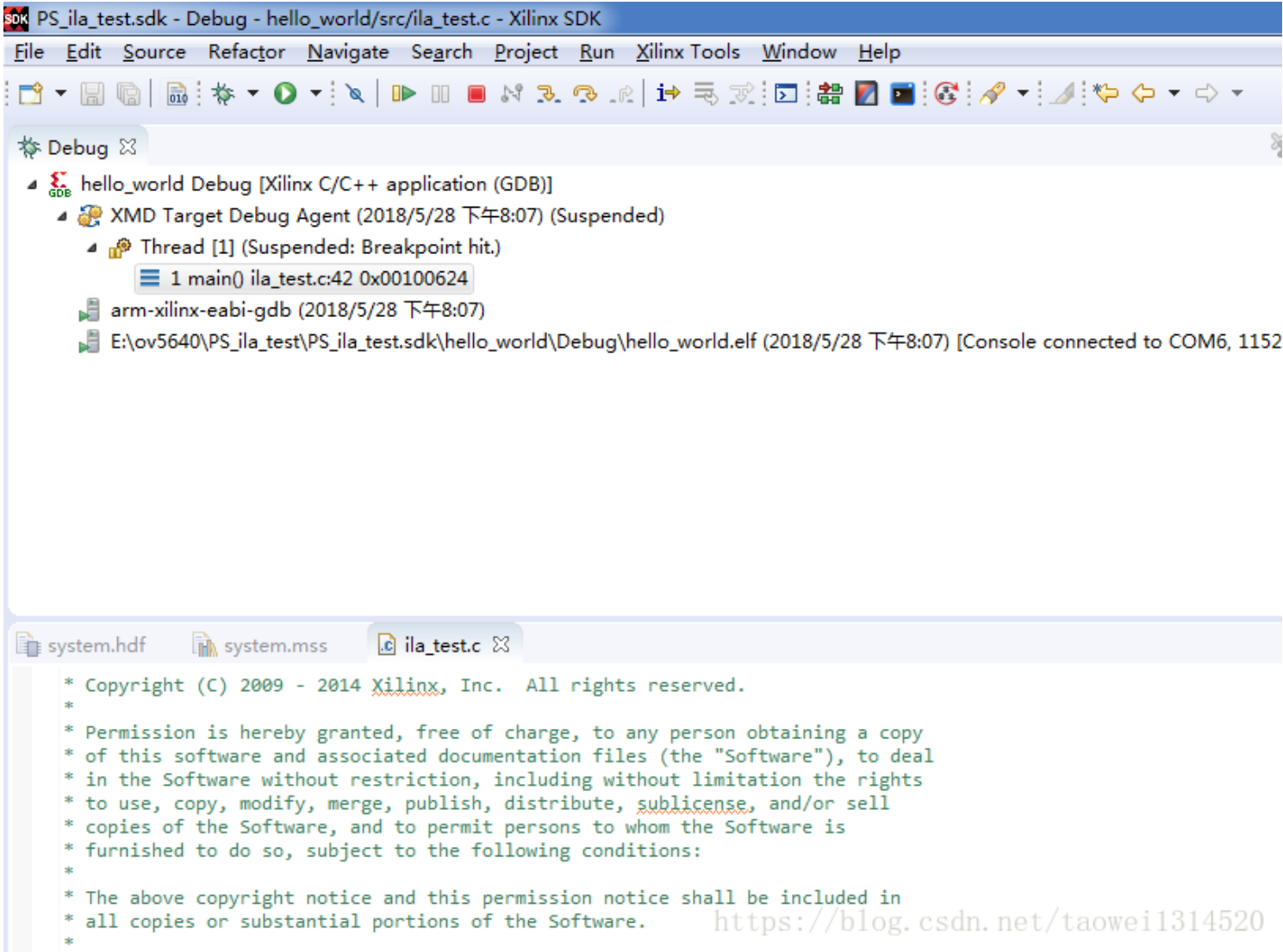


再在弹出的对话框中点击Yes





这个是debug调试窗口



Step 11 在vivado中进行调试

切到vivado点击Open Target-->Auto Connect

👍

🔗

💬

☆

📱

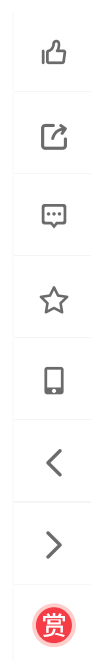
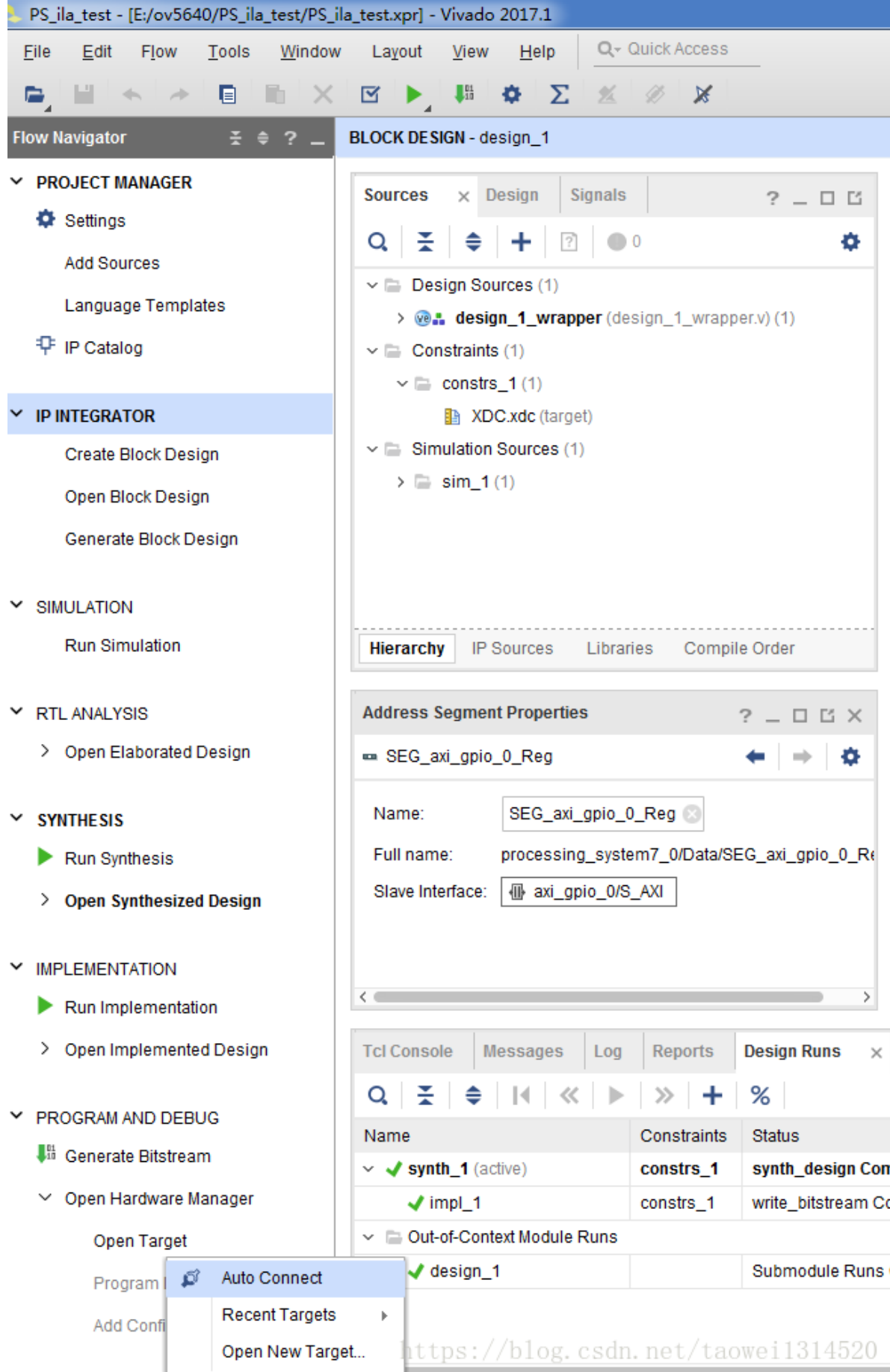
<

>

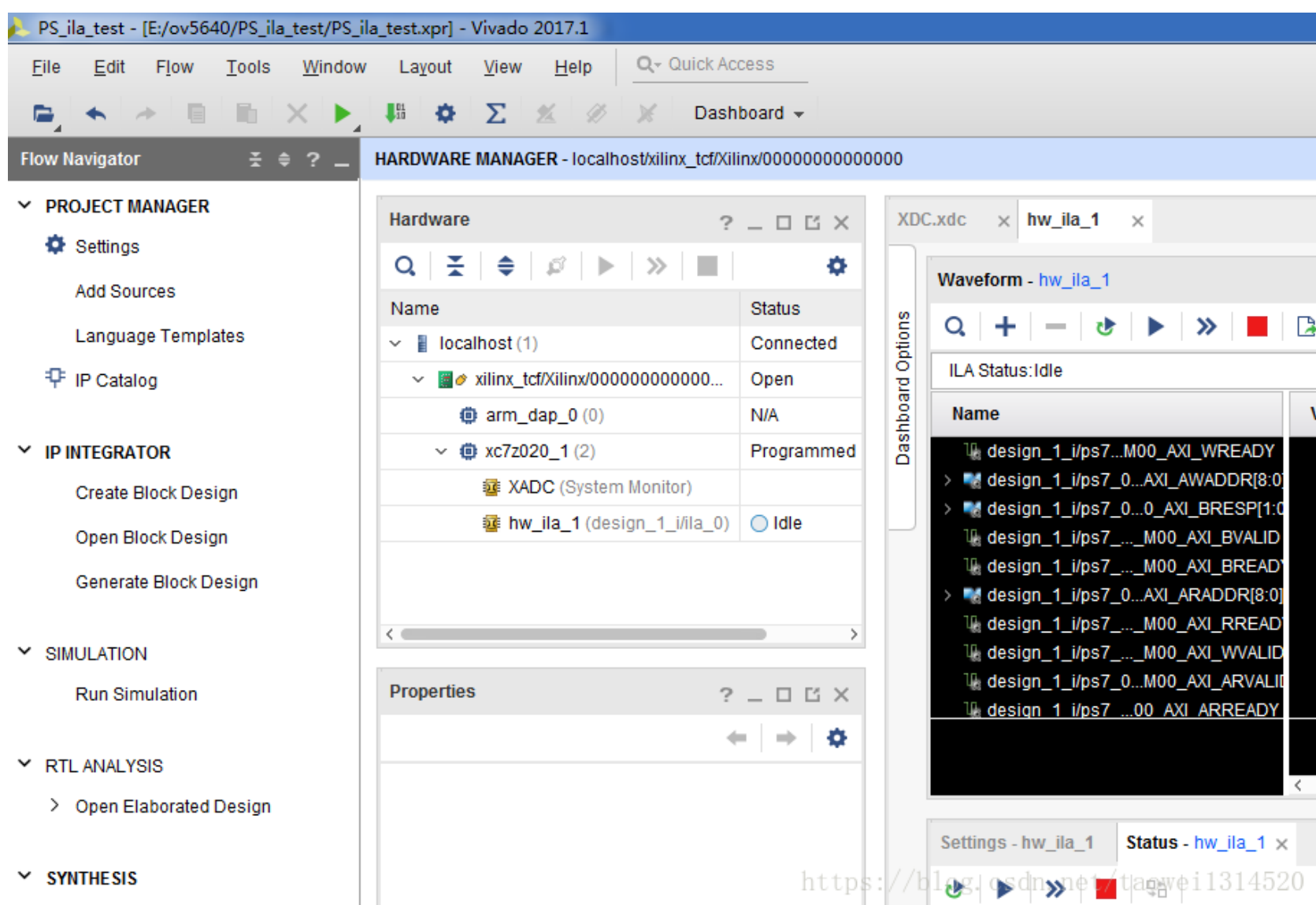
赏

🔁

举报



打开后如下图所示



点击这个Add Probes设置axi总线的触发条件

XDC.xdc hw_ila_1

Waveform - hw_ila_1

ILA Status: Idle

Name	Value
design_1_i/ps7...M00_AXI_WREADY	
> design_1_i/ps7_0...AXI_AWADDR[8:0]	
> design_1_i/ps7_0...0_AXI_BRESP[1:0]	
design_1_i/ps7...M00_AXI_BVALID	
design_1_i/ps7...M00_AXI_BREADY	
> design_1_i/ps7_0...AXI_ARADDR[8:0]	
design_1_i/ps7...M00_AXI_RREADY	
design_1_i/ps7...M00_AXI_WVALID	
design_1_i/ps7_0...M00_AXI_ARVALID	
design_1_i/ps7...00_AXI_ARREADY	

Settings - hw_ila_1 Status - hw_ila_1

Core status

Idle Waiting for Trigger Post-Trigger

Capture status

Trigger Setup - hw_ila_1 Capture Setup - hw_ila_1

Press the + button to add

Add Probes

设置这个WVALID为1

Waveform - hw_ila_1

ILA Status: Idle

Name	Value
design_1_i/ps7...M00_AXI_WREADY	
> design_1_i/ps7_0...AXI_AWADDR[8:0]	
> design_1_i/ps7_0...0_AXI_BRESP[1:0]	
design_1_i/ps7...M00_AXI_BVALID	
design_1_i/ps7...M00_AXI_BREADY	
> design_1_i/ps7_0...AXI_ARADDR[8:0]	
design_1_i/ps7...M00_AXI_RREADY	
design_1_i/ps7...M00_AXI_WVALID	
design_1_i/ps7_0...M00_AXI_ARVALID	
design_1_i/ps7...00_AXI_ARREADY	

Settings - hw_ila_1 Status - hw_ila_1

Core status

Idle Waiting for Trigger Post-Trigger

Capture status

Trigger Setup - hw_ila_1 Capture Setup - hw_ila_1

Name	Operator	Radix	Value
design_1_i/ps7_0_axi_periph_M00_AXI_WVALID	==	...	1

点击这个Run按钮

👍

🔗

💬

☆

📱

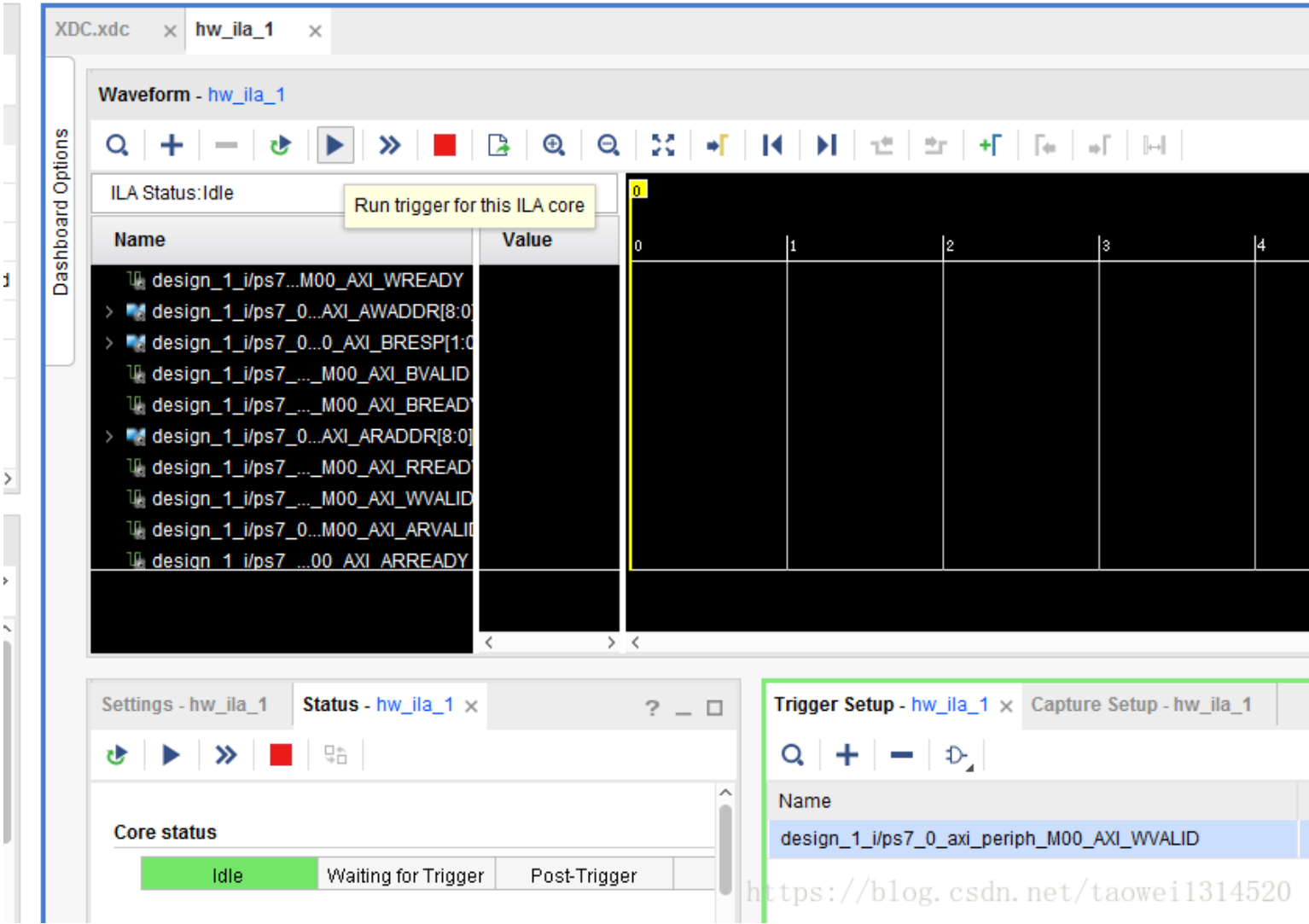
<

>

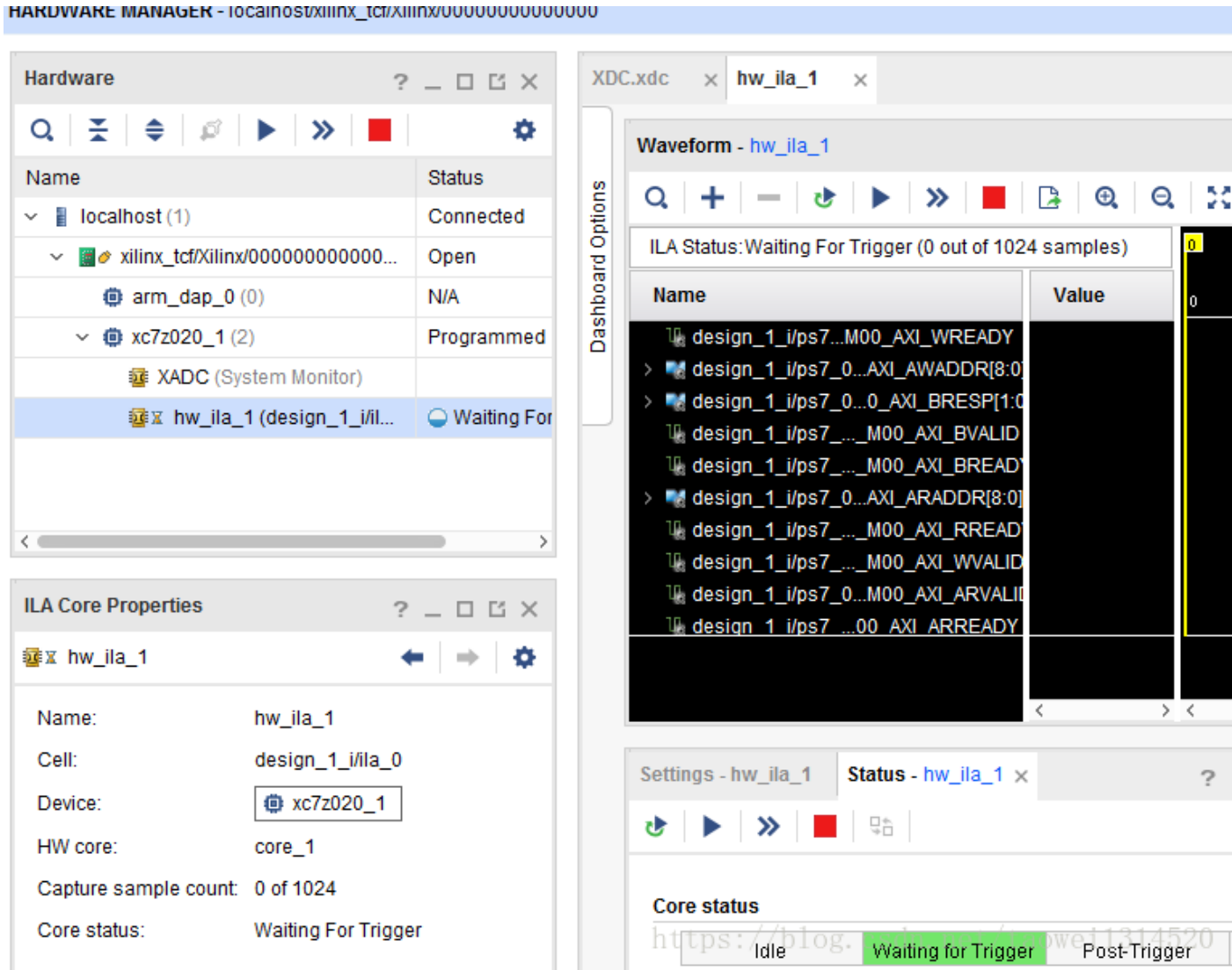
赏

🔊

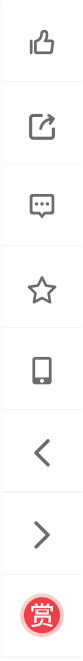
举报

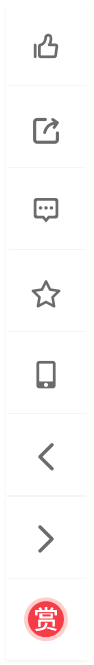
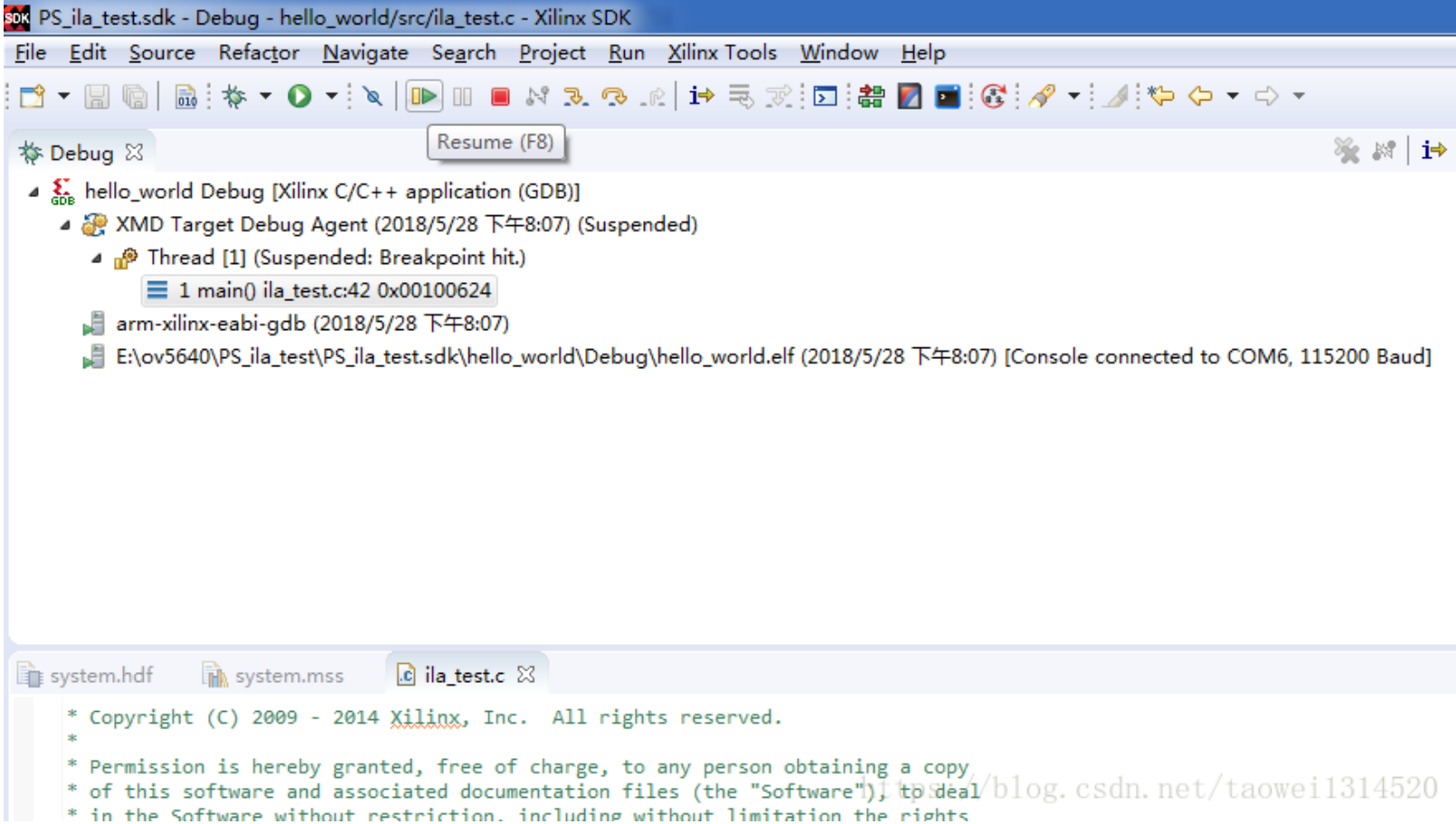


此时ILA处于等待状态

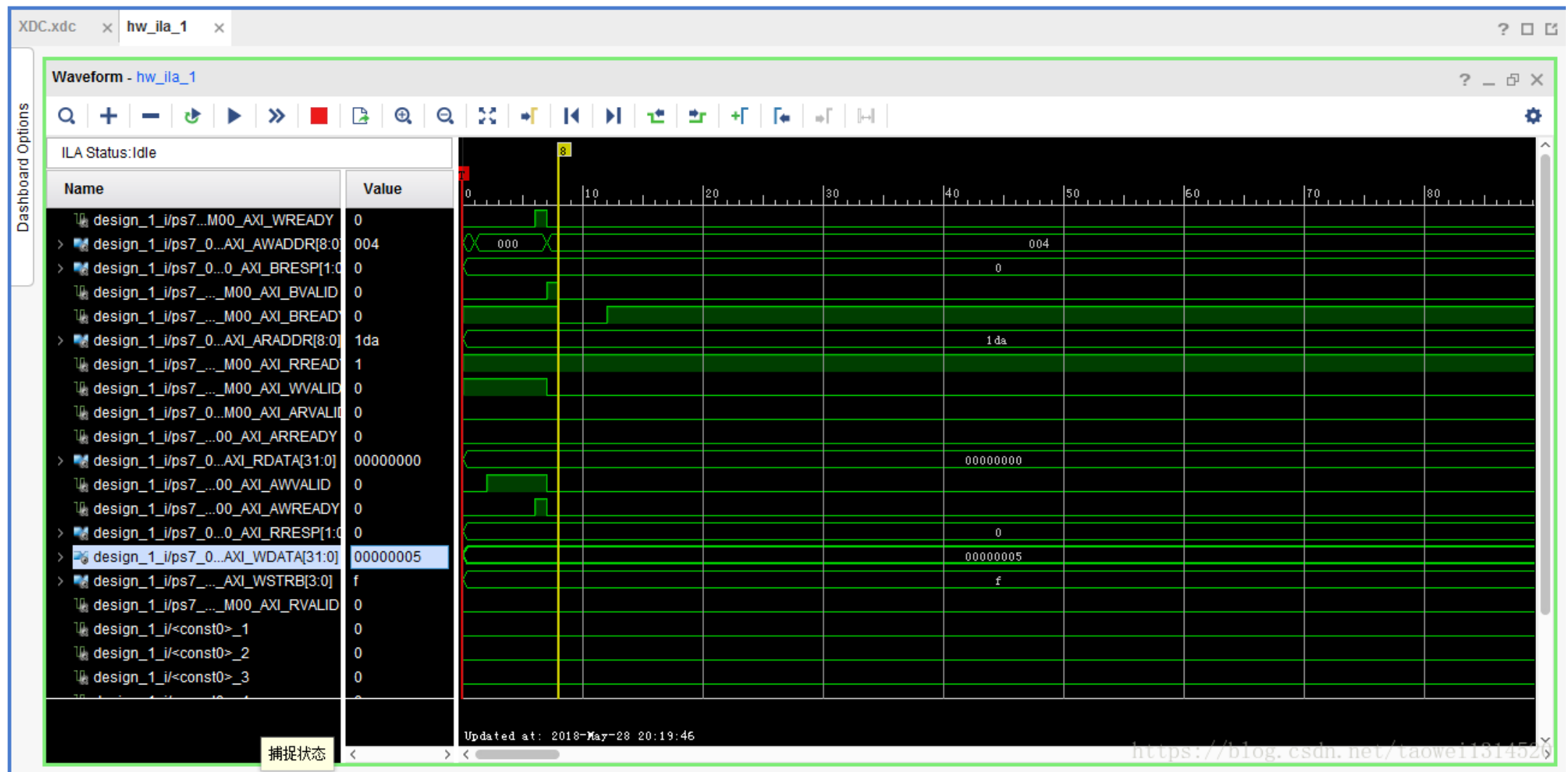


在SDK中这个debug调试窗口中点击Run





可以看到axi总线写入的值是5



点赞 收藏 分享 ...

虚无缥缈vs威武
发布了37 篇原创文章 · 获赞 58 · 访问量 15万+

私信 关注

想对作者说点什么

Vivado下的集成逻辑分析仪ILA 入门

阅读数 9686

刚刚开始学习Zynq7000的时候，看到别人问ILA的问题时，说是集成逻辑分析仪，我觉得这是一个好东西，我一定要... 博文 来自： 曾立文的博文

VIVADO之ILA与时序分析 (Xilinx FPGA)

04-26

最近开始学习基于VIVADO的FPGA学习，有几个问题很困惑，希望各位大虾指点。（1）自己写的逻辑模块IP封装到block...

论坛

Vivado与SDK的联合调试方法-使用ILA

阅读数 73

首先介绍一下我的硬件平台：使用的开发板为米联客出的MIZ702，这个开发板与ZedBoard是兼容的。Vivado硬件... 博文 来自： weixin_34008805...

FPGA开发要懂得使用硬件分析仪调试——ILA

阅读数 5712

0. ILA概述在FPGA开发中，当我们写完代码，进行仿真，确定设计没有问题后，下载到硬件上一般都能按照我们的设... 博文 来自： 坚持



Vivado的集成逻辑分析仪**ILA** 在有sdk 下的应用入门

我在前面有2篇Vivado 下的集成逻辑分析仪ILA:Vivado下的集成逻辑分析仪ILA 入门Vivado下集成逻辑分析仪ILA入... 博文 来自: 曾立文的博客 阅读数 73

MYIR-ZYNQ7000系列-zturn教程(14): 在PL中使用ILA进行调试

开发板环境: vivado 2017.1 , 开发板型号xc7z020clg400-1, 这个工程主要是用ILA观测FPGA输出管脚的波形链接... 博文 来自: taowe1314520的... 阅读数 974

学习笔记20151211——AXI4 STREAM DATA FIFO

AXI4STREAMDATAFIFO是输入输出接口均为AXIS接口的数据缓存器, 和其他fifo一样是先进先出形式。可以在跨时... 博文 来自: qq_20748649的博客 阅读数 1万+

MYIR-ZYNQ7000系列-zturn教程(19): 对axi_stream核进行仿真以及axi_stream总线的初步讲解

我这里一共调用了两个自定义的IP都是基于axi_stream的IP核, 一个是主机master一个是从机slave, 然后将这两个... 博文 来自: taowe1314520的... 阅读数 1226

zynq7000平台AXI_lite与Native FIFO接口设计

最近玩了一下xilinx的zynq7000系列, 用的是黑金的一款开发板, 主要是用来测试一款ADC。在PL部分做了接口逻辑... 博文 来自: 第七章的专栏 阅读数 2414

MYIR-ZYNQ7000系列-zturn教程(6): uart_cycle

开发板环境: vivado 2017.1 , 开发板型号xc7z020clg400-1, 这个工程主要实现的功能是能在uart上进行数据的回... 博文 来自: taowe1314520的... 阅读数 3194

Zynq学习笔记二之zynq_axi4_lite从机编写

//注意: 1,axi_lite是一个字符一个字符传输; 2, 保证先锁地址再写数据module dut_axi_lite_slave #(parameter in... 博文 来自: Archar_Saber的博客 阅读数 261




leon_zeng0

139篇文章

排名:千里之外

关注




YYFFLLMMNN

0篇文章

排名:0

关注



weixin_34008805

4545篇文章

排名:千里之外

关注



长弓的坚持

832篇文章

排名:191

关注

【FPGA】2017.4的ILA使用

ILA使用分两个方式, 一个是加在代码里, 一个加在网表里。参考文档UG908 博文 来自: 世界各处去跑马 阅读数 976

Vivado+FPGA:如何使用Debug Cores (ILA) 在线调试

在Vivado下在线调试是利用ILA进行的, Xilinx官方给出了一个视频, 演示了如何使用Vivado的debugcores, 下面我... 博文 来自: SKYQQCLOUD的... 阅读数 1万+

vivado下使用ILA抓取波形

第一部分: RTL设计 在RTL中想要抓取的信号前加上 (*keep="TRUE"*) 例如想要抓取cnt信号: (*keep="TRUE... 博文 来自: Tristone的学习笔记 阅读数 1万+

AXI总线

AXI总线介绍AXI是ARM公司提出的AMBA (Advanced Microcontroller Bus Architecture) 3.0协议中最重要的部... 博文 来自: Mr.zhang的博客 阅读数 400

MYIR-ZYNQ7000系列-zturn教程(2): Hello_World

开发板环境: vivado 2017.1 , 开发板型号xc7z020clg400-1 (工程末尾提供了工程源代码大家可以去网盘下载) ste... 博文 来自: taowe1314520的... 阅读数 3875

关于vivado中使用ila观测信号的问题

调用ZYNQ的IP核, 并产生100M和200M的时钟提供给PL端使用, 再调用一个异步FIFO, 用100M时钟做为写时钟, 并用... 论坛 08-30

vivado----fpga硬件调试 (八)----例化ila核

VIVADO下ILA使用指南 ILA是VIVADO下的一个DEBUG- IP, 类似于片上逻辑分析仪, 通过在RTL设计中嵌入ILA... 博文 来自: 坚持 阅读数 8779

Vivado中使用逻辑分析仪ILA

FPGA综合出来的电路都在芯片内部, 基本上是无法用示波器或者逻辑分析仪器去测量信号的, 所以xilinx等厂家就发... 博文 来自: 坚持 阅读数 7019

Vivado下集成逻辑分析仪ILA入门续

在 Vivado下集成逻辑分析仪ILA入门 一文中带着读者走了一遍集成逻辑分析仪ILA的使用过程。当时通过Set up Deb... 博文 来自: 曾立文的博客 阅读数 6944

使用vivado的ila在线调试

可以在rtl代码中添加(*mark_debug = "true"*)属性来修饰变量, 但不好! 我一般是新建一个xdc文件 (不要在原本的... 博文 来自: mkelehk的专栏 阅读数 3130

(二) zynq芯片是什么

目录 2.1处理器系统2.1.1应用处理器单元 (APU的基本结构) 2.1.2 关于ARM模式2.1.3 处理器系统外部2.2可编程逻... 博文 来自: Tristone的学习笔记 阅读数 7289

ILA IP核

一、功能描述ChipScope Pro集成逻辑分析 (ILA) IP核是一个可定制的逻辑分析核, 用于监视设计中的内部信号。IL... 博文 来自: yundanfengqing... 阅读数 4758

👍

🔗

💬

☆

📱

<

>

赏

🔊

举报

【Vivado——FPGA硬件调试（二）】 例化 ILA 核		阅读数 973	
Vivado环境下，FPGA硬件调试方法很多，但常用方法主要围绕 ILA核展开。ILA核简介ILA是Vivado下的一个Debug...		博文	来自： Lily_9的博客
vivado----fpga硬件调试 (五) ----找不到ila核问题及解决		阅读数 1万+	
WARNING: [Xicom 50-38] xicom: No CseXsdb register file specified for CseXsdb slave type: 0, cse driv...		博文	来自： 坚持
Xilinx ZYNQ 7000+Vivado2015.2系列（二）之奇数分频和逻辑分析仪（ILA）的使用		阅读数 1358	
前言：偶数分频容易得到：N倍偶数分频，可以通过由待分频的时钟触发计数器计数，当计数器从0计数到N/2-1时， ...		博文	来自： ChuanjieZhu
爬虫福利二 之 妹子图网MM批量下载		阅读数 27万+	
爬虫福利一：27报网MM批量下载 点击看了本文，相信大家对爬虫一定会产生强烈的兴趣，激励自己去学习爬虫， ...		博文	来自： Nick.Peng 的博客
Java学习的正确打开方式		阅读数 40万+	
在博主认为，对于入门级学习java的最佳学习方法莫过于视频+博客+书籍+总结，前三者博主将淋漓尽致地挥毫于这...		博文	来自： 程序员宜春的博客
程序员必须掌握的核心算法有哪些？		阅读数 53万+	
由于我之前一直强调数据结构以及算法学习的重要性，所以就有一些读者经常问我，数据结构与算法应该要学习到哪...		博文	来自： 帅地
Python——画一棵漂亮的樱花树（不同种樱花+玫瑰+圣诞树喔）		阅读数 30万+	
最近翻到一篇知乎，上面有不少用Python（大多是turtle库）绘制的树图，感觉很漂亮，我整理了一下，挑了一些我...		博文	来自： 碎片
大学四年自学走来，这些私藏的实用工具/学习网站我贡献出来了		阅读数 55万+	
大学四年，看课本是不可能一直看课本的了，对于学习，特别是自学，善于搜索网上的一些资源来辅助，还是非常有...		博文	来自： 帅地
计算机专业的书普遍都这么贵，你们都是怎么获取资源的？		阅读数 14万+	
介绍几个可以下载编程电子书籍的网站。1.GithubGithub上编程书资源很多，你可以根据类型和语言去搜索。推荐几...		博文	来自： 九章算法的博客
小白学 Python 爬虫（25）：爬取股票信息		阅读数 2万+	
人生苦短，我用 Python前文传送门：小白学 Python 爬虫（1）：开篇小白学 Python 爬虫（2）：前置准备（一） ...		博文	来自： 极客挖掘机
卸载 x 雷某度！GitHub 标星 1.5w+，从此我只用这款全能高速下载工具！		阅读数 8万+	
作者 Rocky0429来源 Python空间大家好，我是 Rocky0429，一个喜欢在网上收集各种资源的蒟蒻...网上资源眼...		博文	来自： Rocky0429
《面试宝典》2019年springmvc面试高频题(java)		阅读数 1万+	
前言2019即将过去，伴随我们即将迎来的又是新的一年，过完春节，马上又要迎来新的金三银四面试季。那么，作为...		博文	来自： 程序猿学社的博客
一名大专同学的四个问题		阅读数 1万+	
【前言】 收到一封来信，赶上各种事情拖了几日，利用今天要放下工作的时机，做个回复。 2020年到了，就...		博文	来自： 迂者-贺利坚的专栏
复习一周，京东+百度一面，不小心都拿了Offer		阅读数 8万+	
京东和百度一面都问了啥，面试官百般刁难，可惜我全会。		博文	来自： 敖丙
轻松搭建基于 SpringBoot + Vue 的 Web 商城应用		阅读数 2万+	
首先介绍下在本文出现的几个比较重要的概念：函数计算（Function Compute）：函数计算是一个事件驱动的服务...		博文	来自： 阿里云云栖号
Python+OpenCV实时图像处理		阅读数 3万+	
目录1、导入库文件2、设计GUI3、调用摄像头4、实时图像处理4.1、阈值二值化4.2、边缘检测4.3、轮廓检测4.4、 ...		博文	来自： 不脱发的程序猿
对计算机专业来说学历真的重要吗？		阅读数 42万+	
我本科学校是渣渣二本，研究生学校是985，现在毕业五年，校招笔试、面试，社招面试参加了两年了，就我个人的...		博文	来自： 启舰
python json java mysql pycharm android linux json格式			

👍

🔗

💬

☆

📱

<

>

赏



虚无缥缈vs威武

TA的个人主页 >

原创	粉丝	获赞	评论	访问
37	195	58	164	15万+

等级:

博客 4

周排名: 3万+

积分: 1254

总排名: 6万+

勋章:



🔊

举报

rq8866: 缺License的小伙伴 链接: https://pan.baidu.com/s/11mjkpyERdUH3q5C_TpfQxQ ...

FT232H如何使用jtag接口

taowei1314520: [reply]qq_42662835[/reply]我是直接对eeprom里写数据进去的，数据我已经 ...

FT232H如何使用jtag接口

taowei1314520: [reply]sssshhhhhhhh[/reply]这个vivado有这个usb驱动也需要安装一下， ...

FT232H如何使用jtag接口

sssshhhhhhhh: 你好，插上电脑以后显示 USB Serial Conventor （仅配置了USB和EEPROM ...

MYIR-ZYNQ7000系列-z...

kuyunge: SPI一次是通信一个字节码？



🗨️ QQ客服 ✉️ kefu@csdn.net
🗣️ 客服论坛 ☎️ 400-660-0108

工作时间 8:30-22:00

[关于我们](#) [招聘](#) [广告服务](#) [网站地图](#)

京ICP备19004658号 经营性网站备案信息
👮 公安备案号 11010502030143
©1999-2020 北京创新乐知网络技术有限公司
网络110报警服务
北京互联网违法和不良信息举报中心
中国互联网举报中心 家长监护 版权申诉

👍

🔗

💬

☆

📱

<

>

赏

🔊

举报