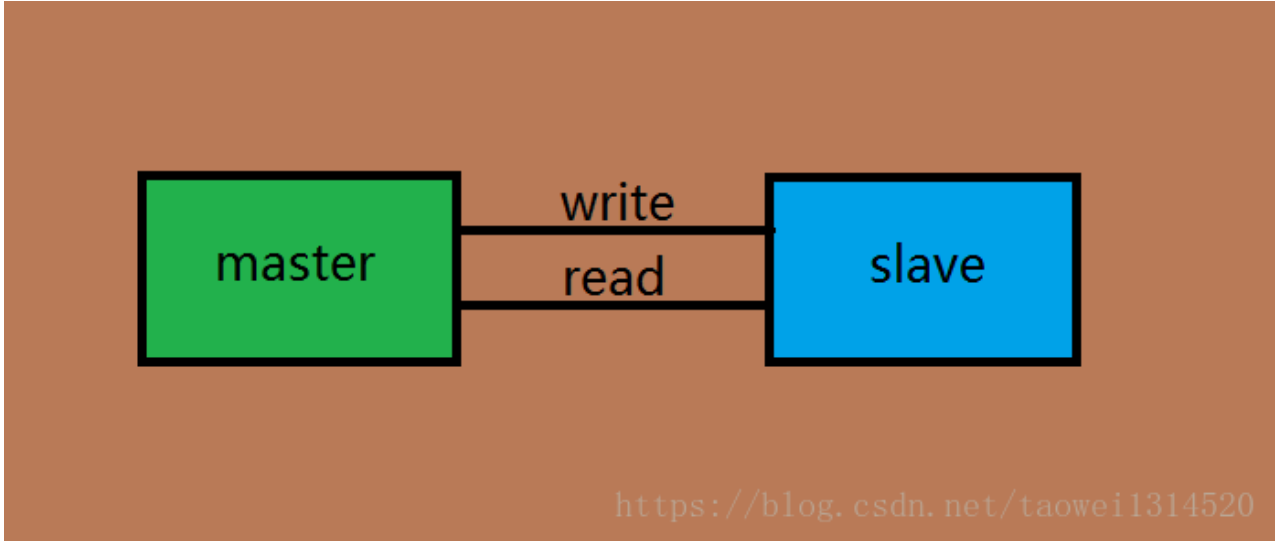


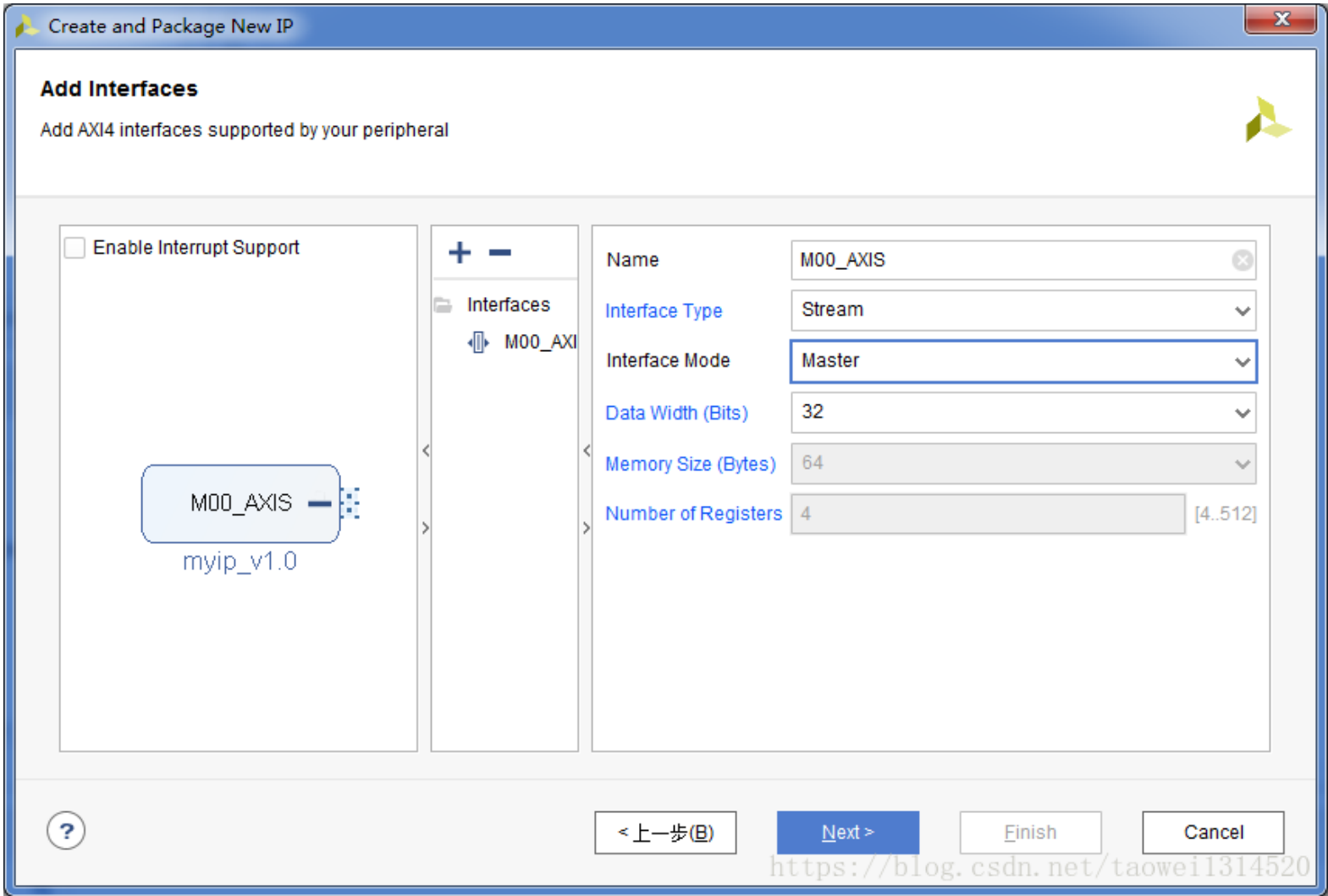
# MYIR-ZYNQ7000系列-zturn教程(19)：对axi\_stream核进行仿真以及axi\_stream的初步讲解

原创 虚无缥缈vs威武 最后发布于2018-10-05 09:12:20 阅读数 1227 ☆ 收藏

我这里一共调用了两个自定义的IP都是基于axi\_stream的IP核，一个是主机master一个是从机slave，然后将这两个调用的IP例化到一个新创建的fpga工程，最后写一个仿真脚本让这个master主机对这个从机slave进行写。



主机：



从机：

1

3

展开

☆

📱

<

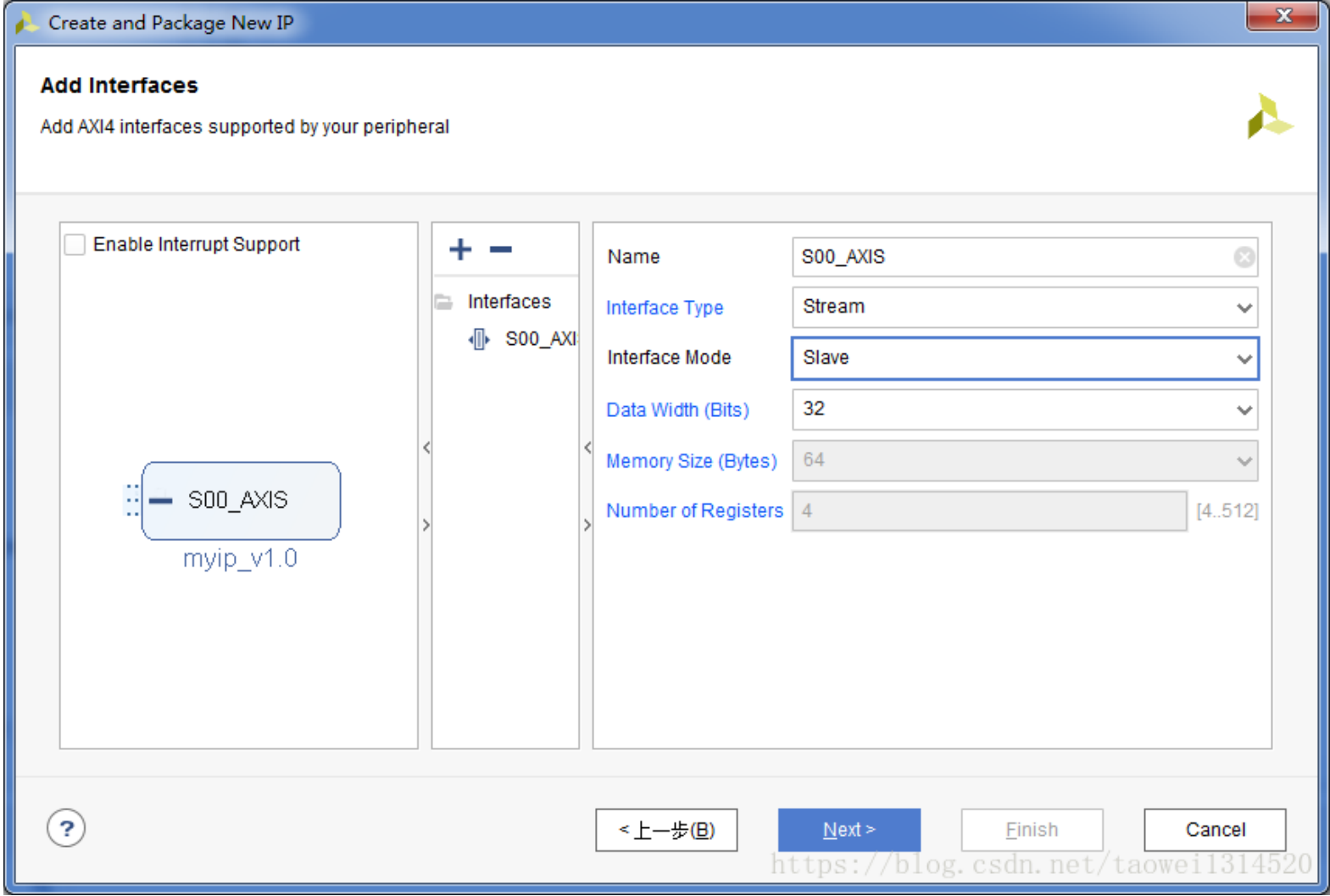
>

赏

🔊

举报

^



将stream接口的master和slave都例化到fpga工程的顶层文件如下图所示

```
1  `timescale 1ns / 1ps
2  ///////////////////////////////////////////////////////////////////
3  // Company:
4  // Engineer:
5  //
6  // Create Date: 2018/09/06 16:16:05
7  // Design Name:
8  // Module Name: stream_test
9  // Project Name:
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////
21
22
23 module stream_test(
24     input  axis_aclk,
25     input  axis_aresetn
26 );
27
28     parameter integer C_M00_AXIS_TDATA_WIDTH    = 32;
29     parameter integer C_M00_AXIS_START_COUNT    = 32;
30
31     wire    [C_M00_AXIS_TDATA_WIDTH-1 : 0]      axis_tdata;
32     wire    [(C_M00_AXIS_TDATA_WIDTH/8)-1 : 0]  axis_tstrb;
33     wire                                          axis_tlast;
34     wire                                          axis_tvalid;
35     wire                                          axis_tready;
36
37
38     stream_master_0 u1 (
39         .m00_axis_tdata(axis_tdata),           // output wire [31 : 0] m00_axis_tdata
40         .m00_axis_tstrb(axis_tstrb),           // output wire [3 : 0] m00_axis_tstrb
41         .m00_axis_tlast(axis_tlast),           // output wire m00_axis_tlast
42         .m00_axis_tvalid(axis_tvalid),         // output wire m00_axis_tvalid
43         .m00_axis_tready(axis_tready),         // input wire m00_axis_tready
44         .m00_axis_aclk(axis_aclk),             // input wire m00_axis_aclk
45         .m00_axis_aresetn(axis_aresetn)       // input wire m00_axis_aresetn
46     );
47
48     stream_slave_0 u2(
49         .s00_axis_tdata(axis_tdata),           // input wire [31 : 0] s00_axis_tdata
```

👍  
1

🔗

💬  
3

☆

📱

<

>

👑

🔊

👤  
举报


^


```
50 |         .s00_axis_tstrb(axis_tstrb),           // input wire [3 : 0] s00_axis_tstrb
51 |
52 |         .s00_axis_tlast(axis_tlast),           // input wire s00_axis_tlast52
53 |         .s00_axis_tvalid(axis_tvalid),         // input wire s00_axis_tvalid53
54 |         .s00_axis_tready(axis_tready),         // output wire s00_axis_tready54
55 |         .s00_axis_aclk(axis_aclk),             // input wire s00_axis_aclk55
56 |         .s00_axis_aresetn(axis_aresetn)       // input wire s00_axis_aresetn56
57 |     );
58 | endmodule
```


下面这个这个fpga工程的仿真脚本


```
1 | `timescale 1ns / 1ps
2 | ///////////////////////////////////////////////////
3 | // Company:
4 | // Engineer:
5 | //
6 | // Create Date: 2018/09/06 17:25:36
7 | // Design Name:
8 | // Module Name: test_tb
9 | // Project Name:
10 | // Target Devices:
11 | // Tool Versions:
12 | // Description:
13 | //
14 | // Dependencies:
15 | //
16 | // Revision:
17 | // Revision 0.01 - File Created
18 | // Additional Comments:
19 | //
20 | ///////////////////////////////////
21 |
22 |
23 | module test_tb();
24 |
25 |
26 |     reg axi_aclk;    // AXI总线时钟
27 |     reg axi_aresetn; // 系统复位信号
28 |
29 |
30 |
31 |     stream_test u1(
32 |         .axis_aclk(axi_aclk),
33 |         .axis_aresetn(axi_aresetn)
34 |     );
35 |
36 |
37 |     always begin
38 |         #10;
39 |         axi_aclk = ~axi_aclk;
40 |     end
41 |
42 |     initial begin
43 |         axi_aclk    = 1'b0;
44 |         axi_aresetn = 1'b1;
45 |
46 |
47 |         #10;
48 |         axi_aresetn = 1'b0;
49 |         #5;
50 |         axi_aresetn = 1'b1;
51 |         #5;
52 |     end
53 |
54 |
55 | endmodule
```


这个是运行仿真脚本后的master主机对从机进行写


1





3







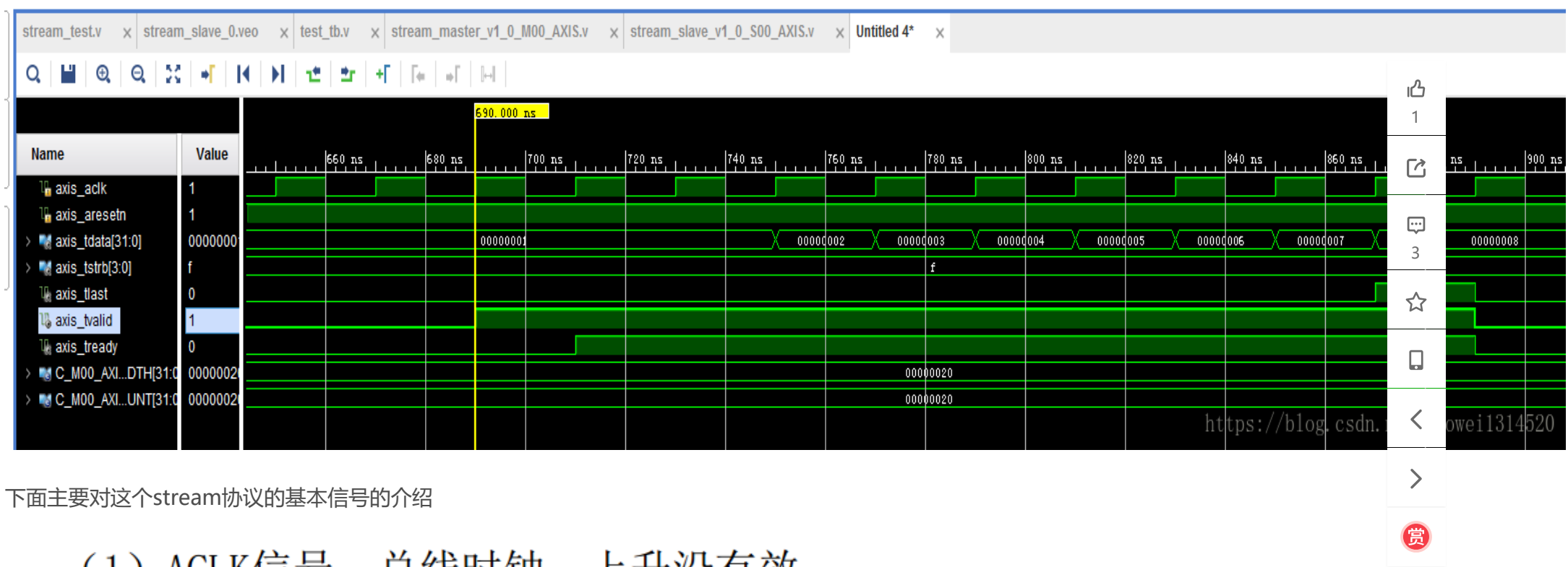






举报

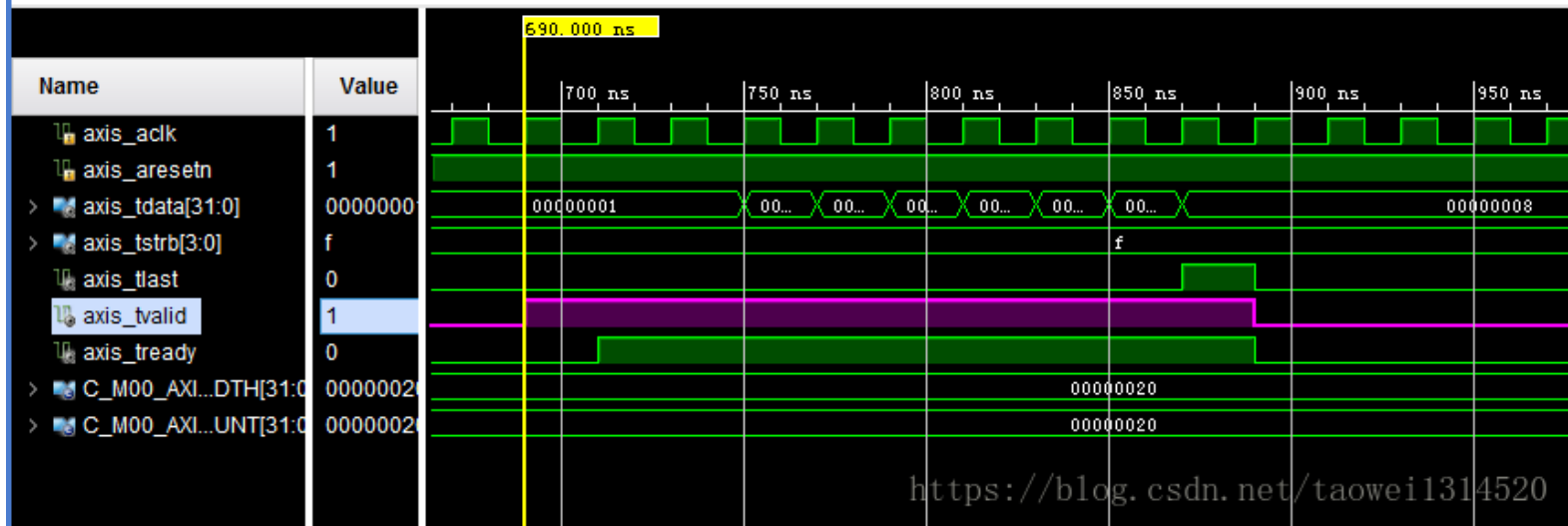




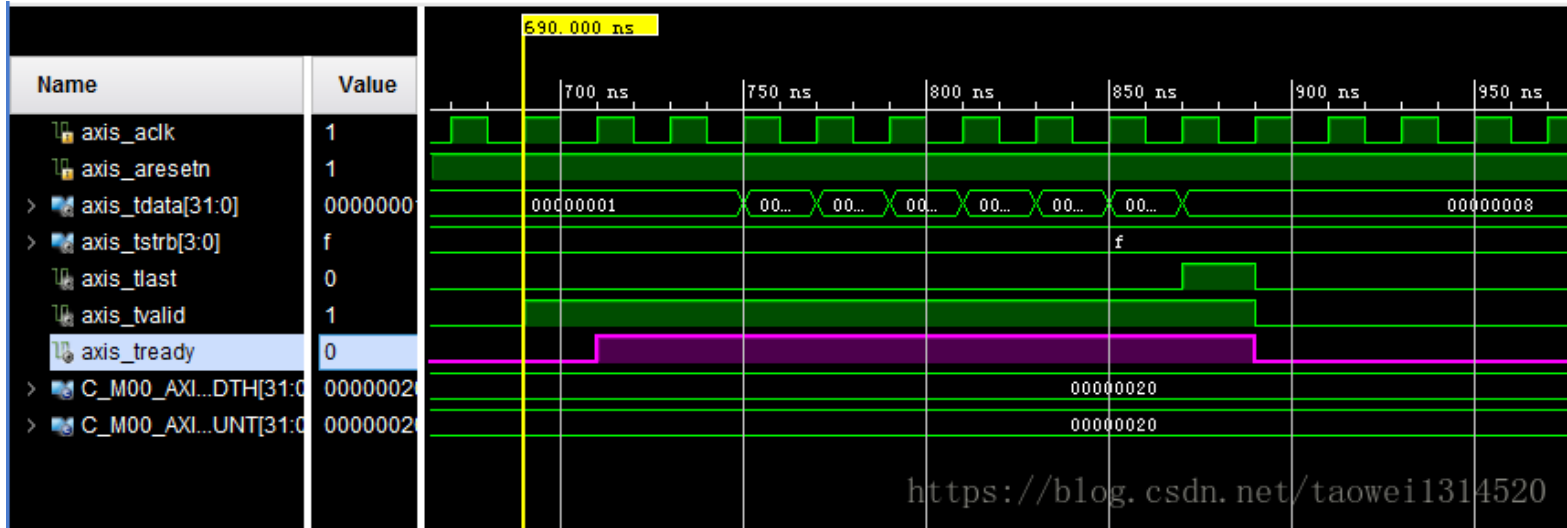
下面主要对这个stream协议的基本信号的介绍

- (1) ACLK信号：总线时钟，上升沿有效；
- (2) ARESETN信号：总线复位，低电平有效
- (3) TREADY信号：从机告诉主机做好传输准备；
- (4) TDATA信号：数据，可选宽度32, 64, 128, 256bit
- (5) TSTRB信号：每一bit对应TDATA的一个有效字节，宽度为TDATA/8
- (6) TLAST信号：主机告诉从机该次传输为突发传输的结尾；
- (7) TVALID信号：主机告诉从机数据本次传输有效；
- (8) TUSER信号：用户定义信号，宽度为128bit。

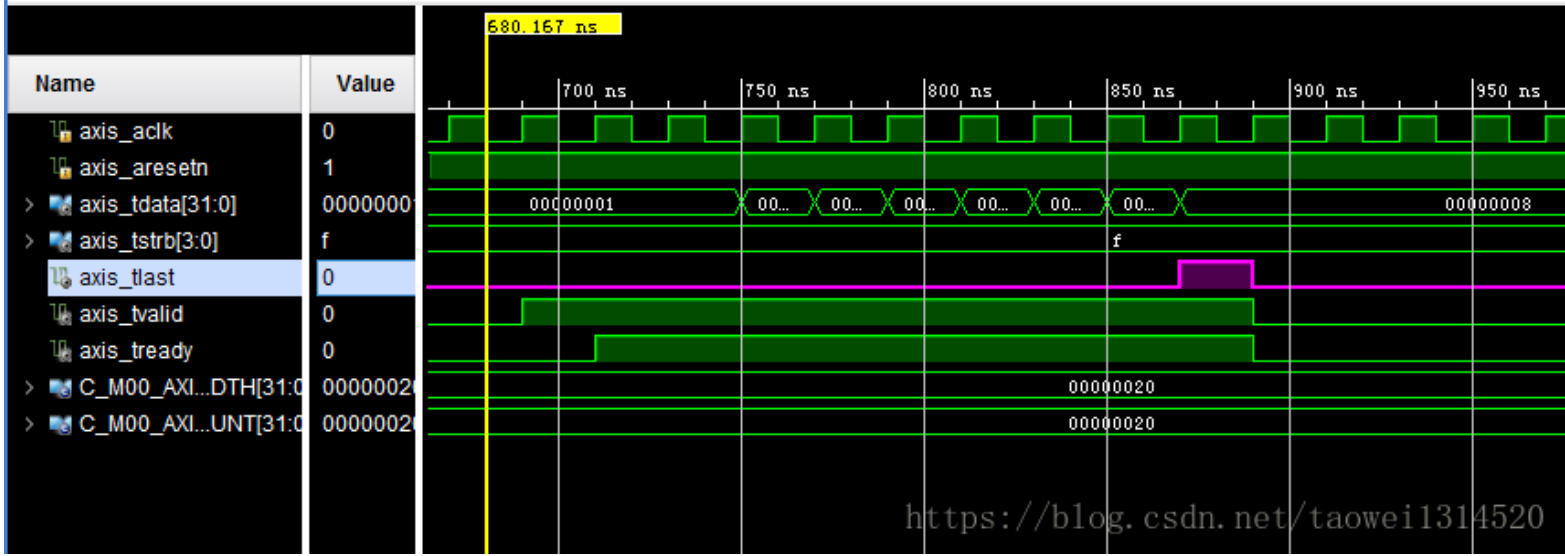
因这个stream协议去掉了axi\_lite的很多的地址项之间的交互所以这个stream传输速度比较快，但因为没地址所以这个master主机无法对这个从机进行读，这里讨论的只是stream的主机对从机的写



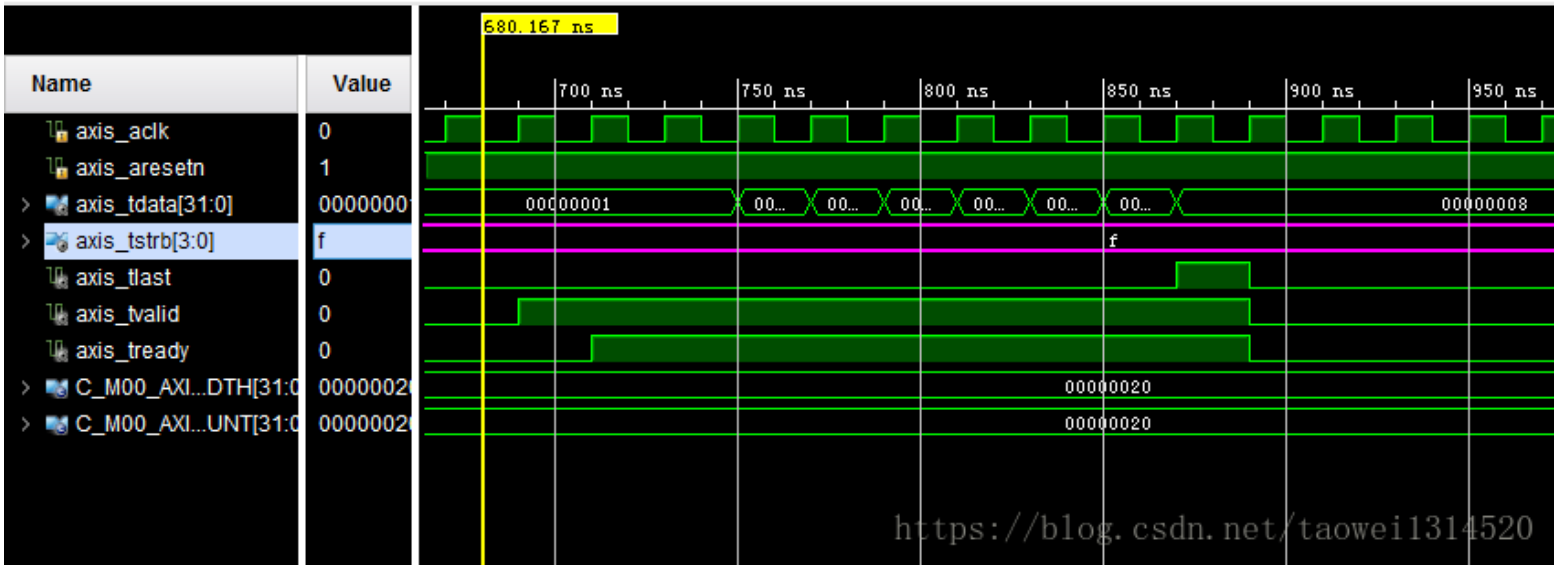
只有当这个axis\_tvalid为高的时候传输的数据才有效，也就是说这个信号为高时才能进行数据传输



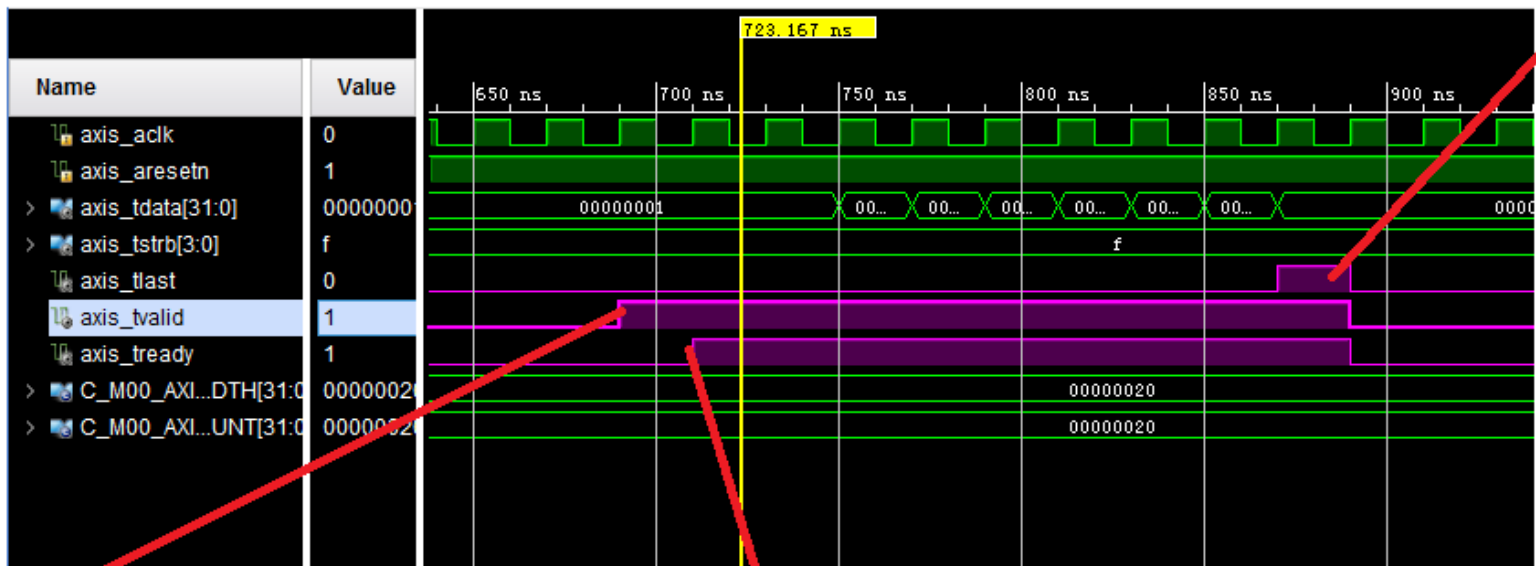
再来看这个axis\_tready信号，当这个axis\_tready为高时说明从机已经准备好了可以接收数据了



再来看这个axis\_tlast信号，这个信号为高时表示这个数据位本次传输的最后一个数据，也就这个00000008为传输的最后一个数据



这个axis\_tstrb为传输的数据位，每一位代表一个字节，这里为f也就是1111，四个位都为1也就是传输4个字节32位数据



当主机axis\_tvalid为高时表示主机准备开始传输数据

从机收到主机准备传输数据的信号axis\_tvalid时，反馈一个axis\_tready告诉主机我已经准备好了

主机告诉从机这是我传输的最后一个数据，主机传输完成后会拉低axis\_tvalid，从机收到这axis\_tlast后待传完最后一个数据拉低axis\_tready

这个是主机对从机操作的一个简单示意图，因交互信号比较少所以传输数据比较快，所以操作起来比较简单

👍

1

🔗

💬

3

☆

📱

⏪

⏩

👑

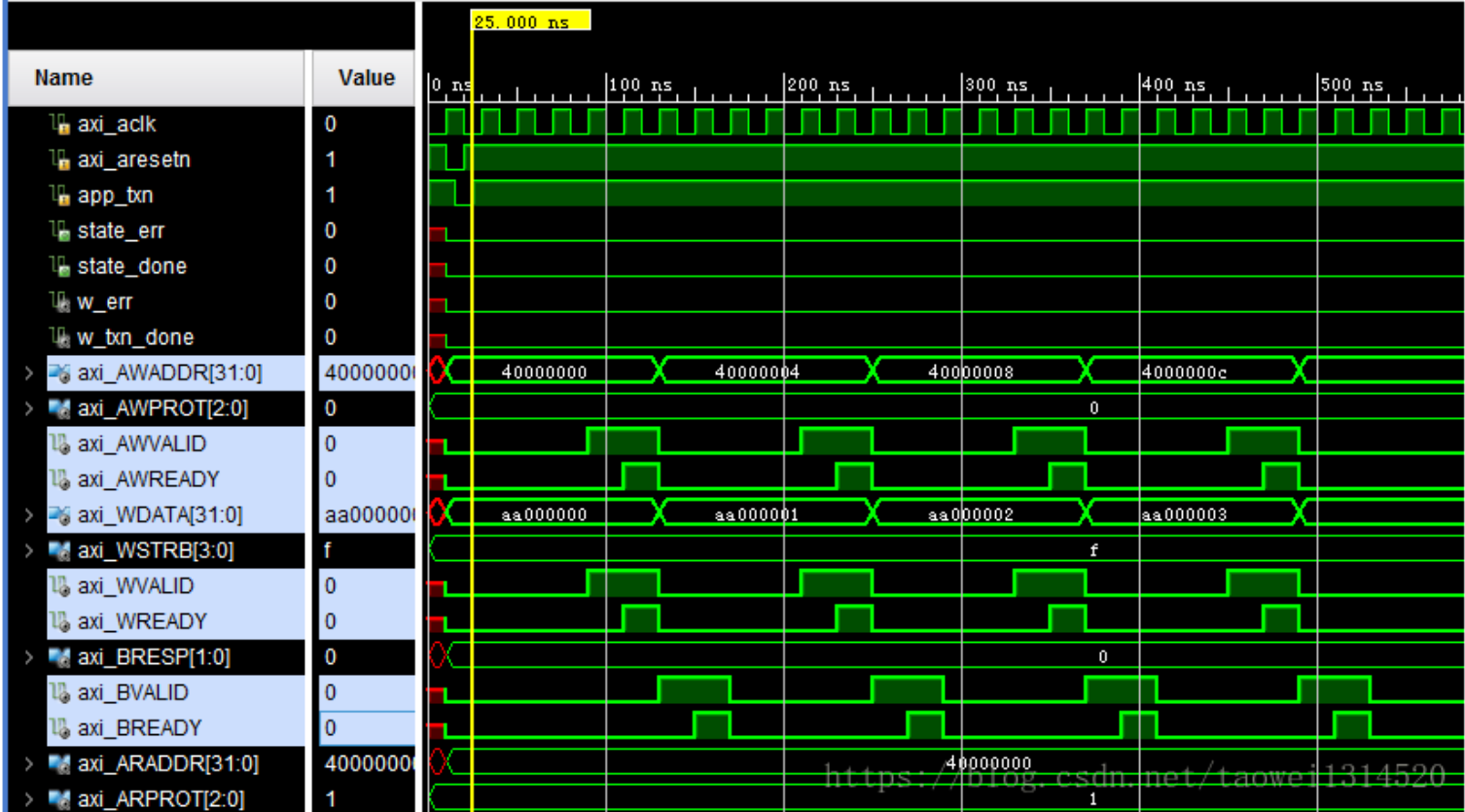
🔊

🚩

举报

⏮





👍  
1

🔗

💬  
3

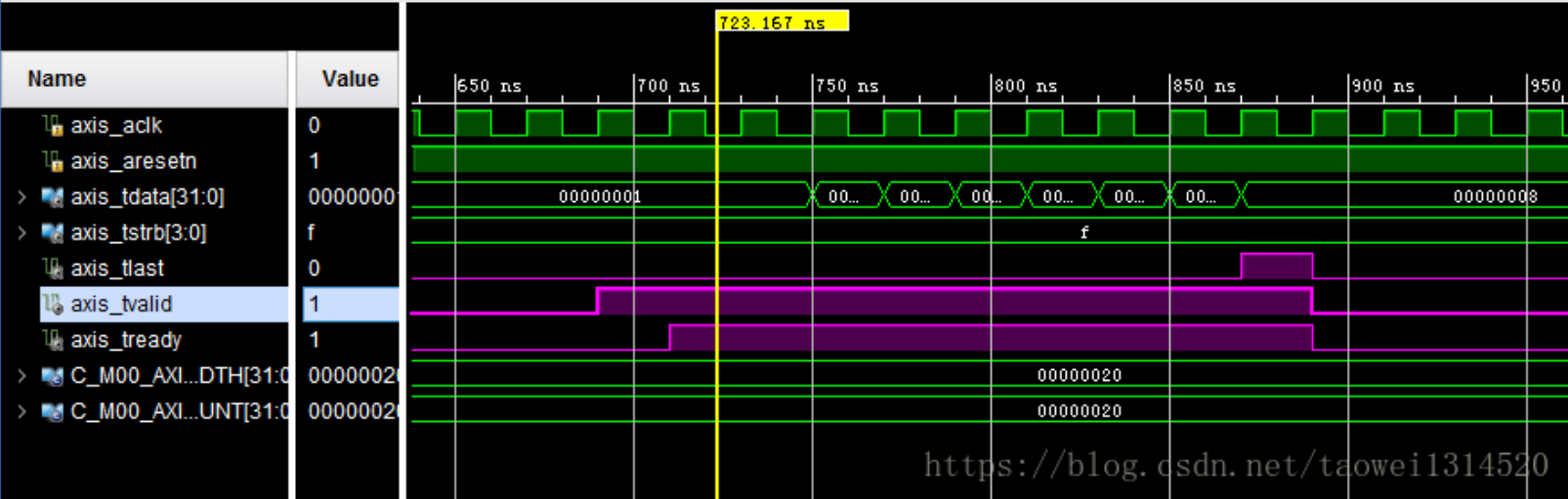
☆

📱

<


>

赏



大家可以仔细比较一下axi\_lite和axi\_stream两个传输效率，axi\_lite两个32位数据还没有传输完成axi\_stream的8个32位已经传输完成了


👍 点赞 1    ☆ 收藏    🔗 分享    ...



虚无缥缈vs威武  
发布了37 篇原创文章 · 获赞 59 · 访问量 15万+

私信

关注



数据管理  
发现称量样品及手工记录数据过程中可能发生的错误

广告 METTLER TOLEDO

想对作者说点什么



yongyong1126    6个月前

楼主，讲的非常好，受益匪浅，此工程链接可以提供一下吗？

查看回复(1)    🍵

**zynq7010之EBAZ4205入门改造** 阅读数 1023  
第一章：改 SD 卡启动和改电源2、如果用 J4 的 6P 电源接口需要将背面的 D24 短接起来，或是焊接一个二极管就行... 博文    来自: [weixin\\_42741023...](#)

**EBAZ4205 ZYNQ 7Z010 裸机程序NAND固化 JTAG调试方法** 阅读数 2502  
简书<https://www.jianshu.com/p/b83c663ecaaa>EBAZ4205 是ebit的控制板，价格便宜。EBAZ4205使用XILINX X... 博文    来自: [helrori](#)

**ZYNQ 矿板EBAZ4205的例子helloworld下载** 12-02  
ZYNQ 矿板EBAZ4205的例子helloworld，包括vavado工程和sdk的软件输出helloworld 相关下载链接: [//download.csdn...](#) 论坛

**AXI4-Stream** 阅读数 6236  
转自: <http://blog.csdn.net/calvin790704/article/details/53942363>现总结一下axi\_stream:1) valid 和ready实现... 博文    来自: [Keep Fighting!](#)

**Zynq学习（一）----AXI STREAM接口** 阅读数 2154  
AXI4-Stream协议是一种用来连接需要交换数据的两个部件的标准接口，它可以用于连接一个产生数据的主机和一个... 博文    来自: [skyplain1984的博客](#)

🔊

举报

^

**AXI4-Stream协议总结** 阅读数 1万+

AXI4-Stream去掉了地址项，允许无限制的数据突发传输规模；一、接口信号描述信号源描述ACLK时钟源全局时钟... 博文 来自： Go Forward Forev...

《Xilinx ZYNQ-7000 AP SoC开发实战指南》（符晓）高清扫描版下载

《Xilinx ZYNQ-7000 AP SoC开发实战指南》（符晓）高清扫描版 比工大“he滨”的书好多了哦！ 相关下载链接：//dow... 论坛

详解ZYNQ里AXI4&AXI4;-Lite&AXI4;-Stream协议

详解ZYNQ里AXI4&AXI4;-Lite&AXI4;-Stream协议，非常详细的资料 10-28 下载

ZYNQ 、AXI协议、PS与PL内部通信

ZYNQ 、AXI协议、PS与PL内部通信 三种AXI总线分别为：AXI4：（For high-performance memory-mapped req... 博文 来自： liuzq的专栏 阅读数 3344

比特币矿机使用手册

比特币矿机使用手册 矿机电源接线说明 矿机快速配置 矿池配置 如何使用矿池 12-09 下载

AXI-Stream-Interconnect 学习及仿真

学习环境win10 64bitvivado 2016.4modelsim 10.6dKC705开发板学习目的1) 理解 AXI-Stream-interconnect用... 博文 来自： superC的博客 阅读数 247

章鱼哥学电子

6篇文章 排名:千里之外 关注



helrori

3篇文章 排名:千里之外 关注



眼镜333

129篇文章 排名:千里之外 关注



南方铁匠

181篇文章 排名:千里之外 关注

ZYNQ 矿板EBAZ4205的例子helloworld

ZYNQ 矿板EBAZ4205的例子helloworld，包括vavado工程和sdk的软件输出helloworld 12-01 下载

zc702-自定义AXI-IP核实验

对zc702的custom AXI-IP的实验 阅读数 8042 博文 来自： huamingshen

关于Axi4-Stream to Video Out等IP核调试

参照网上教程使用Microblaze+VDMA+Video On Screen Display+AXI4-Stream to Video Out+HDMI等IP核组成... 博文 来自： 左氏浮夸的博客 阅读数 508

【OpenHW参赛手记】AXI-Stream接口开发详细流程

下面讲一个例子，来加深对上面对介绍内容的理解。笔者使用的软件版本为ISE 14.2。1.建立PlanAhead工程，一直到... 博文 来自： 卜居 阅读数 1万+

AXI4\_stream协议详解

AXI4-stream协议介绍AXI4-stream总线协议不同于AXI4-lite是AXI4-full协议。后者是基于内存映射的，传输时需要... 博文 来自： guoweikd的博客 阅读数 332

MYIR-ZYNQ7000系列-zturn教程(16)：对axi\_lite IP核进行仿真以及axi总线的初步讲解

我这里一共调用了两个自定义的IP都是基于axi\_lite的IP核，一个是主机master一个是从机slave，然后将这两个调用... 博文 来自： taowei1314520的... 阅读数 1516

AXI STREAM ,AXIS总线的理解

全兼容ZEDBOARD 开发板子 SYSCLK.TAOBAO.COM 1, VALID和READY 是所有AXI总线必须有的，VALID是MA... 博文 来自： mcupro的专栏 阅读数 8470

zedboard如何从PL端控制DDR读写(三)——AXI-FULL总线调试

zedboard如何从PL端控制DDR读写(三)——AXI-FULL总线调试 之前的项目和培训中，都只用到了AXI-Lite或者... 博文 来自： weixin\_34247032... 阅读数 218

Shell 流水灯 - Alinx Zynq 7010

#!/bin/bashLED\_NUM=6aLED\_base=(906 919 898 899 900 901)##export all led#echo "export all led"index... 博文 来自： 里先森 阅读数 392

Zynq 器件搭建多核系统

Zynq系列器件提供双核Cortex-A9 ARM硬核，同时PL还支持MB软核，现在就掰一掰这三核共存怎么用。 1 ... 博文 来自： haoxingheng的专栏 阅读数 1万+

FPGA\_AXI4总线

一)AXI总线是什么？ AXI是ARM 1996年提出的微控制器总线家族AMBA中的一部分。AXI的第一个版本出现在AM... 博文 来自： yake827的专栏 阅读数 4304

AXI4设计重点002\_易出错的地址非对齐读操作

1、AXI读操作+地址不对齐以rdata\_axi\_mst位宽为128bit为例，如果MASTER想读取7DW（1DW为4Byte）的数据... 博文 来自： IC小鸽的博客 阅读数 87

xdma的m\_axi\_lite和m\_axi区别？

最近做一个项目，需要用到xdma，即DMA/Bridge System for PCI Express，但是这个ip核上既有M\_AXI，又有M\_AXI\_LI... 论坛

【JokerのZYNQ7020】AXI4\_FULL。

软件环境：vivado 2017.4 硬件平台：XC7Z020ZYNQ片内分PS端PL端，但既然都在片内，肯定不是两个独立的个体... 博文 来自： Joker\_是小王的博客 阅读数 819



1

07-01



3



赏



03-18

举报



**AXI总线之DMA的实现** 阅读数 501

在zynq系列中，PS与PL的数据交互主要通过AXI总线进行，对于少量数据的传输（如寄存器配置、状态信息获取等） ... 博文 来自： kemi450的专栏

**ZYNQ进阶之路13--自定义AXI-FULL IP实现PS和PL双向高速通讯** 阅读数 1731

ZYNQ进阶之路13--自定义AXI-FULL IP实现PS和PL双向高速通讯导语实现步骤导语不好意思，这篇博文又来晚了， ... 博文 来自： WP\_FD的博客

**【OpenHW参赛手记】AXI-Stream接口介绍** 阅读数 1万+

AXI4-Stream协议是一种用来连接需要交换数据的两个部件的标准接口，它可以用于连接一个产生数据的主机和一个... 博文 来自： 卜居

**AXI Stream接口，AXI 流接口规范** 阅读数 3306

支持很多不同的流类型。流协议在传输和包之间定义了联系。信号源描述ACLK时钟源全局时钟信号。所有信号在ACL... 博文 来自： 码农-做一个勤奋的人

**AXI4 AXI4-Lite AXI4-stream的区别** 阅读数 3882

AXI4 、AXI4-Lite和 AXI4-stream的区别 AXI4 ：完整AXI4传输总线、功能完整AXI4-Stream：跟AXI4的相比去除... 博文 来自： IC小鸽的博客

**ZYNQ学习（二）----关于video in to axi4-stream** 阅读数 2405

ZYNQ学习（一）分析了AXI STREAM的接口信号。分析VDMA之前，先看看PG043 Video In to AXI4-Stream对于... 博文 来自： skyplain1984的博客

**学习笔记20151211——AXI4 STREAM DATA FIFO** 阅读数 1万+

AXI4STREAMDATAFIFO是输入输出接口均为AXIS接口的数据缓存器，和其他fifo一样是先进先出形式。可以在跨时... 博文 来自： qq\_20748649的博客

**ZYNQ--从入门到起飞--AXI总线接口分析(LITE)** 阅读数 2045

分析逻辑模块C\_S\_AXI\_DATA\_WIDTH表示数据总线的位宽C\_S\_AXI\_ADDR\_WIDTH表示数据地址的位宽Users to ad... 博文 来自： ZKERK的博客

**axi stream 仿真模型，可用modelsim仿真** 07-18

axi stream 仿真模型，可用modelsim仿真 下载

**zynq7000平台AXI\_lite与Native FIFO接口设计** 阅读数 2414

最近玩了一下xilinx的zynq7000系列，用的是黑金的一款开发板，主要是用来测试一款ADC。在PL部分做了接口逻辑... 博文 来自： 第七章的专栏

**MYIR-ZYNQ7000系列-zturn教程(6)：uart\_cycle** 阅读数 3194

开发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要实现的功能是能在uart上进行数据的回... 博文 来自： taowei1314520的...

**MYIR-ZYNQ7000系列-zturn教程(15)：在PS中使用ILA观测AXI总线** 阅读数 1313

开发板环境：vivado 2017.1，开发板型号xc7z020clg400-1，这个工程主要是用ILA观测PS端AXI总线的波形链接： ... 博文 来自： taowei1314520的...

**Zynq学习笔记二之zynq\_axi4\_lite从机编写** 阅读数 261

//注意：1,axi\_lite是一个字符一个字符传输；2，保证先锁地址再写数据module dut\_axi\_lite\_slave #( parameter in... 博文 来自： Archar\_Saber的博客

**AXI4、AXI-lite、AXI-Stream总线协议学习笔记** 阅读数 1711

关于AXI4协议在VIVADO中随处可见，要想用好VIVADO中的IP核，必须要好好学习一下AXI4总线，网上关于AXI4... 博文 来自： 星旭的博客

**EBAZ4205控制板原理图和PCB.zip** 06-08

基于xilinx zynq XC7Z010矿机EBAZ4205主控板的原理图&PCB;，PCB文件是Altium Designer格式的 下载

python json java mysql pycharm android linux json格式

 虚无缥缈vs威武

 TA的个人主页 >

原创 37 粉丝 195 获赞 59 评论 164 访问 15万+

等级:  周排名: 3万+

积分: 1254 总排名: 6万+

勋章:  

关注

私信



举报





# DDR4 設計 無極限

了解詳情



## 最新文章

quartus II 12.1 使用教程（7） vga显示测试

MYIR-ZYNQ7000系列-zturn教程(27)：lwip测试

quartus II 12.1 使用教程（6） ROM 测试

quartus II 12.1 使用教程（5） eeprom 读写测试

quartus II 12.1 使用教程（4） uart 测试

## 分类专栏

	VIVADO 安装教程	1篇
	quartus II	5篇
	三态门详解	
	quartus II 12.1 使用...	1篇
	ZYNQ7000	27篇

## 归档

2019年12月	1篇
2019年9月	1篇
2019年8月	5篇
2019年7月	2篇
2019年4月	1篇
2019年3月	2篇
2019年1月	1篇
2018年11月	1篇

展开

## 热门文章

VIVADO 安装教程

阅读数 84216

三态门详解

阅读数 15398

quartus II 12.1 使用教程（1） 怎样调用PLL 核

阅读数 7556

MYIR-ZYNQ7000系列-zturn教程(17)：用axi\_uart发送数据

阅读数 4156

MYIR-ZYNQ7000系列-zturn教程(9)：将bit文件固化到QSPI\_Flash

阅读数 4055

## 最新评论

VIVADO 安装教程

rq8866： 缺License的小伙伴 链接： https://pan.baidu.com/s/11mjkpyERdUH3q5C\_TpfQxQ ...



1



3



举报



FT232H如何使用jtag接口

taowei1314520: [reply]qq\_42662835[/reply]我是直接对eeprom里写数据进去的，数据我已经 ...

FT232H如何使用jtag接口

taowei1314520: [reply]sssshhhhhhhh[/reply]这个vivado有这个usb驱动也需要安装一下，你 ...

FT232H如何使用jtag接口

sssshhhhhhhh: 你好，插上电脑以后显示 USB Serial Conventor （仅配置了USB和EEPROM ...

MYIR-ZYNQ7000系列-z...

kuyunge: SPI一次是通信一个字节码？



- QQ客服
- kefu@csdn.net
- 客服论坛
- 400-660-0108

工作时间 8:30-22:00

[关于我们](#) [招聘](#) [广告服务](#) [网站地图](#)

京ICP备19004658号 经营性网站备案信息

公安备案号 11010502030143

©1999-2020 北京创新乐知网络技术有限公司  
网络110报警服务

北京互联网违法和不良信息举报中心

中国互联网举报中心 家长监护 版权申诉

1

3

举报