

Schaltungsentwicklung mit Low-Power-FPGAs

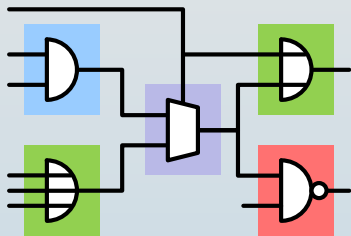
**Eine Einführung in die Technologie
und Anwendungsmöglichkeiten
programmierbarer Logikbausteine**

Prof. Dr.-Ing. Irenäus Schoppa

- Einführung
- Interne FPGA-Struktur
- FPGA-Eigenschaften
- FPGA-Anwendungsbereiche
- Design Flow
- Low-Power-FPGAs
- Anwendungsbeispiel

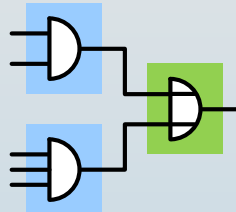
Realisierung boolescher Funktionen

Mehrstufige
Logik



ASIC

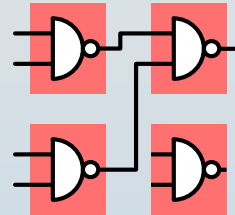
Zweistufige
Logik



PLA, PAL/GAL
(E)PROM

CPLD

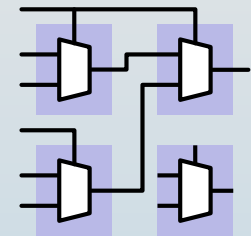
NAND-/NOR-
Gatter



Gate Array

FPGA

Multiplexer



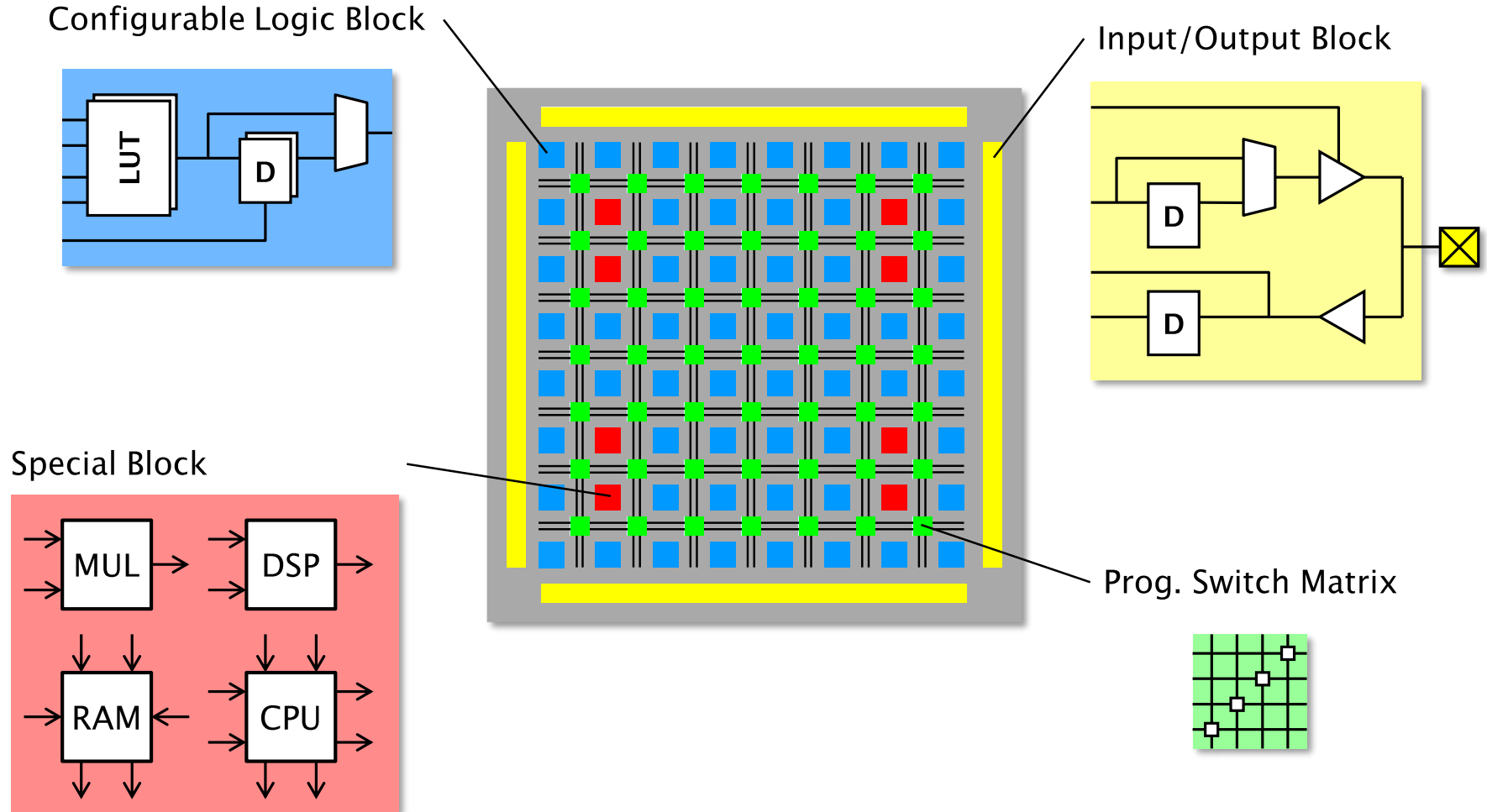
Gate Array

▪ Entscheidungskriterien:

- Schaltungskomplexität, Stückzahlen, Kostenrahmen, verfügbare Zeit für die Entwicklung und Produktion, vorhandenes Know-How der Entwickler, verfügbare Entwicklungswerkzeuge

Eigenschaften	Standard	ASIC	FPGA
Investitionskosten	–	(sehr) hoch	gering
Entwicklungszeit	–	Monate	Wochen
Fertigungszeit	verfügbar	Wochen	Minuten
Entwurfsänderungen	einfach	aufwendig	einfach
Silizium-Ausnutzung	sehr gut	(sehr) gut	schlecht
IC-Preis	gering	hoch	gering
Lieferanten	viele	wenige	viele

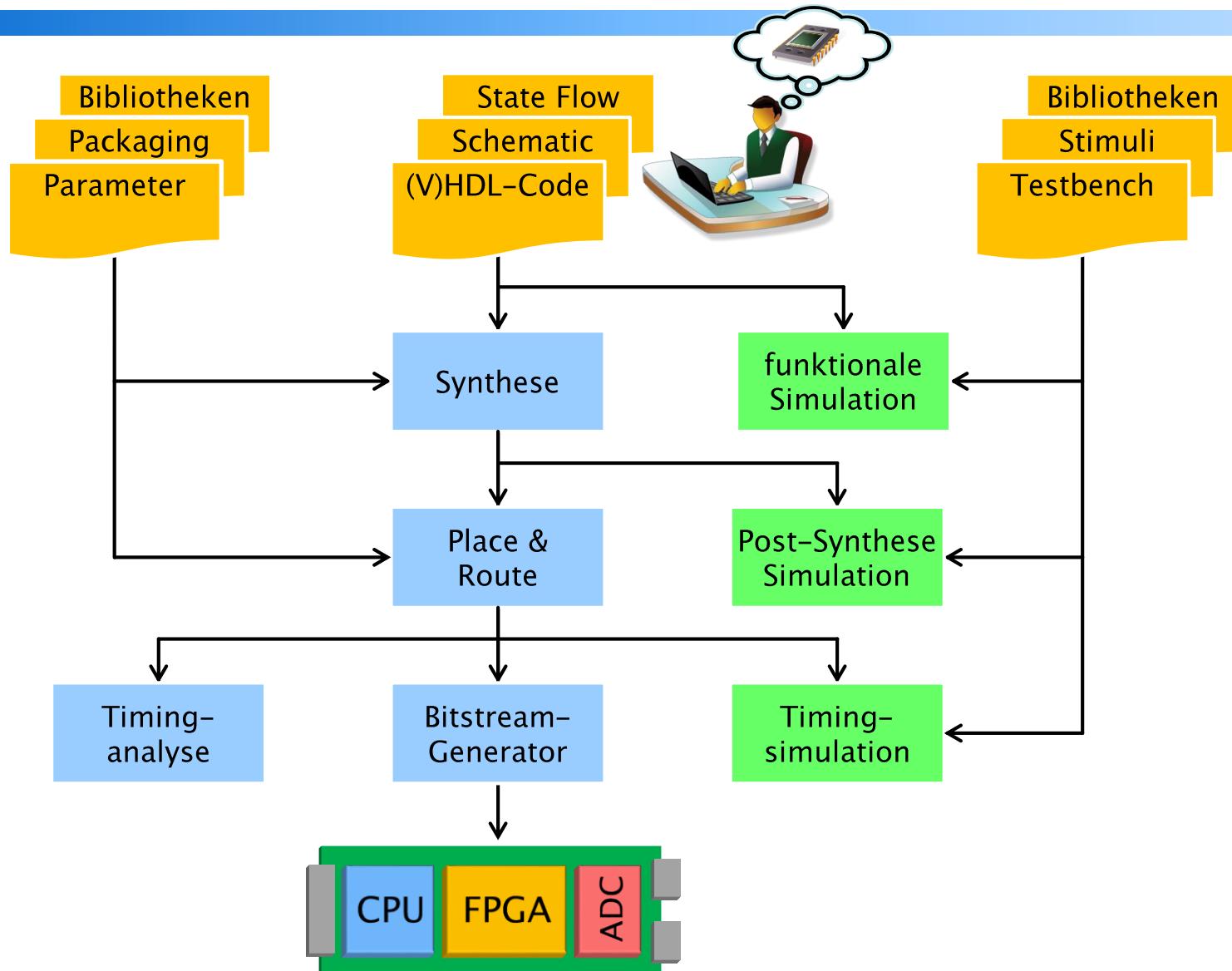
Interne FPGA-Struktur



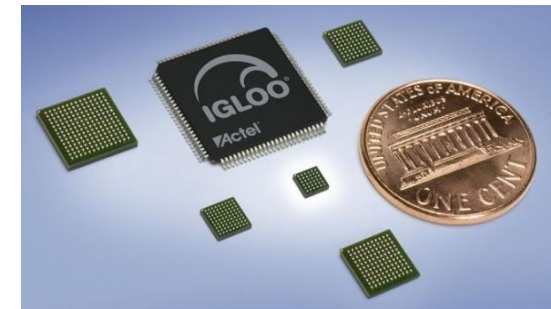
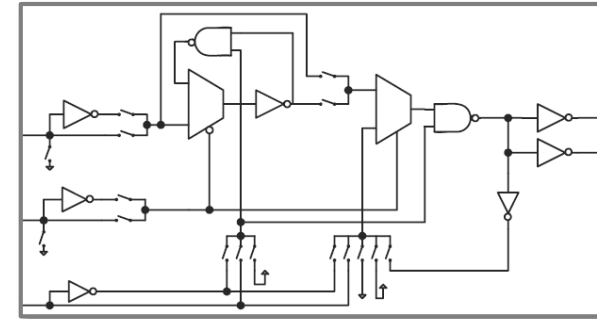
- **Leistungs– und Echtzeitfähigkeit**
 - erreichbar durch parallele Ausführung
 - vergleichbar mit ASIC–basierenden Lösungen
 - übertrifft Mikrocontroller–/DSP–basierte Lösungen
- **Flexibilität**
 - Anpassungsfähigkeit an beliebige Systeme
 - frei wählbare Belegung der Anschlüsse
 - Update–Fähigkeit durch In–System–Programmierung über JTAG und FlashSpeicher–Technologie
- **Universalität und Multifunktionalität**
 - Realisierbarkeit komplexer Systeme durch Skalierbarkeit
 - Spezialisierung durch Programmierung/Konfiguration
 - bedarfsorientierte Auswahl (Anzahl/Typ) von Komponenten aus kommerziellen und freiverfügbaren Bibliotheken

- **Realisierung von Glue Logic**
 - Verbindung inkompatibler Hardwarebausteine
 - Integration von Standardbauteilen (TTL/CMOS)
 - Realisierung digitaler Schaltungen, für die es keine Standardbauteile gibt
- **Hardware/Software Codesign:** Realisierung *zeitkritischer* oder *berechnungsintensiver* Algorithmen durch applikationsspezifische Schaltungen (Co-Prozessoren):
 - allgemeine Datenverarbeitung: Mustererkennung, kryptographische Algorithmen, Bitstream-Algorithmen
 - digitale Signalverarbeitung: digitale Filterung, DFT/FFT, Signalgeneratoren, Signalkorrelation
 - Schnittstellen-/Kommunikations-Controller
- **System-on-Chip Design:** (Softcore-)Prozessor + Speicher + Peripheriekomponenten auf einem FPGA-Chip

Design Flow



- ProASIC3 und IGLOO (+ nano)
 - feinkörnige Architektur
 - Komplexität: 15 k – 1 M Gatter
 - niedrige Core-Spannung: 1.2 V – 1.5 V
 - FlashSpeicher-Technologie:
sofortige Verfügbarkeit nach PowerOn-Phase
 - In-System-Programmierung via JTAG
 - wählbare I/O-Standards:
 - LVTTTL, LVCMOS
 - 1.2V, 1.8V, 2.5V und 3.3V
 - das kleinste Gehäuse UC36 (3x3 mm)
 - niedrige IC-Kosten: A3P030-QNG48: 4,43\$
 - umfassende IP-Core-Bibliotheken:
 - Softcore-CPU: 8051, ABC, ARM®Cortex™-M1
 - Peripherie: PWM, UART, SPI, I2C, ...

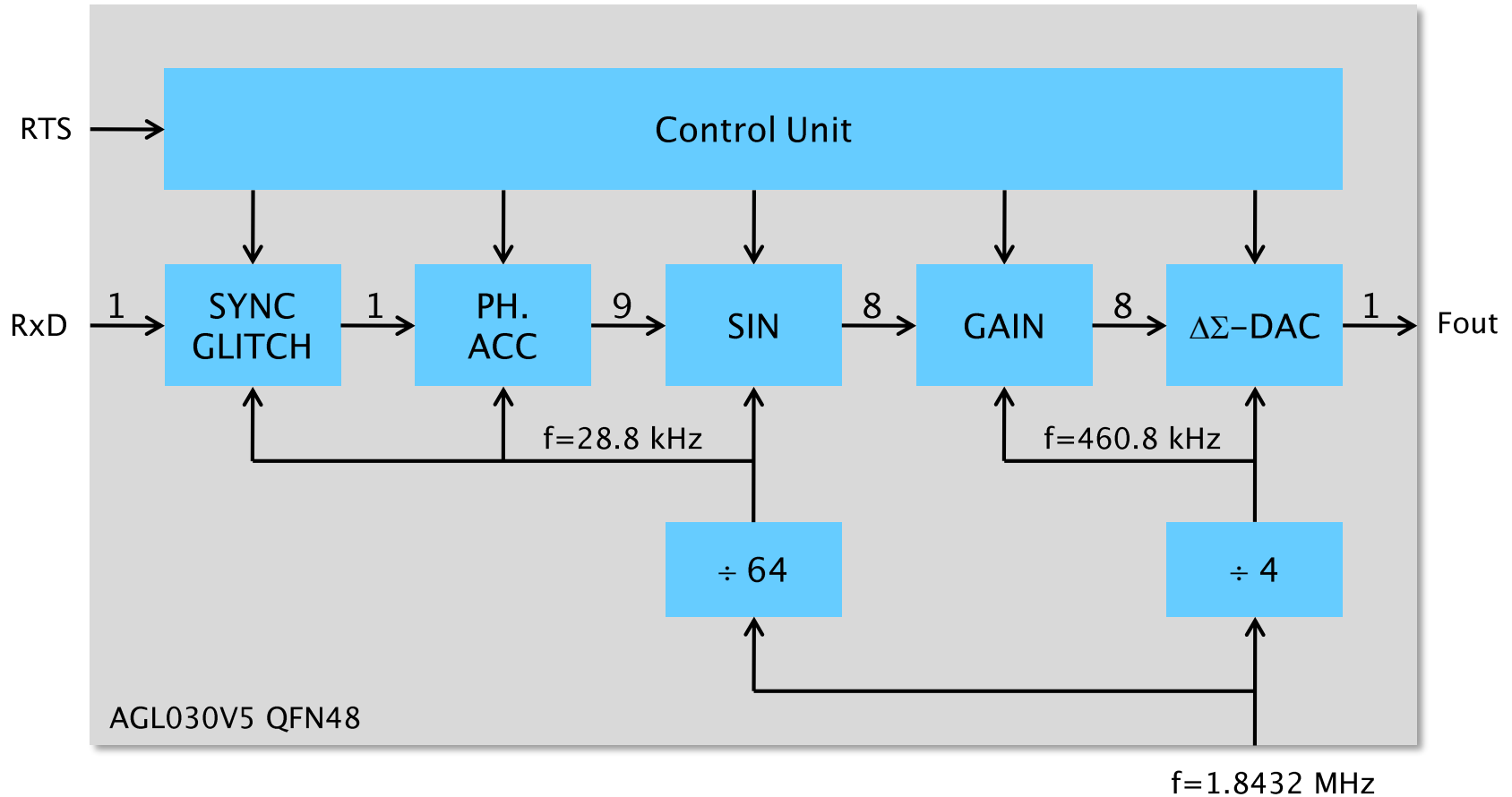


■ Überblick über ProASIC3-Devices

	A3P015	A3P030	A3P060	A3P125	A3P250	A3P400	A3P600	A3P1000
System Gates	15 k	30 k	60 k	125 k	250 k	400 k	600 k	1000 k
Logikzellen	384	768	1.536	3.072	6.144	9.216	13.824	24.576
RAM (1024 bits)	—	—	18	36	36	54	108	144
FlashROM Bits	1.024	1.024	1.024	1.024	1.024	1.024	1.024	1.024
ARM-Cortex-M1	—	—	—	✓	✓	✓	✓	✓
I/O Banks	2	2	2	2	4	4	4	4
Max. User I/Os	49	81	96	133	157	194	235	300
Gehäuse	QN68	QN48 QN68 QN132 VQ100	QN132 CS121 VQ100 TQ144 FG144	QN132 VQ100 TQ144 PQ208 FG144	QN132 VQ100 PQ208 FG144 FG256	PQ208 FG144 FG256 FG484	PQ208 FG144 FG256 FG484	PQ208 FG144 FG256 FG484

Anwendungsbeispiel

■ CPFSK-Modulator im HART-Modem



Anwendungsbeispiel

▪ Schnittstellen- und Architekturbeschreibung in VHDL

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

-- sequentieller Multiplizierer

ENTITY seqmult IS
  GENERIC(RSTDEF: std_logic := '1';
          N: natural := 8);
  PORT(rst: IN std_logic; -- reset, RSTDEF active
        clk: IN std_logic; -- clock, rising edge active
        en: IN std_logic; -- enable, high active
        op1: IN std_logic_vector(N-1 DOWNTO 0); -- unsigned
        op2: IN std_logic_vector(N-1 DOWNTO 0); -- signed
        res: OUT std_logic_vector(2*N-1 DOWNTO 0));
END seqmult;
```

```
USE ieee.std_logic_arith.ALL;
USE ieee.std_logic_unsigned.ALL;

ARCHITECTURE behaviour OF seqmult IS
  SIGNAL strt: std_logic;
  SIGNAL cnt: integer RANGE 0 TO N;
  SIGNAL erg: std_logic_vector(2*N-1 DOWNTO 0);
  SIGNAL tmp: std_logic_vector(N DOWNTO 0);
  SIGNAL arg: std_logic_vector(N-1 DOWNTO 0);
  ...
```

```
BEGIN

  arg <= op2 WHEN erg(0)='1',
          ELSE (OTHERS => '0');

  tmp <= SXT(arg) + SXT(erg(2*N-1 DOWNTO N));

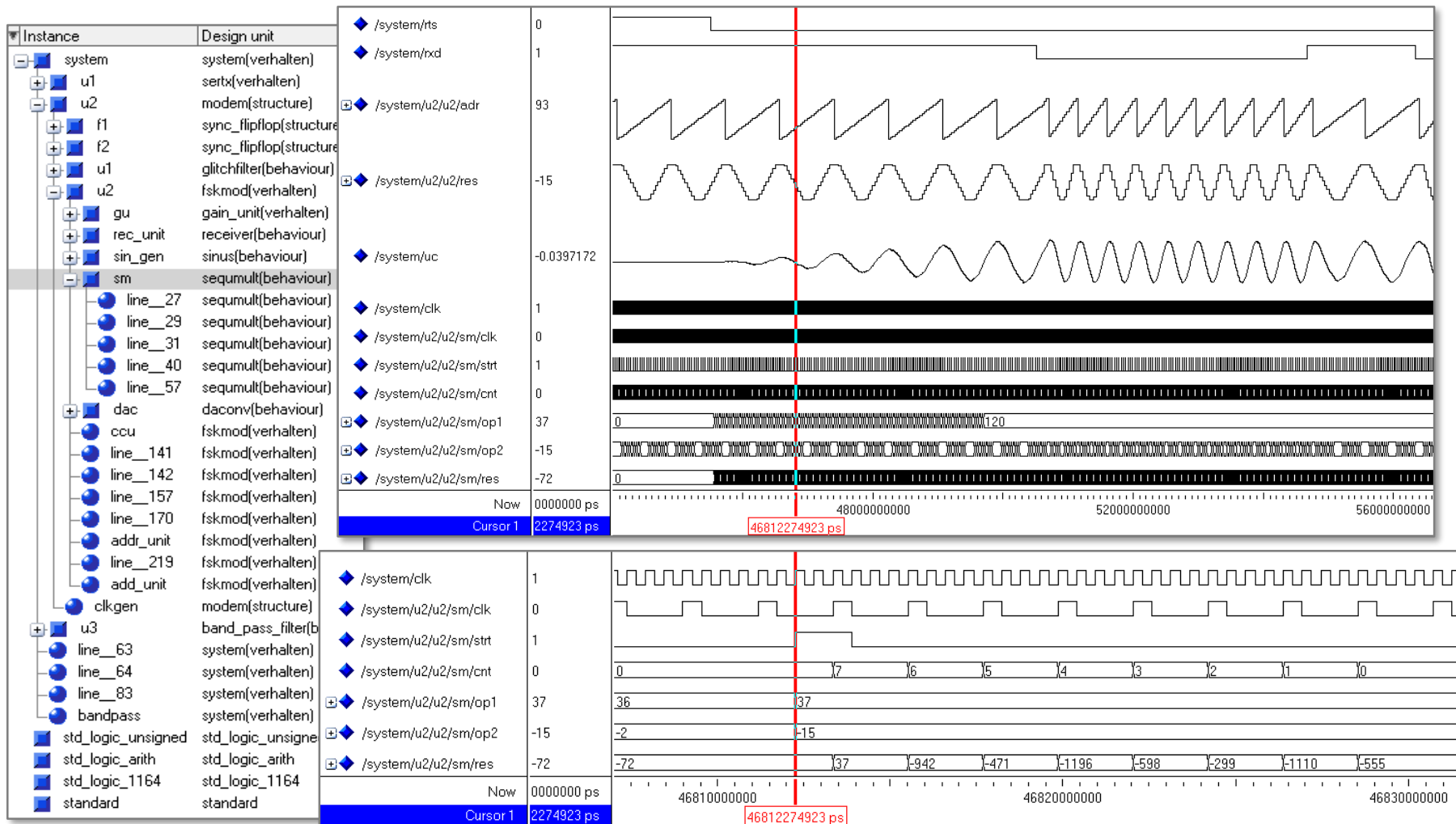
p2: PROCESS (rst, clk) IS
  BEGIN
    IF rst=RSTDEF THEN
      cnt <= 0;
      erg <= (OTHERS => '0');
    ELSIF rising_edge(clk) THEN
      IF cnt/=0 THEN
        cnt <= cnt - 1;
        erg <= tmp & erg(N-1 DOWNTO 1);
      END IF;
      IF strt='1' THEN
        cnt <= N;
        erg <= EXT(op1, erg'LENGTH);
      END IF;
    END IF;
  END PROCESS;

  res <= erg;

END behaviour;
```

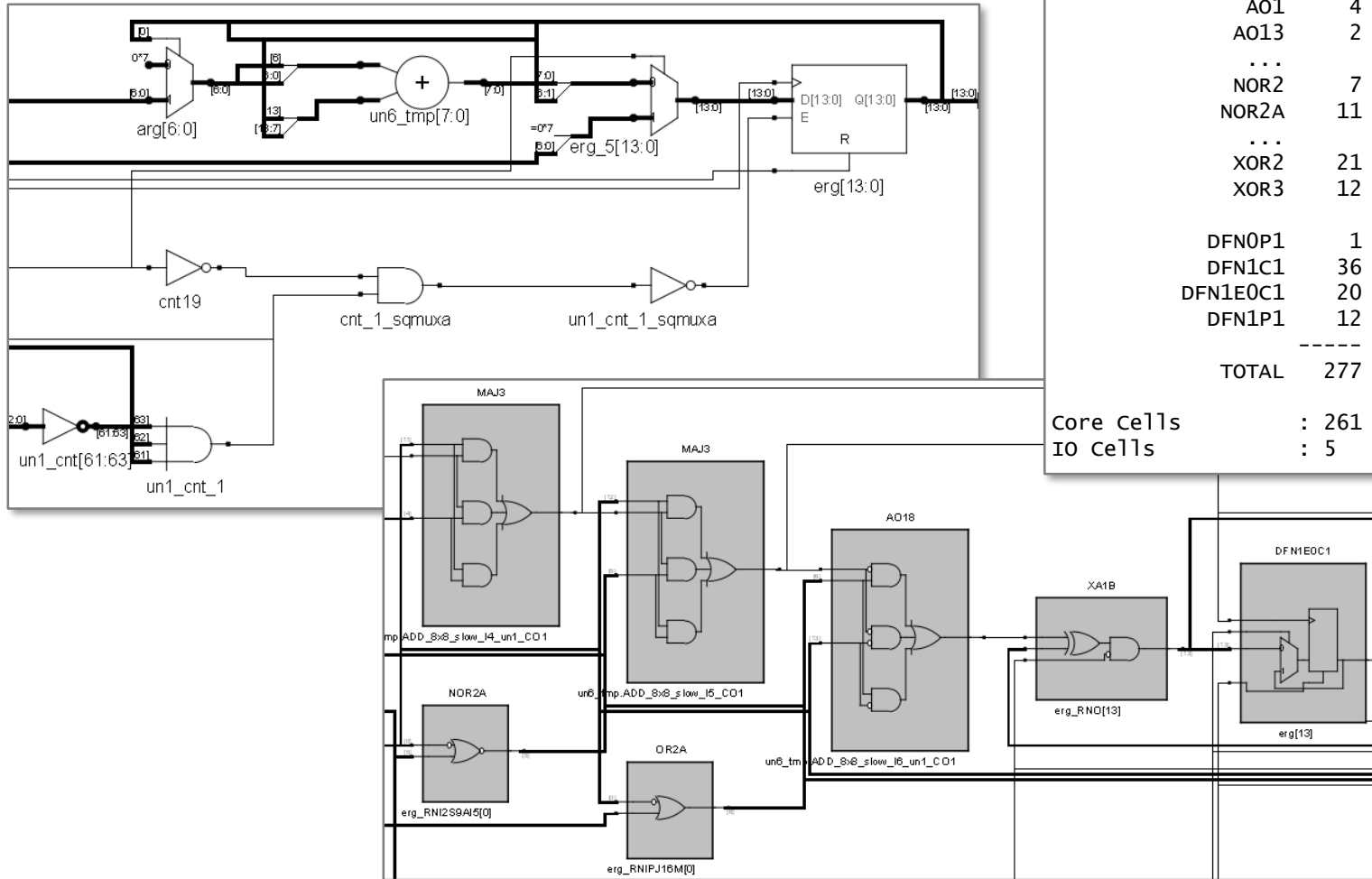
Anwendungsbeispiel

■ VHDL-Simulation



Anwendungsbeispiel

■ RTL-/Technology-Viewer



Target Part: AGL030V5_QFN48_std
Report for cell modem.structure

Core Cell usage:

cell	count	area	count*area
AO1	4	1.0	4.0
AO13	2	1.0	2.0
...			
NOR2	7	1.0	7.0
NOR2A	11	1.0	11.0
...			
XOR2	21	1.0	21.0
XOR3	12	1.0	12.0
DFN0P1	1	1.0	1.0
DFN1C1	36	1.0	36.0
DFN1E0C1	20	1.0	20.0
DFN1P1	12	1.0	12.0
TOTAL	277		261.0

Core cells : 261 of 768 (34%)
IO cells : 5

Anwendungsbeispiel

■ Pin-Editor/Chip-Planner

The screenshot displays the Pin-Editor/Chip-Planner interface. On the left, a vertical list of pins is shown with their corresponding functions and bank assignments. The main area features a grid of pins, each with a color-coded function (e.g., green for I/O, blue for power, yellow for control). A table on the right provides detailed specifications for each pin.

	Port Name	Macro Cell	Function	Bank Name	I/O Standard	Output Drive (mA)	Resistor Pull
1			IO82RSB1	Bank1		--	--
2	clk	ADLIB:CLKBUF	GEC0/IO73RSB1	Bank1	LVC MOS33	--	None
3			GEA0/IO72RSB1	Bank1		--	--
4	rst	ADLIB:CLKBUF	GEB0/IO71RSB1	Bank1	LVC MOS33	--	None
5	--		GND			--	--
6	--		VCCIB1			--	--
7	din	ADLIB:INBUF	IO68RSB1	Bank1	LVC MOS33	--	None
8	rts	ADLIB:INBUF	IO67RSB1	Bank1	LVC MOS33	--	None
22	--		TCK			--	--
23	--		TDI			--	--

Physical pin layout (left side):

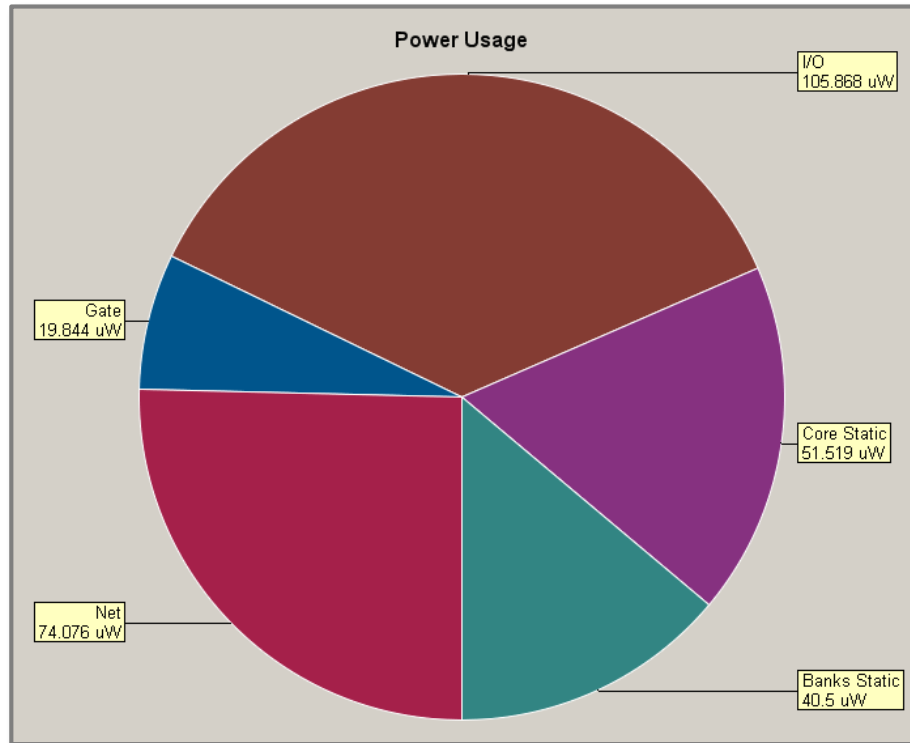
- IO82RSB1 (Green)
- clk (Blue)
- IO72RSB1 (Blue)
- rst (Blue)
- GND (Red)
- VCCIB1 (Red)
- din (Yellow)
- rts (Yellow)
- IO66RSB1 (Green)

Physical pin layout (right side):

- IO00RSB0 (Green)
- IO02RSB0 (Green)
- fout (Yellow)
- IO06RSB0 (Green)
- IO08RSB0 (Green)
- IO10RSB0 (Green)
- IO14RSB0 (Green)
- IO16RSB0 (Green)

Anwendungsbeispiel

■ Energieverbrauch



Smart Power Report with the following settings:

Vendor: Actel Corporation
Program: Actel Designer Software, Ver. 9.1.0.18
Copyright (C) 1989-2010
Date: Tue Feb 28 15:28:52 2012
Version: 3.0

Design: modem
Family: IGL00
Die: AGL030V5
Package: 48 QFN

Operating Condition:

	worst	typical
Junction Temperature	70.00 C	25.00 C
VCC	1.575 V	1.500 V
VCCI 3.3	3.600 V	3.300 V

Power Summary (uW):

Total Power	291.806	215.325
Static Power	92.019	40.500
Dynamic Power	199.788	174.825

Lithium Battery, Mignon AA, 3.6V, 2400.0mAh:

Battery Life	17565.31 h	22158.58 h
--------------	------------	------------

Danke für Ihre Aufmerksamkeit
Fragen?